OrCAD PSpice® A/D

Guía de Usuario

Copyright © 1998 OrCAD, Inc. Todos los derechos reservados.

Marcas

OrCAD, OrCAD Layout, OrCAD Express, OrCAD Capture, OrCAD PSpice, y OrCAD PSpice A/D son marcas registradas de OrCAD, Inc. OrCAD Capture CIS, y OrCAD Express CIS son marcas de OrCAD, Inc.

Microsoft, Visual Basic, Windows, Windows NT, y otros nombres de productos Microsoft referenciados aquí son marcas o marcas registradas de la corporación Microsoft.

El resto de marcas y nombres de productos mencionados aquí se utilizan únicamente para su identificación y son marcas o marcas registradas de sus fabricantes respectivos.

Parte nümero 60-30-632

Primera edición 30 Noviembre 1998

Email general	info@orcad.com
Email de Soporte Técnico	techsupport@orcad.com
World Wide Web	http://www.orcad.com
OrCAD Design Network (ODN)	http://www.orcad.com/odn

Traducción realizada por:

NEXT-FOR, S.A.
INFORMÁTICA AVANZADA

C/ Doce de Octubre, 38 - 28009 Madrid
Tel. 91-504.02.01 Fax 91-504.00.69
e-mail: info@nextfor.es
WEB: http://www.nextfor.es

Todos los derechos de la traducción son propiedad de Next-For, S.A.

OrCAD®

9300 SW Nimbus Ave.
Beaverton, OR 97008 USA

Contenido

Antes de comenzar 25
Bienvenido a OrCAD 25
Visión general de OrCAD PSpice A/D 26
Cómo utilizar esta guía 27
Convenciones tipográficas 27
Documentación relacionada 28
Ayuda en línea 29
Si no posee el paquete estándar de PSpice A/D 30
Si posee PSpice A/D Basics 30
Si tiene un CD-ROM de demostración 33
CD-ROM de demostración de OrCAD 33
Qué es nuevo 34

Parte uno Primera Simulación

Chapter 1 Cosas que son necesarias conocer 39

Presentación del capítulo 39
Qué es PSpice A/D? 40
Analisis que pueden realizarse con PSpice A/D 41
Análisis básico 41
Barrido DC y otros cálculos DC 41
Barrido AC y ruido 42
Transitorios y Fourier 43
Análisis avanzados de múltiples pasadas 44
Paramétrico y temperatura 44
Monte Carlo y sensitividad en el peor de los casos 45
Analizando formas de ondas con PSpice A/D 46
Qué es un análisis de formas de onda? 46
Utilizando PSpice A/D con otros programas OrCAD 47
Usando Capture para la simulación 47

Qué es el Editor de Impulsos? 47
Qué es el Editor de Modelos? 48
Ficheros necesarios para la simulación 48
Ficheros que genera Capture 49
Fichero de Lista de Conexiones 49
Fichero del circuito 49
Otros ficheros que pueden configurarse para la simulación 50
Librería de Modelos 50
Fichero de Impulsos 52
Fichero de inclusión 52
Configurando librerías de modelos, impulsos y ficheros de inclusión . 52
Ficheros que genera PSpice A/D 53
Ficheros de datos de formas de onda 53
Fichero de salida de PSpice 53

Chapter 2 Ejemplos de simulación 55

Presentación del capítulo 55
Ejemplo de la creación de un circuito 56
Viendo más sobre la preparación del diseño 61
Ejecutando PSpice A/D 62
Realizando un análisis de punto parcial 62
Utilizando el fichero de salida de la simulación 64
Viendo más sobre los cálculos del punto de trabajo 65
Análisis de un barrido DC 66
Configurando y ejecutando un análisis de un barrido DC 66
Viendo los resultados del análisis DC 68
Conociendo más sobre el análisis de barrido DC 71
Análisis de transitorios 72
Encontrando más sobre el análisis de transitorios 76
Análisis de un barrido AC 77
Preparando y ejecutando un análisis de un barrido AC 77
Resultados de un análisis de un barrido AC 80
Viendo más acerca del análisis AC y del análisis de ruidos 81
Análisis parámetrico 82
Configurando y ejecutando el análisis paramétrico 83
Analizando familias de formas de onda 85
Más información sobre los análisis paramétricos 88
Análisis de prestaciones 89
Viendo más sobre el análisis de prestaciones 91

Parte dos Entrada del diseño

Chapter 3 Preparando un diseño para su simulación 95

Presentación general del capítulo 95
Lista de chequeo para configurar la simulación 96
Pasos típicos en la configuración de la simulación 96
Entrada del diseño avanzada y pasos para configurar la simulación 97
Cuando falla la generación de la lista de conexiones o la simulación no se inicia 98
Cosas a revisar en el diseño 98
Cosas a revisar en la configuración del sistema 99
Utilizando partes que puedan simularse 100
Partes suministradas por fabricantes 101
Convenciones en la denominación de partes 101
Localizando la parte que se quiere 102
Partes pasivas 105
Partes de ruptura 106
Partes de comportamiento 107
Utilizando parámetros globales y expresiones para valores 108
Parámetros globales 108
Definiendo y utilizando parámetros globales 108
Expresiones 110
Especificando expresiones 110
Definiendo fuentes de alimentación 115
Para la parte analógica del circuito 115
Para interfaces A/D en circuitos de señales mixtos 115
Fuentes de alimentación digitales por defecto 115
Fuentes de alimentación digitales personalizadas 115
Definiendo impulsos 117
Impulsos analógicos 117
Utilizando VSTIM y ISTIM 118
Si desea especificar varios tipos de impulsos 119
Impulsos digitales 120
Cosas a revisar 121
Partes no modeladas 121
Haga esto si la parte en cuestión proviene de las librerías de OrCAD . 121
Compruebe si la parte en cuestión está generada de forma personalizada . 123
Modelos no configurados, impulsos y ficheros de inclusión 123
Compruebe esto 124
Pines no modelados 124

Compruebe esto 125
Falta masa 125
Comprobar esto 125
Falta un path DC a tierra 126
Comprobar esto 126

Chapter 4 Creando y editando modelos 127

Presentación general del capítulo 127
¿Qué son los modelos? 129
Modelos definidos como conjuntos de parámetros 129
Modelos definidos como listas de conexiones de subcircuitos 129
¿Cómo están organizados los modelos? 130
Librerías de modelos 130
Configuración de la Librería de Modelos 131
Modelos y librerías de diseño frente a global 131
Librerías de Modelos Anidadas 132
Modelos proporcionados por OrCAD 132
Herramientas para crear y editar modelos 133
Formas de crear y editar modelos 134
Utilizando el Editor de modelos para editar modelos 135
Formas de utilizar el Editor de Modelos 136
Tipos de dispositivos soportados por el Editor de Modelos 137
Formas de caracterizar modelos 138
Creando modelos desde la información de una hoja de datos. 138
Analizando el efecto de los parámetros del modelo en las características del dispositivo 139
Cómo rellenar modelos 139
Ejecutando el Editor de Modelos de forma aislada 141
Iniciando el Editor de Modelos 141
Habilitando o deshabilitando la creación automática de partes 142
Salvando modelos globales (y partes) 142
Ejecutando el Editor de Modelos desde el editor de páginas de esquemas . 143
¿Qué es una copia de un modelo? 143
Iniciando el Editor de Modelos 144
Salvando modelos del diseño 144
Qué pasa si no salva la copia del modelo 145
Tutorial del Editor de Modelos 146
Creando un diseño de un rectificador de media onda 146
Utilizando el Editor de Modelos para editar el diodo D1 147
Introduciendo información de las hojas de datos 147
Extrayendo parámetros de modelos 149

Añadiendo curvas para más de una temperatura 150
Completando la definición del modelo 151
Editando texto de modelos 152
Editando las definiciones .MODEL 153
Editando definiciones .SUBCKT 153
Cambiando el nombre del modelo 153
Iniciando el Editor de Modelos desde el editor de esquemas en Capture . . 153
¿Qué es una copia de un modelo? 154
Iniciando el editor de Modelos 154
Salvando modelos del diseño 155
Ejemplo: editando un modelo de instancia Q2N2222 156
Iniciando el Editor de Modelos 156
Editando la copia del modelo Q2N2222-X 156
Salvando las ediciones y actualizando el esquema 157
Utilizando el comando Create Subcircuit 157
Cambiando la referencia del modelo a una definición de un modelo existente . 159
Reutilizando modelos de instancias 160
Reutilizando copias de modelos en el mismo esquema 160
Habilitando modelos de instancias para todos los diseños 161
Configurando las librerías de modelos 162
Las pestañas Libraries y Include Files 162
Cómo utiliza PSpice A/D librerías de modelos 163
Orden de búsqueda 163
Manejando nombres de modelos duplicados 164
Añadiendo librerías de modelos a la configuración 164
Cambiando el diseño y el ámbito global 165
Cambiando el orden de búsqueda de las librerías de modelos 166
Cambiando el path de búsqueda de librerías 167

Chapter 5 Creando partes para modelos 169

Presentación general 169
Qué es diferente en las partes utilizadas para la simulación? 171
Formas de crear partes para modelos 171
Preparando los modelos para la creación de partes 172
Utilizando el Editor de Modelos para crear partes 173
Iniciando el Editor de Modelos 173
Preparando la creación automática de de partes 174
Basando nuevas partes en un grupo personalizado 175
Editando partes gráficas 177
Cómo coloca partes Capture 177
Definiendo el espaciado de la rejilla 178

Espaciado de rejilla para gráficos 178
Espaciado de rejilla para pines 178
Vinculando modelos a partes 180
MODEL 180
Definiendo propiedades de partes necesarias para la simulación 181
PSPICETEMPLATE 182
Sintasis de PSPICETEMPLATE 182
Ejemplos de PSPICETEMPLATE 186
IO_LEVEL 190
MNTYMXDLY 191
PSPICEDEFAULTNET 192

Chapter 6 Modelado del comportamiento analógico 193

Presentación general del capitulo 193
Presentación general del modelado del comportamiento analógico 194
El fichero de librería de partes ABM.OLB 195
Posicionando y especificando partes ABM 196
Nombres de conexiones y nombres de dispositivos en expresiones ABM . 196
Forzando el uso de una definición global 197
Plantillas de partes ABM 198
Partes del sistema de control 199
Componentes básicos 201
Limitadores 202
Filtros Chebyshev 203
Integradores y diferenciación 206
Partes de la tabla de bucle 206
Partes de transformadas de Laplace 210
Funciones Math 213
Partes de expresión ABM 214
Un ejemplo de un dispositivo instantáneo: modelando un triodo 217
Partes equivalentes de PSpice A/D 220
Implementación de las partes equivalentes de Spice A/D 221
Modelando interrelaciones matemáticas o instantáneas 222
Partes EVALUE y GVALUE 222
EMULT, GMULT, ESUM, y GSUM 224
Tablas de bucles (ETABLE y GTABLE) 225
Modelos de dispositivos con dominio de frecuencia 227
Transformadas de Laplace (LAPLACE) 227
Tablas de respuesta en frecuencia (EFREQ y GFREQ) 229
Precauciones y recomendaciones para la simulación y el análisis 232
Modelado de dispositivos instantáneos 232

Partes con dominio en frecuencia 233
Transformadas de Laplace 233
No causalidad y transformadas de Laplace 235
Filtros Chebyshev 236
Tablas de frecuencia 236
Modificando los recursos del ordenador para mejorar la precisión 237
Fuentes controladas básicas 238
Creando partes ABM personalizadas 238

Chapter 7 Modelado de dispositivos digitales 241

Presentación general 241
Introducción 242
Comportamiento funcional 243
Sintasis de las primitivas digitales 246
Características de tiempos 251
Modelos de tiempos 251
Tratamiento de los retardos de propagación no especificados . . . 252
Tratamiento de restricciones de tiempos no especificadas 253
Calculo de los retardos en la propagación 254
Retardo inercial y en el transporte 255
Retardo inercial 255
Retardo en el transporte 256
Características de entrada/salida 257
Modelos de entrada/salida 257
Definiendo fuerzas de salida 261
Configurando la escala de fuerzas 262
Determinando la fuerza de la salida de un dispositivo 262
Controlando la sobreconducción 263
Conexiones de almacenamiento de carga 263
Creando sus propios subcircuitos de interface para tecnologías adicionales 265
Creando un modelo digital utilizando las primitivas PINDLY y LOGICEXP . 270
Primitivas digitales 271
Expresión lógica (primitiva LOGICEXP) 272
Retardo entre pines (primitiva PINDLY) 274
BOOLEAN 275
PINDLY 276
Restricciones de chequeo (primitiva CONSTRAINT) 277
Configuración_Mantenimiento 277
Width 278
Freq 279
Ejemplo del 74160 279

Parte tres Preparando y ejecutando el análisis

Chapter 8 Preparando el análisis e iniciando la simulación 285

Presentación general del capítulo 285
Tipos de análisis 286
Preparando el análisis 288
Orden de Ejecución para análisis estándares 289
Variables de salida 290
Modificadores 291
Iniciando una simulación 296
Iniciando una simulación desde Capture 296
Iniciando la simulación desde fuera de Capture 297
Preparando simulaciones en modo batch 297
Configuraciones de múltiples simulaciones con un fichero de circuito 297
Ejecutando simulaciones con múltiples ficheros de circuitos 298
La ventana de simulación de PSpice A/D 299

Chapter 9 Análisis DC 303

Presentación general 303
Barrido DC 304
Requerimientos mínimos para ejecutar un análisis de barrido DC 304
Presentación general del barrido DC 306
Preparando un impulso DC 308
Barridos DC anidados 309
Familias de curvas en barridos DC 310
Punto de trabajo 312
Requerimientos mínimos para ejecutar un análisis del punto de trabajo . . 312
Visión general de los puntos de trabajo 312
Transferencia de pequeñas señales de continua 314
Requerimientos mínimos para ejecutar un análisis de transferencia DC de pequeña señal 314
Visión general de la transferencia DC de pequeña señal 315
Sensitividad DC 317
Requerimientos mínimos para ejecutar un análisis de sensitividad DC . . . 317
Presentación de la sensitividad DC 318

Chapter 10 Análisis AC 319

Presentación general del capítulo 319
Análisis de barridos AC 320
Preparando y ejecutando un barrido AC 320

¿Qué es un barrido AC? 320
Preparando un impulso AC 321
Preparando un análisis AC 323
Configuración del barrido AC en example.opj 325
Como trata PSpice A/D dispositivos no lineales 327
Qué es necesario para transformar un dispositivo en un circuito lineal 327
Qué hace PSpice A/D 327
Ejemplo Bloque de modelado de comportamiento no lineal 327
Análisis de ruidos 329
Preparando y ejecutando un análisis de ruidos 329
Qué es un análisis de ruidos? 330
Cómo calcula PSpice A/D el ruido total a la entrada y a la salida . . . 330
Preparando un análisis de ruidos 331
Analizando ruidos en la ventana Probe 333
Sobre las unidades de ruidos 334
Ejemplo 334

Chapter 11 Análisis de transitorios 337

Presentación general del capítulo 337
Presentación general del análisis de transitorios 338
Requerimientos mínimos para realizar un análisis de transitorios 338
Requerimientos mínimos del diseño del circuito 338
Requerimientos mínimos de configuración del programa 338
Definiendo un impulso basado en tiempos 340
Presentación general de la generación de impulsos 340
La utilidad Editor de Impulsos 342
Ficheros de Impulsos 342
Configurando ficheros de impulsos 343
Iniciando el Editor de Impulsos 343
Definiendo impulsos 344
Ejemplo: impulso lineal de una pieza 344
Ejemplo: barrido de onda senoidal 345
Creando nuevos símbolos de impulsos 347
Editando un impulso 348
Para editar un impulso existente 348
Para editar un impulso PWL 348
Para seleccionar un tiempo y un factor de escala de valores para el impulso PWL 348
Borrando y eliminando trazas 349
Configuración manual de impulsos 349
Para configurar manualmente un impulso 349

Respuesta de transitorios (tiempo) 351
Intervalos de tiempos en análisis de transitorios 354
Conmutando circuitos en análisis de transitorios 355
Ploteando curvas de histéresis 355
Componentes de Fourier 357

Chapter 12 Análisis paramétrico y de temperatura 359

Presentación general del capítulo 359
Análisis paramétrico 360
Requerimientos mínimos para realizar un análisis paramétrico 360
Visión general del análisis paramétrico 361
Ejemplo de un filtro RLC 362
Introduciendo el diseño 362
Ejecutando la simulación 363
Utilizando el análisis de prestaciones para dibujar la sobrecarga y el tiempo de subida 363
Ejemplo: respuesta en frecuencia contra análisis de parámetros 366
Preparando el circuito 366
Análisis de temperaturas 369
Requisitos mínimos para ejecutar un análisis de temperaturas 369
Visión general del análisis de temperaturas 370

Chapter 13 Análisis de Monte Carlo y del peor de los casos 371

Presentación del capítulo 371
Análisis estadísticos 372
Presentación general de análisis estadísticos. 372
Control de salida para análisis estadísiticos 373
Informe de valores de parámetros de modelos 373
Informes de formas de ondas 374
Funciones cotejadas 375
Consideraciones de temperatura en los análisis estadísticos 376
Análisis de Monte Carlo 377
Leyendo el informe resumen 379
Ejemplo: Análisis de Monte Carlo de un sensor de presión 381
Dibujando el esquema 381
Definiendo valores de partes 382
Preparando los parámetros 383
Utilizando resistencias con modelos 384
Salvando el diseño 385
Definiendo tolerancias para las resistencias 385
Preparando el análisis 387

Ejecutando el análisis y visualizando los resultados 388
Histogramas de Monte Carlo 389
Ejemplo de un filtro Chebyshev 389
Creando modelos para el análisis de Monte Carlo 390
Preparando el análisis 390
Creando histogramas 391
Análisis en el peor de los casos 395
Presentación general del análisis en el peor de los casos 395
Entradas 395
Procedimiento 396
Salidas 396
Atención: Una condición importante para un correcto análisis del peor de los casos 397
Ejemplo de un análisis del peor de los casos 398
Ayudas y otra información útil 402
VARY BOTH, VARY DEV, y VARY LOT 402
Distribuciones gausianas 403
Función colateral YMAX 403
RELTOL 403
Análisis de sensitividad 403
Optimización manual 403
Análisis de Monte Carlo 404

Chapter 14 Simulación digital 405

Presentación general 405
Qué es la simulación digital? 406
Pasos para simular circuitos digitales 406
Conceptos que son necesarios comprender 407
Estados 407
Fuerzas 408
Definiendo un impulso digital 409
Utilizando la parte DIGSTIMn 410
Definiendo señales de entrada utilizando el Editor de Impulsos 410
Definiendo la transición del reloj. 410
Definiendo las transiciones de la señal 411
Definiendo transiciones de buses 413
Añadiendo bucles 416
Utilizando la parte DIGCLOCK 418
Utilizando las partes STIM1, STIM4, STIM8 y STIM16 418
Utilizando las partes FILESTIMn 420
Definiendo el tiempo de simulación 422

Ajustando parámetros de simulación 423
Seleccionando retardos en la propagación 424
Retardos de propagación en todo el circuito 424
Retardos de propagación en partes 424
Inicializando biestables 425
Iniciando la simulación 425
Analizando los resultados 426
Añadiendo señales digitales a un dibujo 427
Añadiendo buses a un dibujo de ondas 429
Traceando violaciones de tiempos y riesgos 431
Riesgos persistentes 431
Mensajes de condición de la simulación 433
Opciones de control de salida 436
Niveles de severidad 436

Chapter 15 Simulación mixta analógica/digital 439

Presentación general del capítulo 439
Interconectando partes analógicas y digitales 440
Selección del subcircuito de interface por PSpice A/D 441
Interface de Nivel 1 442
Interace de nivel 2 443
Configurando el interface A/D por defecto 444
Especificando fuentes de tensión digitales 445
Selección de la fuente de alimentación digital por PSpice A/D 445
Creando fuentes de alimentación digitales personalizadas 446
Ignorando la tensión de la fuente de alimentación CD4000 en un diseño . 448
Creando una fuente de alimentación CD4000, TTL, o ECL secundaria 449
Interface de generación y nombres de nodos 450

Chapter 16 Análisis digital de tiempos en el peor de los casos 453

Presentación general 453
Tiempos digitales en el peor de los casos 454
Análisis de tiempos en el peor de los casos 455
Representación del simulador para la ambiguedad de tiempos 455
Propagación de la ambiguedad de tiempos 457
Identificación de los problemas de tiempos 458
Peligros de convergencia 458
Peligros críticos 459
Problemas de ambiguedad acumulativos 460
Peligros de reconvergencia 462

Supresión de fallos por retardos inerciales 464
Metodología 465

Parte cuarta Visualizando resultados

Chapter 17 Analizando formas de ondas 471

Presentación general 471
Presentación general del análisis de formas de onda 472
Elementos de un dibujo 473
Elementos de una ventana Probe 474
Manejando múltiples ventanas Probe 475
Imprimiendo múltiples ventanas 475
Preparando el análisis de formas de onda 476
Configurando los colores 476
Editando los colores de presentación e impresión en el fichero PSPICE.INI. 476
Configurando los colores de las trazas 478
Visualizando formas de onda 479
Configurando la presentación de las formas de onda en Capture 479
Visualizando formas de onda durante la simulación 480
Configurando los intervalos de actualización 481
Interactuando con el análisis de ondas durante la simulación 481
Pausando una simulación y viendo las ondas 482
Utilizando marcadores de páginas de esquemas para añadir trazas 483
Limitando el tamaño del fichero de datos de formas de onda 486
Limitando el tamaño utilizando marcadores 486
Limitando el tamaño del fichero excluyendo datos de los subcircuitos internos 488
Limitando el tamaño del fichero suprimiendo la primera parte de la salida de la simulación 488
Utilizando datos de simulación desde varios ficheros 489
Añadiendo ficheros de datos de ondas 490
Añadiendo trazas de ficheros de datos de ondas cargados 490
Salvando los resultados de la simulación en formato ASCII 491
Ejemplo analógico 493
Ejecutando la simulación 493
Visualizando tensiones en conexiones 495
Tutorial mixto analógico/digital 496
Sobre los estados digitales 496
Sobre el circuito oscilador 497
Preparando el diseño 497

Ejecutando la simulación 498
Analizando los resultados de la simulación 498
Utilidades del interface de usuario para el análisis de formas de onda 501
Zoom de regiones 501
Desplazando las trazas 503
Dimensionando los dibujos digitales 504
Modificando expresiones de trazas y etiquetas 505
Moviendo y copiando nombres de trazas y expresiones 506
Copiando y moviendo etiquetas 507
Tabulando valores de datos de trazas 508
Utilizando cursores 509
Visualizando cursores 509
Moviendo cursores 510
Ejemplo: utilizando cursores 511
Traceando mensajes de simulación digital 513
Traceo de mensajes desde el resumen de mensajes 513
La caja de diálogo Simulation Message Summary 513
Problemas persistentes 514
Mensajes de las formas de onda 515
Expresiones de trazas 515
Forma de la variable de salida báseica 516
Forma de la variable de salida para los terminales del dispositivo 517
Expresiones de trazas analógicas 524
Alías de expresiones de trazas 524
Funciones aritméticas 524
Reglas para los sufijos de valores numéricos 526
Expresiones de trazas digitales 527

Chapter 18 Otras opciones de salida 531

Presentación general 531
Visualizando resultados analógicos en la ventana de PSpice 532
Escribiendo resultados adicionales al fichero de salida de PSpice 533
Generando dibujos de los valores de tensión y corriente 533
Generando tablas de valores de tensión y corriente 534
Generando tablas con cambios en los estados digitales 535
Creando ficheros de vectores de prueba 536

Appendix A Preparando el estado inicial 539

Presentación general del Apéndice 539
Salvando y cargando el punto de trabajo 540
Save bias point 540

Load bias point 541
Setpoints 542
Fijando condiciones iniciales 544

Appendix B Convergencia y “errores de escalones de tiempos muy cortos” 545

Generalidades del apéndice 545
Introducción 546
Requerimientos de Newton-Raphson 546
¿Es una solución? 547
¿Son las ecuaciones continuas? 548
¿Son las derivadas correctas? 548
Es la aproximación inicial suficientemente cercana? 549
Punto de trabajo y barrido DC 551
Semiconductores 551
Conmutadores 552
Expresiones de modelado del comportamiento 553
Análisis de transitorios 554
Saltándose el punto de trabajo 555
El rango dinámico de TIME 555
Fallo en el primer escalón de tiempos 556
Capacidades parásitas 557
Bobinas y transformadores 557
Unión de sustratos en transistores bipolares 558
Diagnósticos 559

Índice 561

Figuras

Figure 1 Ficheros de datos configurables por el usuario que lee PSpice A/D 50
Figure 2 Circuito de diodos clíper. 56
Figure 3 Puntos de conexión. 59
Figure 4 Ventana de salida de la simulación de PSpice A/D. 62
Figure 5 Fichero de salida de la simulación. 64
Figure 6 Valores de análisis de barrido DC. 67
Figure 7 Ventana Probe. 68
Figure 8 Circuito clipper con un marcador de tensión en la conexión Out. 69
Figure 9 Tensión en In, Mid, y Out. 69
Figure 10 Leyenda de la traza con los cursores activados. 70
Figure 11 Leyenda de traza con la línea exterior del símbolo (Mid). 70
Figure 12 Diferencia de tensión en V(In) = 4 voltios. 71
Figure 13 Circuito de diodo cliper con un impulso de tensión. 72
Figure 14 Ventana del Editor de Impulsos. 74
Figure 15 Valores de simulación del análisis de transitorios. 74
Figure 16 Ondas de entrada senoidal y de salida recortada. 75
Figure 17 Circuito cliper con un impulso AC. 77
Figure 18 Valores de simulación de análisis de un barrido AC y análisis de ruidos. 79
Figure 19 Curvas en decibelios para “gain” en Mid y Out. 80
Figure 20 Traza bode de la respuesta en frecuencia de cliper. 81
Figure 21 Circuito cliper con un parámetro global Rval. 82
Figure 22 Valores de simulación Parametric. 84
Figure 23 Respuesta a pequeña señal conforme R1 varía desde 100Ω a 10 kΩ 85
Figure 24 Respuesta a frecuencia de pequeña señal con una resistencia de entrada de 100 y 10 kΩ. 87
Figure 25 Traceos de análisis de prestaciones de anchos de banda y ganania en función de Rval. 91
Figure 26 Interrelación entre el Editor de Modelos de Capture y PSpice A/D. 135
Figure 27 Procesos y flujo de datos para el Editor de Modelos. 138
Figure 28 Zona de trabajo del Editor de Modelos con datos de un transistor bipolar. . . . 139
Figure 29 Diseño de un rectificador de media onda. 146
Figure 30 Características del modelo y valores de parámetros para DbreakX. 147

Figure 31 Curvas de características de dispositivo de un diodo desordenadas. 150
Figure 32 Curvas de corriente directa del dispositivo para dos temperaturas diferentes. . . 151
Figure 33 Reglas para llamadas a pines en las plantillas de subcircuitos. 189
Figure 34 Ejemplo de un filtro LOPASS 204
Figure 35 Ejemplo de un filtro HIPASS. 204
Figure 36 Ejemplo de un filtro BANDPASS. 205
Figure 37 Ejemplo de un filtro BANDREJ. 205
Figure 38 Ejemplo de una parte FTABLE. 208
Figure 39 Ejemplo uno de una parte LAPLACE. 211
Figure 40 Visualizando las características de ganancia y fase de un integrador con pérdidas. . 211
Figure 41 Ejemplo dos de la parte LAPLACE. 212
Figure 42 Ejemplo uno de la parte de la expresión ABM. 215
Figure 43 Ejemplo dos de la parte de la expresión ABM. 215
Figure 44 Ejemplo tres de la parte de la expresión ABM. 216
Figure 45 Ejemplo cuatro de la parte de la expresión ABM. 216
Figure 46 Circuito triodo. 217
Figure 47 Subcircuito de un triodo produciendo la familia de curvas I-V. 219
Figure 48 Ejemplo de la parte EVALUE. 223
Figure 49 Ejemplo de la parte GVALUE. 223
Figure 50 Ejemplo de una parte EMULT. 224
Figure 51 Ejemplo de una parte GMULT. 224
Figure 52 Ejemplo de una parte EFREQ. 231
Figure 53 Circuito multiplicador de tensión 232
Figure 54 Elementos de la definición de un dispositivo digital 247
Figure 55 Determinación de fuerza en el nivel 1 y 0. 262
Figure 56 Ventana de simulación de PSpice A/D 300
Figure 57 Esquema de ejemplo EXAMPLE.OPJ. 307
Figure 58 Ejemplo de la familia de curvas de un esquema. 310
Figure 59 Familia de curvas del dispositivo. 311
Figure 60 Determinación del punto de trabajo para cada miembro de la familia de curvas. 311
Figure 61 Diagrama del circuito para EXAMPLE.OPJ. 325
Figure 62 Configuración del análisis AC en EXAMPLE.OPJ. 325
Figure 63 Dispositivos y trazas de ruidos totales para EXAMPLE.DSN. 335
Figure 64 Preparación del análisis de transitorios para EXAMPLE.OPJ. 352
Figure 65 Esquema de ejemplo EXAMPLE.OPJ. 353
Figure 66 Trigger Schmitt compatible ECL. 355
Figure 67 Lista de conexiones para un circuito trigger Schmitt 356
Figure 68 Ejemplo de una curva de histéresis: disparador Schmitt. 357
Figure 69 Esquema de un filtro pasivo 362
Figure 70 Corriente de L1 cuando R1 es de 1.5 ohms. 364
Figure 71 Tiempo de subida y sobrecarga en función de la resistencia de amortiguación . 365

Figure 72 Circuito de ejemplo de un filtro RLC. 366
Figure 73 Dibujo de la capacitancia en función de la tensión del punto. 368
Figure 74 Esquema de ejemplo EXAMPLE.OPJ. 370
Figure 75 Esquema de ejemplo EXAMPLE.DSN. 376
Figure 76 Configuración del análisis de Monte Carlo para EXAMPL E.DSN. 378
Figure 77 Resumen de la ejecución de Monte Carlo para EXAMPLE.OPJ. 379
Figure 78 Valores de parámetros para la tercera pasada de Monte Carlo. 380
Figure 79 Circuito con un sensor de presión. 381
Figure 80 Definición de modelo para RMonte1. 386
Figure 81 Circuito de sensor de presión con las definiciones de modelos RMonte1 y RTherm. 387
Figure 82 Filtro Chebyshev. 390
Figure 83 Histograma del ancho de banda de 1dB. 393
Figure 84 Histograma de la frecuencia central. 394
Figure 85 Simple biased BJT amplifier. 398
Figure 86 Lista de conexiones del amplificador y fichero del circuito. 399
Figure 87 Función objetivo YatX. 400
Figure 88 Resultado correcto del peor de los casos. 401
Figure 89 Resultado incorrecto del peor de los casos. 401
Figure 90 Esquema utilizando VARY BOTH. 402
Figure 91 Fichero del circuito utilizando VARY BOTH. 402
Figure 92 FILESTIM1 utilizado en un esquema. 421
Figure 93 Circuito con un error de tiempos 432
Figure 94 Circuito con un problema de ambiguedad de tiempos 432
Figure 95 Esquema analógico/digital antes y después de la generación de interface. . . . 451
Figure 96 Salida de la simulación para circuitos mixtos analógico/digitales. 452
Figure 97 Ejemplo uno de ambiguedad de tiempos. 456
Figure 98 Ejemplo dos de ambiguedad de tiempos. 457
Figure 99 Ejemplo tres de ambiguedad de tiempos. 457
Figure 100 Ejemplo cuatro de ambiguedad de tiempos 457
Figure 101 Ejemplo de un problema de tiempos. 458
Figure 102 Ejemplo de un problema de convergencia. 459
Figure 103 Ejemplo de un problema crítico. 459
Figure 104 Ejemplo uno de un problema de ambiguedad acumulativa. 460
Figure 105 Ejemplo dos de un problema de ambiguedad acumulativa. 460
Figure 106 Ejemplo tres de un peligro de ambiguedad acumulativa. 461
Figure 107 Ejemplo uno de problema de reconvergencia. 462
Figure 108 Ejemplo dos de problema de reconvergencia. 462
Figure 109 Ejemplo uno de supresión de fallos. 464
Figure 110 Ejemplo dos de supresión de fallos. 464
Figure 111 Ejemplo tres de supresión de fallos. 465
Figure 112 Áreas analógicas y digitales de un dibujo. 473

Figure 113 Dos ventanas Probe. 474
Figure 114 Leyenda de la traza 491
Figure 115 Caja de mensajes de información de la sección. 491
Figure 116 Esquema de ejemplo EXAMPLE.OPJ. 493
Figure 117 Presentación de ondas para EXAMPLE.DAT. 494
Figure 118 Diseño de un oscilador mixto analógico/digital 497
Figure 119 Tensión en la conexión 1 con el eje Y añadido. 499
Figure 120 Resultados del oscilador mixto analógico/digital. 500
Figure 121 Cursores colocados sobre una depresión o una cima de V(1) 511
Figure 122 Presentación de ondas para un problema persistente. 514
Figure A-1 Setpoints. 542

Tablas

Table 1 Tipos de análisis de continua 41
Table 2 Tipo de análisis AC 42
Table 3 Tipos de análisis basados en tiempos 43
Table 4 Tipos de análisis paramétricos y de temperatura 44
Table 5 Tipos de análisis estadísticos 45
Table 6 Asociación de los cursores con los botones del ratón. 70
Table 7 Partes pasivas 105
Table 8 Partes de ruptura 106
Table 9 Operadores en expresiones 111
Table 10 Funciones en expresiones aritméticas 112
Table 11 Variables de sistema 114
Table 12 Modelos soportados en el Editor de Modelos 137
Table 13 Un ejemplo de valores de hojas de datos del diodo 148
Table 14 Nombres de partes para la generación de partes personalizadas. 175
Table 15 Partes del sistema de control. 199
Table 16 Partes de la función matemática ABM 213
Table 17 Partes de la expresión ABM 214
Table 18 Partes equivalentes de PSpice A/D 220
Table 19 Fuentes controladas básicas en ANALOG.OLB 238
Table 20 Resumen de las primitivas digitales 243
Table 21 Parámetros de un modelo I/O digital 259
Table 22 Clases de análisis de PSpice A/D 287
Table 23 Orden de ejecución para una análisis estándar 289
Table 24 Formatos de variables de salida de PSpice A/D 292
Table 25 Definición de elementos para dispositivos de dos terminales 293
Table 26 Definiciones de elementos en dispositivos con 3 o 4 terminales 294
Table 27 Definiciones de elementos en dispositivos de líneas de transmisión 294
Table 28 Definiciones de elementos específicos para el análisis AC 295
Table 29 Requerimientos de diseño de un circuito para un barrido DC 304
Table 30 Ejemplo de configuración de una familia de curvas 310
Table 31 Símbolos de impulsos para señales de entrada basadas en tiempos 340
Table 32 Requerimientos de diseño de un circuito para un análisis paramétrico 360

Table 33 Funciones cotejadas utilizadas en análisis estadísticos 375
Table 34 Estados digitales 407
Table 35 Propiedades de la parte STIMn. 419
Table 36 Propiedades de la parte FILESTIMn 420
Table 37 Mensajes de condición de la simulación, violaciones de tiempos 434
Table 38 Mensajes de condición de simulación—problemas 435
Table 39 Opciones de control de salida de mensajes de la simulación 436
Table 40 Modelos del subcircuito de interface 442
Table 41 Conexiones de pines de masa/alimentación digitales por defecto 446
Table 42 Partes de fuentes de alimentación en SPECIAL.OLB 447
Table 43 Propiedades de fuentes de alimentación digitales 447
Table 44 Colores de visualización de ondas por defecto. 477
Table 45 Acciones del ratón para el control del cursor 510
Table 46 Combinaciones de teclas para el control del cursor 511
Table 47 Tabla de valores de salida 518
Table 48 Ejemplos de formatos de variables de salida 519
Table 49 Sufijos Ac de la variable de salida 520
Table 50 Nombres de dispositivos para tipos de dispositivos con dos terminales 520
Table 51 Identificación de terminales para dispositivos de 3 o 4 terminales 521
Table 52 Tipos de ruidos por tipo de dispositivo 523
Table 53 Funciones aritméticas analógicas para expresiones de trazas 525
Table 54 Unidades de salida para expresiones de trazas 527
Table 55 Operadores digitales lógicos y aritméticos 528
Table 56 Constantes de señales para expresiones de trazas digitales 529

Antes de comenzar

Bienvenido a OrCAD

OrCAD® ofrece una solución total para las taréas de diseño: esquemas - entradas al diseño basadas en VHDL; síntesis de diseño FPGA y CPLD; digital, analógico, y simulación de señales mixtas; así como el diseño de placas de circuito impreso. Es más, los productos OrCAD son un conjunto de aplicaciones construidas alrededor del flujo de diseño de un ingeniero; no son sólo una colección de herramientas desarrolladas de forma independiente. PSpice A/D es uno de los elementos en el flujo del diseño de la solución total de OrCAD.

Con los productos de OrCAD, pasará menos tiempo trabajando con los detalles de la integración de herramientas, inventando atajos, e introduciendo datos manualmente para mantener los ficheros sincronizados. Nuestros productos le ayudarán a construir diseños mejor y más rápidamente, y a un precio menor.

Visión general de OrCAD PSpice A/D

OrCAD PSpice A/D simula circuitos analógicos, digitales y mixtos. Los algoritmos tanto analógicos como digitales de PSpice A/D están incluidos dentro del mismo programa de modo que pueden simularse circuitos mixtos analogico/digitales con bucles de realimentación fuertemente conectados entre secciones digitales y analógicas sin ninguna reducción en las prestaciones.

Después de preparar un diseño para su simulación, OrCAD Capture genera un conjunto de ficheros del circuito. Este conjunto de ficheros, conteniendo la lista de conexiones del circuito y los comandos de análisis, es leído por PSpice A/D para su simulación. PSpice A/D los formula en trazas gráficas significativas, que pueden ser marcadas para representarse directamente desde las páginas del esquema por medio de marcadores.

Cómo utilizar esta guía

Esta guía está diseñada para que pueda localizarse rápidamente la información necesaria para utilizar PSpice A/D.

Esta guía asume que está familiarizado con Microsoft Windows (NT o 95), incluyendo cómo utilizar iconos, menús y cajas de diálogo. También se asume que se poseen unos conocimientos básicos sobre cómo maneja Windows las aplicaciones y los ficheros para realizar tareas rutinarias, tales como iniciar aplicaciones, y abrir y salvar trabajos. Si se es nuevo con Windows, léase primero la *Guía de Usuario de Microsoft Windows*.

Convenciones tipográficas

Antes de utilizar PSpice A/D, es importante comprender los términos y convenciones tipográficas utilizados en esta documentación.

Esta guía sigue por regla general las convenciones utilizadas en la *Guía de Usuario de Microsoft Windows*. Los procedimientos para realizar una operación están marcados generalmente con las siguientes convenciones tipográficas.

Notación	**Ejemplos**	**Descripción**
C+r	Pulsar C+r	Una tecla o combinación de teclas del teclado.
fuente no proporcional	Teclear VAC....	Comandos/texto introducidos desde el teclado.

Documentación relacionada

La documentación de los productos de OrCAD está disponible tanto en forma impresa como en línea. Para acceder al manual en línea instantáneamente, puede seleccionarlo desde el menú de ayuda en su respectivo programa (por ejemplo puede acceder a la Guía de Usuario de Capture desde el menú de ayuda de Capture).

Note *La documentación que reciba depende de la configuración del software que haya comprado.*

La siguiente tabla da una breve descripción de aquellos manuales que se encuentra impresos y en línea.

Este manual...	Da información sobre cómo utilizar ...
Guía de Usuario de OrCAD Capture	OrCAD Capture, que es un programa de captura de esquemas con un interface directo a otros programas y opciones de OrCAD.
Guía de Usuario de OrCAD Layout	OrCAD Layout, que es un editor de placas de circuito impreso que le permite especificar la estructura de una placa de circuito impreso, así como los componentes, metalización y gráficos requeridos para su fabricación.
Guía de Usuario de OrCAD PSpice A/D & Basics	PSpice A/D con Probe, el Editor de Impulsos, y el Editor de Modelos, que son programas de análisis de circuitos que le permiten crear, simular y revisar diseños de circuitos analógicos y digitales. Este manual contiene ejemplos sobre cómo especificar parámetros de simulación, analizar los resultados de la simulación, editar señales de entrada y crear modelos. (PSpice A/D Basics es una versión limitada que no incluye el editor de impulsos.)
Guía de Usuario de OrCAD PSpice	OrCAD PSpice con Probe que es un programa de análisis de circuitos que le permite crear, simular y chequear diseños de circuitos que sea únicamente analógicos.
Guía de Usuario de OrCAD PSpice Optimizer	OrCAD PSpice Optimizer, que es un programa de optimización de prestaciones analógicas que le permite realizar un ajuste fino en los diseños de circuitos analógicos.

La siguiente tabla da una breve descripción de aquellos manuales que están disponibles únicamente en línea.

Este manual en línea...	Contiene esto...
Manual de Referencia en Línea de OrCAD PSpice A/D	Material de referencia para PSpice A/D. También incluye descripciones detalladas de los controles de la simulación así como de las especificaciones del análisis, y una lista de los tipos de dispositivos en las librerías de modelos analógicos y digitales. Los comandos del interface de usuario se dan también para instruirle sobre cada uno de los comandos de pantalla.
Manual en línea de Notas de Aplicación de OrCAD	Una variedad de artículos que le muestran cómo puede realizarse una determinada tarea utilizando los productos de OrCAD, y ejemplos que muestran una aproximación diferente para resolver un problema de ingeniería.
Lista de librerías de OrCAD PSpice	Una lista completa de las partes digitales y analógicas en las librerías de modelos y partes.

Ayuda en línea

Seleccionando *Search for Help On* en el menú de ayuda se presenta un extenso sistema de ayuda en línea.

La ayuda en línea incluye:

- Instrucciones paso a paso para configurar las simulaciones en PSpice A/D y analizar los resultados de la simulación.
- Información de referencia sobre PSpice A/D.
- Información del Soporte Técnico.

Si no está familizarizado con el sistema de ayuda de Windows (NT o 95), seleccionar "*How to Use Help*" (como utilizar la ayuda) en el menú de ayuda.

Utilidad	PSpice A/D estándar	PSpice A/D Básico
Análisis de PSpice notables y utilidades de la simulación		
Barrido DC, barrido AC, análisis de transitorios	Si	Si
Análisis de ruidos, Fourier y temperaturas	Si	Si
Análisis paramétrico	Si	No
Análisis de Monte Carlo	Si	No
Modelado del comportamiento analógico (ABM)	Si	Si
Modelado del retardo de propagación	Si	No
Chequeo de restricciones (tales como tiempos de configuración y mantenimiento)	Si	No
Temporización digital en el peor de los casos	Si	No
Almacenamiento de la carga en redes digitales	Si	No
Editor de Impulsos	Si	No
Utilidad Parts	Si	No
Análisis de prestaciones (funciones objetivo)	Si	No
Salvar/cargar puntos parciales	Si	No
Dispositivos PSpice notables y modelos de librerías		
GaAsFETs: Curtice, Statz, TriQuint, Parker-Skellern	Todos	Statz
MOSFETs: SPICE3 (1-3) con conservación de carga, BSIM1, BSIM3.1 (versión 3), EKV (versión 2.6)	Si	Si
IGBTs	Si	No
JFETs, BJTs	Si	Si
Soporte de modelos de resistencias, condensadores y bobinas	Si	Si
Perdidas en líneas de transmisión lineales - no lineales	Todas	ideal
Bobinas acopladas	Si	Si
Líneas de transmisión acopladas	Si	No
Magnéticos no lineales	Si	No

Note *Para usuarios expertos de PSpice A/Ds, estos son los comandos de ficheros de circuitos de PSpice que no están disponibles en el paquete básico:*

- .STIMULUS
- .STIMLIB
- .SAVEBIAS
- .LOADBIAS

Utilidad	PSpice A/D estándar	PSpice A/D Básico
Interruptores controlados por tensión-corriente	Si	Si
Librerías de modelos analógicos	10,200+	10,200+ *
Dispositivos PSpice notables y modelos de librerías, continuación		
Primitivas digitales	Todas	La mayoría **
Librería de modelos digitales	1600+	1600+
Opciones de compra		
OrCAD Layout	Si	Si
Optimizador de OrCAD PSpice	Si	No
Equaciones de dispositivos	Si	No
Licencias de red	Si	No
Especificaciones varias		
Tamaño del circuito sin límites	Si	Si

* El paquete PSpice A/D Basics incluye todas las librerías excepto IGBTS, SCRs, tiristores, PWMs, núcleos magnéticos y líneas de transmisión.

** PSpice A/D Basics no incluye puertas de transferencia bidireccional.

Si tiene un CD-ROM de demostración

CD-ROM de demostración de OrCAD

El CD-ROM de demostración de OrCAD tiene las siguientes limitaciones para PSpice A/D:

- La simulación está limitada a circuitos de hasta 64 nodos, 10 transistores, 2 amplificadores operacionales o 65 dispositivos de primitivas digitales, así como a 10 líneas de transmisión (ideal o no-ideal) con no más de 4 parejas de líneas acopladas.
- La caracterización de dispositivos utilizando el Editor de Modelos está limitada a diodos.
- La generación de impulsos está limitada a ondas senoidales (analógico) y relojes (digital).
- Contiene una librería de ejemplos de aproximadamente 39 partes analógicas y 134 partes digitales.
- Presenta únicamente los datos de la simulación creados utilizando la versión de demostración del simulador.
- El optimizador de PSpice está limitado únicamente a un objetivo, un parámetro y una restricción.
- Los diseños creados en Capture pueden salvarse si no tienen más de 30 partes.

Qué es nuevo

Para ver más información, véase *Analizando formas de ondas* en la página 471.

El nuevo interface de PSpice; funcionalidad de análisis de formas de onda integrado. La versión 9 de PSpice A/D incluye todas las utilidades de Probe. Incluidas en una pantalla aparecen ventanas tabuladas para ver trazas, ventanas de texto para ver ficheros de salida u otros ficheros de texto y una ventana de estado y mensajes. También incluida hay una nueva caja de diálogo con la documentación de la configuración del análisis para crear perfiles de simulación (véase abajo). PSpice A/D ahora viene con una cola de simulación editable que muestra cuántos ficheros están actualmente a la espera de ser simulados. Puede editarse o reordenar la lista si fuera necesario. La utilidad de traceo ha sido mejorada proporcionando unos parámetros de rejilla controlados por el usuario, propiedades de la rejilla y las trazas (estilo y color) y funciones de copiar y pegar en formato metafile.

Perfiles de simulación La versión 9 de Spice A/D nos introduce en el concepto de perfiles de simulación. Cada perfil de simulación se refiere a un esquema en un diseño e incluye un tipo de análisis (AC, DC, o Transitorios) con cualquier opción (sensitividad, temperatura, paramétrico, Monte Carlo, etc.). Pueden definirse cuantos perfiles sean necesarios para el diseño y pueden configurarse múltiples análisis del mismo tipo. Los perfiles de simulación le ayudan a mantener los resultados del análisis separados, de modo que pueda borrarse uno sin tener que perder el resto.

La nueva Versión 9 de OrCAD Capture integra OrCAD Capture como herramienta de entrada al esquema principal para PSpice A/D. Capture proporciona un entorno de entrada de diseños profesional con muchas capacidades avanzadas que ahora trabajan mano a mano con PSpice A/D. Esto incluye un gestor de proyectos, un nuevo editor de propiedades en formato de hoja de cálculo, soporta el botón derecho del ratón y muchas otras utilidades que le ahorraran tiempo.

Nuevo interface de editor de modelos El Editor de Modelos (normalmente llamado Parts) ha sido mejorado y modernizado para la versión 9. Ahora viene con una aplicación unificada para editar modelos tanto en formato de texto como modificando sus especificaciones. El Editor de Modelos ya soporta el modelo Darlington.

Para más información, véase *Creando y editando modelos* en la página 127.

EKV versión 2.6 modelo MOSFET El modelo EKV es un modelo escalable y compacto construido sobre unas propiedades físicas fundamentales del dispositivo. Utilice este modelo para diseñar diseños de baja tensión, analógicos de baja corriente, y circuitos mixtos digitales/analógicos que utilicen tecnologías sub-micron.

Para más información, véanse los dispositivos MOSFET en el capítulo *Dispositivos Analógicos* de *Manual de Referencia en línea de OrCAD PSpice A/D*

La versión 2.6 modela lo siguiente:

- Aspectos geométricos y procesos relacionados del dispositivo (anchura del óxido, profundidad de la unión anchura y longitud del canal efectivo, etc.).
- Efectos del perfil de dopado y efectos del sustrato.
- Comportamiento de inversión débil, moderada o fuerte.
- Efectos de la movilidad debido a campos verticales y laterales y efecto de canales cortos invertidos.
- Efectos de canales cortos, tales como modulación de la longitud de un canal, compartición de cargas de fuentes y drenadores, y efectos de canales cortos invertidos.
- Modelado térmico y agujas de ruidos.
- Geometría de corta distancia y observación de dispositivos dependientes de perfiles para el análisis de Monte Carlo.

Librerías de modelos avanzadas Las librerías de modelos suministradas con la versión 9 de PSpice A/D han sido mejoradas para incluir los últimos modelos de diversos fabricantes, así como modelos de optoacopladores, Darlingtons, y los dispositivos DAC y ADC más populares.

Parte uno

Primera Simulación

La Parte Uno proporciona información básica acerca de la simulación del circuito así como ejemplos de los análisis más comunes.

- Capítulo 1, *Cosas que son necesarias conocer*, da una visión general del proceso de simulación de un circuito incluyendo lo que hace PSpice A/D, descripciones de tipos de análisis, y descripciones de los ficheros más importantes.
- Capítulo 2, *Ejemplos de simulación*, presenta ejemplos de los análisis más comunes como introducción a los métodos y herramientas que se necesitan para acceder, simular y analizar un diseño.

Cosas que son necesarias conocer

1

Presentación del capítulo

Este capítulo nos introduce en el propósito y función del simulador de circuitos PSpice A/D de OrCAD®.

- *¿Qué es PSpice A/D?* en la página 40 describe las capacidades de PSpice A/D.
- *Analisis que pueden realizarse con PSpice A/D* en la página 41 nos introduce en los diferentes tipos de análisis básicos y avanzados que soporta PSpice A/D.
- *Utilizando PSpice A/D con otros programas OrCAD* en la página 47 presenta el flujo de diseño de simulación a alto nivel.
- *Ficheros necesarios para la simulación* en la página 48 describe los ficheros utilizados para pasar información entre los programas de OrCAD. Esta sección también presenta lo que puede personalizarse y donde y cómo hacer que PSpice encuentre información de la simulación.
- *Ficheros que genera PSpice A/D* en la página 53 describe los ficheros que contienen los resultados de la simulación.

Qué es PSpice A/D?

Como los algoritmos de simulación analógica y digital están construidos dentro del mismo programa, PSpice A/D simula circuitos mixtos sin pérdida de prestaciones debido a los bucles de realimentación fuertemente unidos entre las secciones analógica y digital.

OrCAD PSpice A/D es un programa de simulación que modela el comportamiento de un circuito conteniendo cualquier combinación de dispositivos digitales y analógicos. Utilizado con OrCAD Capture para la entrada del diseño, puede pensar en PSpice A/D como una placa de simulación basada en software del circuito que puede utilizarse para chequear y mejorar el diseño antes de tener que tocar una pieza de hardware.

Ejecuta análisis básicos y avanzados

PSpice A/D puede realizar:

- DC, AC, y análisis de transitorios, de modo que pueda ver la respuesta del circuito con diferentes tipos de entradas.
- Análisis paramétricos, de Monte Carlo, y del peor de los casos, de modo que puede ver cómo varía el comportamiento del circuito cambiando valores de componentes.
- Análisis de tiempos en el peor de los casos para ayudarle a localizar problemas de tiempos que se producen sólo con ciertas combinaciones de transmisiones de señal lentas o rápidas.

El rango de modelos construidos dentro de PSpice A/D incluyen no solamente resistencias, bobinas, condensadores y transistores bipolares, sino también:

- Modelos de líneas de transmisión, incluyendo retardos, reflexión, pérdidas, dispersión y réplicas.
- Modelos con núcleo magnético no lineal, incluyendo saturación e histéresis.
- Seis modelos MOSFET, incluyendo la versión 3.1 de BSIM3 y la versión 3.1 de EKV.
- Cinco modelos GaAsFET, incluyendo modelos Parker-Skellern y TriQuint's TOM2
- IGBTs
- Componentes digitales con modelos I/O analógicos

Utilice partes del extenso juego de librerías de OrCAD

Las librerías de modelos ofrecen más de 11,300 modelos analógicos y 1,600 modelos digitales fabricados en Norte América, Japón y Europa.

Varíe características de dispositivos sin crear nuevas partes

PSpice A/D posee numerosos modelos ya construidos con parámetros que pueden modificarse para un dispositivo. Esto incluye independencia de los efectos de temperatura.

Comportamiento del modelo

PSpice A/D soporta modelado de comportamiento tanto digital como analógico, de modo que puede describir bloques funcionales utilizando expresiones y funciones matemáticas.

Analisis que pueden realizarse con PSpice A/D

Análisis básico

Barrido DC y otros cálculos DC

Estos análisis evalúan las prestaciones de un circuito en respuesta a una fuente de corriente directa. La Tabla 1 resume que es lo que PSpice A/D calcula para cada tipo de análisis DC.

Table 1 *Tipos de análisis de continua*

Para este análisis DC...	PSpice A/D computa esto...
Barrido DC	Tensiones, corrientes y estados digitales fijos cuando se barra una fuente, un parámetro de modelo o una temperatura en un rango de valores.
Detalle del punto de inicio	Datos del punto de partida como adición a lo que es calculado de forma automática en cualquier simulación.
Sensitividad DC	Sensibilidad de la tensión de una conexión o una parte en función del punto de trabajo.
Transferencia DC de pequeña señal	Ganancia de continua en pequeña señal, resistencia de entrada y salida en función del punto de partida.

Véase el Capítulo 2, *Ejemplos de simulación*, para ejemplos de introducción mostrando cómo ejecutar cada tipo de análisis.

Véase la Parte tres, *Preparando y ejecutando el análisis,* para una discursión más detallada de cada tipo de análisis y cómo configurarlo.

Barrido AC y ruido

Este análisis AC evalúa las prestaciones de un circuito en respuesta a una fuente de corriente alterna de pequeña señal. La Tabla 2 resume qué calcula PSpice A/D para cada tipo de análisis AC.

Table 2 *Tipo de análisis AC*

Para este análisis AC...	PSpice A/D calcula esto...
Barrido AC	Respuesta a pequeña señal del circuito (linealizada alrededor del punto de trabajo) cuando se realiza un barrido de una o más fuentes en un rango de frecuencias. Las salidas incluyen tensiones y corrientes con magnitud y fase; puede utilizar esto para obtener trazados estimados.
Ruido	Para cada frecuencia especificada en el análisis AC: • Contribuciones a la propagación de ruido en una conexión de salida desde cualquier generador de ruido en el circuito. • Suma RMS de las contribuciones del ruido a la salida. • Ruido de entrada equivalente.

Note *Para realizar un análisis de ruidos, deberá ejecutar también un análisis de barrido AC.*

Transitorios y Fourier

Este análisis basado en el tiempo evalúa las prestaciones del circuito como respuestas a fuentes que varían en el tiempo. La Tabla 3 resume qué calcula PSpice A/D para cada tipo de análisis basado en el tiempo.

Table 3 *Tipos de análisis basados en tiempos*

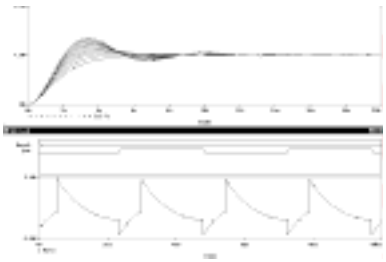
Para este análisis basado en tiempos.	**PSpice A/D calcula esto...**
Transitorios	Tensiones, corrientes y estados digitales trazeados en el tiempo. Para dispositivos digitales, pueden fijarse los retardos de propagación a mínimo, típico y máximo. Si ha habilitado análisis de tiempos en el peor de los casos, PSpice A/D considerará todas las combinaciones posibles de retardos de propagación entre los rangos mínimo y máximo.
Fourier	Componentes DC y Fourier de los resultados del análisis de transición.

Note *Para realizar un análisis de Fourier, deberá realizarse también un análisis de transitorios.*

Analizando formas de ondas con PSpice A/D

Qué es un análisis de formas de onda?

Considerados juntos, la simulación y el análisis de formas de onda son un proceso interactivo. Después de analizar los resultados de la simulación, se puede ajustar el diseño y los valores de la simulación para realizar una nueva simulación y un análisis de formas de onda.

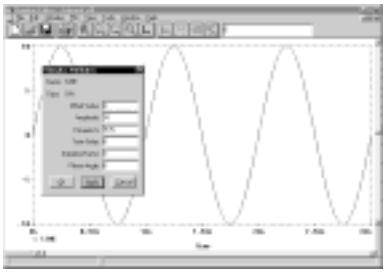


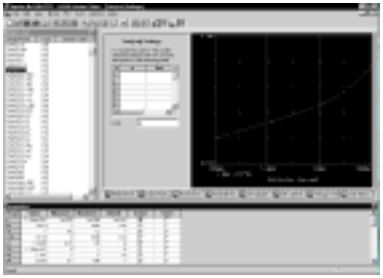
Después de completar la simulación, PSpice A/D presenta los resultados de la onda de modo que pueda ver el comportamiento del circuito y determinar la validez del diseño.

Realizar un análisis posterior de los resultados de la simulación. Esto significa que puede trazar cualquier información adicional derivada de las formas de onda. Lo que pueda trazarse depende del tipo de análisis que se ejecute. Márgenes de fase, derivadas de las características para pequeñas señales, familias de formas de onda, e histogramas son sólo una parte de las posibilidades. También puede tracear otras características de las ondas tales como el tiempo de subida en función de la temperatura, o porcentaje de rebase en función del valor del componente.

errores pequeños en un diseño de un circuito digital

Cuando PSpice A/D detecta violaciones de configuración y mantenimiento, condiciones de prueba o riesgos de tiempos, mostrará un detallado mensaje junto con las ondas correspondientes. PSpice A/D también le ayuda a localizar el problema en el diseño.





Ficheros que genera Capture

Cuando comience el proceso de simulación, Capture primero generará ficheros describiendo las partes y conexiones del circuito. Estos ficheros son el fichero de lista de conexiones y el fichero del circuito que PSpice A/D leerá antes de realizar nada.

Fichero de Lista de Conexiones

El fichero de lista de conexiones contienen una lista de los nombres de los dispositivos, sus valores, y cómo están conectados a otros dispositivos. El nombre que genera Capture para este fichero es *NOMBRE_DEL_DISEÑO*.NET.

Acuda al *Manual de Referencia PSpice A/D de OrCAD* para ver la sintasis de los estados en el fichero de lista de conexiones y en el fichero del circuito.

Fichero del circuito

El fichero del circuito contiene comandos describiendo cómo ejecutar la simulación. Este fichero también hace referencia a otros ficheros que contienen listas de conexiones, modelos, impulsos y cualquier otra información definida por el usuario que sea aplicable a la simulación. El nombre que genera Capture para este fichero es *NOMBRE_DEL_DISEÑO*.CIR.

Estas definiciones toman la forma de:

- *Conjunto de parámetros de modelos* que define el comportamiento de una parte realizando un ajuste fino del modelo construido en PSpice A/D, o
- *Lista de conexiones del subcircuito*, que describe la estructura y función de la parte interconectando otras partes y primitivas.

Un subcircuito, algunas veces llamado un macromodelo, es análogo a una llamada procedure en un lenguaje de programación software.

Los modelos más comúnmente utilizados están disponibles en las librerías de modelos de OrCAD suministradas con los programas. Los nombres de las librerías de modelos poseen la extensión .LIB.

Si fuera necesario puede crear sus propios modelos y librerías, tanto:

- manualmente utilizando el visualizador de Texto de Modelos en el Editor de Modelos (o cualquier otro editor de textos como puede ser Notepad), o
- automáticamente utilizando el Editor de Modelos.

Véase *Qué es el Editor de Modelos?* en la página 48 para una mejor descripción.

Fichero de Impulsos

Note *No todas las definiciones de impulsos requieren un fichero de impulsos. En algunos casos, tales como fuentes de continua o alterna, deberá utilizar un símbolo esquemático y fijar sus atributos.*

Un fichero de impulsos contiene definiciones basadas en tiempos para formas de onda de entrada analógicas y/o digitales. Puede crearse un fichero de impulsos tanto:

- manualmente utilizando el visualizador de texto de modelos (o un editor de textos estándar) para crear la definición (la extensión típica de estos ficheros es .STM), o
- automáticamente utilizando el editor de impulsos (que genera un fichero con la extensión .STL).

Véase *Qué es el Editor de Impulsos?* en la página 47 para una mejor descripción.

Fichero de inclusión

Un fichero de inclusión es un fichero definido por el usuario que contiene:

- comandos PSpice , o
- comentarios de texto suplementarios que quiera que aparezcan en el fichero de salida de PSpice (véase la página 53).

Ejemplo: Un fichero de inclusión que contenga definiciones, utilizando el comando .FUNC de PSpice, para funciones que desee utilizar en expresiones numéricas en otra parte del diseño.

Puede crear un fichero de inclusión utilizando cualquier editor de textos, incluyendo Notepad. Normalmente, los ficheros de inclusión poseen la extensión .INC.

Más en librerías...

La configuración para librerías de modelos es parecida a la de otras librerías que utiliza Capture, incluyendo las librerías de partes. Para más información véase la guía de usuario de OrCAD Capture.

Configurando librerías de modelos, impulsos y ficheros de inclusión

PSpice A/D busca librerías de modelos, ficheros de inpulsos y de inclusión para cualquier información que necesite para completar la definición de una parte o para ejecutar una simulación.

Los ficheros que busca PSpice A/D dependen de cómo se hayan configurado las librerías de modelos y otros ficheros. La mayor parte de la configuración se realiza automáticamente, de todas formas el ususario puede hacer lo siguiente:

- Añadir o borrar ficheros de la configuración.
- Cambiar el ámbito de un fichero, si el fichero se aplicará a un sólo diseño (local) o a cualquier diseño (global).
- Cambiar el orden de búsqueda.

Ficheros que genera PSpice A/D

Después de leer el fichero del circuito, el fichero de la lista de conexiones, las librerías de modelos y cualquier otra entrada necesaria, PSpice A/D inicia la simulación. Conforme esta progresa, PSpice A/D salva los resultados en dos ficheros: el fichero de datos y el fichero de salida de PSpice.

Ficheros de datos de formas de onda

El fichero de datos contiene los resultados de la simulación que pueden visualizarse gráficamente. PSpice A/D lee el fichero automáticamente y muestra las ondas reflejando la respuesta del circuito en conexiones, pines y partes que se hayan marcado en el esquema (pruebas cruzadas). Puede preparar el diseño para que PSpice A/D presente los resultados conforme progrese la simulación o una vez completada esta.

Para una descripción sobre cómo ver los resultados de la simulación, véase la Parte cuarta, *Visualizando resultados*.

Para una descripción sobre el programa de analizador de formas de onda, véase *¿Qué es un análisis de formas de onda?* en la página 46.

Después que PSpice A/D haya leido el fichero de datos y muestre los primeros resultados, podrá añadir más formas de onda y realizar un análisis posterior a la simulación de los datos.

Hay dos formas de añadir formas de onda a la pantalla.

- Desde dentro de PSpice A/D, especificando expresiones de trazas.
- Desde dentro de Capture, por medio de las pruebas cruzadas.

Fichero de salida de PSpice

El fichero de salida de PSpice es un fichero en ASCII con:

- la representación de la lista de conexiones del circuito,
- la sintaxis de comandos de PSpice para los comandos y opciones de la simulación (ejemplo: los análisis habilitados)
- resultados de la simulación, y
- mensajes de aviso y error para problemas encontrados durante la lectura o la simulación.

Su contenido está determinado por:

- los tipos de análisis que pueden realizarse,
- las opciones seleccionables para ejecutar PSpice A/D, y
- los símbolos de control de la simulación (VPRINT1 y VPLOT1) que pueden colocarse y conectar conexiones.

Ejemplo: Cada copia de un símbolo VPRINT1 colocado en el esquema hace que PSpice A/D genere una tabla con valores de tensión para la conexión conectada, y que escriba la tabla en el fichero de salida de PSpice.

Ejemplos de simulación

2

Presentación del capítulo

Los ejemplos en este capítulo nos introducen en los métodos de creación de diseños, y en cómo analizar los resultados de la simulación. Todos los análisis serán realizados en el mismo circuito de ejemplo para ilustrar lo más claramente posible la configuración del análisis, la simulación y los procedimientos de análisis de los resultados para cada tipo de análisis.

Este capítulo incluye las siguientes secciones:

- *Ejemplo de la creación de un circuito* en la página 56
- *Realizando un análisis de punto parcial* en la página 62
- *Análisis de un barrido DC* en la página 66
- *Análisis de transitorios* en la página 72
- *Análisis de un barrido AC* en la página 77
- *Análisis parámetrico* en la página 82
- *Análisis de prestaciones* en la página 89

Ejemplo de la creación de un circuito

Esta sección describe cómo utilizar OrCAD Capture para crear un sencillo circuito de cliper de diodos mostrado en la Figura 2.

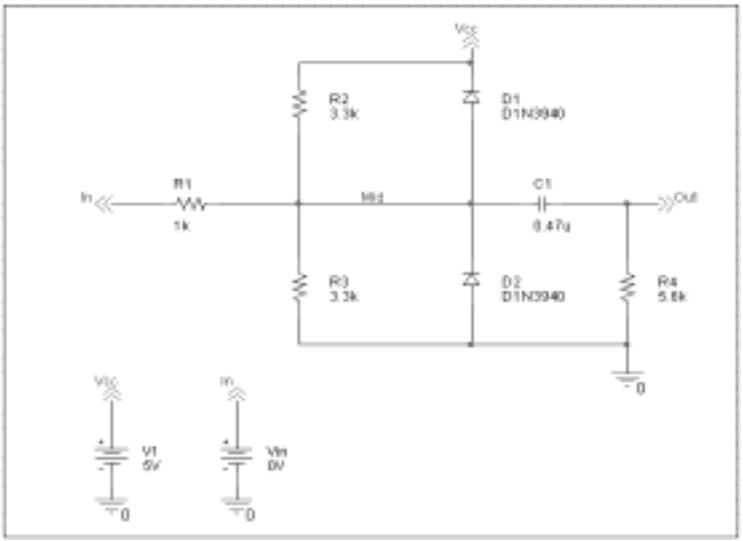


Figure 2 *Circuito de diodos clíper.*

Para crear un nuevo proyecto PSpice

1. En el menú de inicio de Windows, seleccionar la carpeta de programa OrCAD Release 9 y después la tecla Capture para iniciar Capture.
2. En el Administrador de proyectos, en el menú File, apuntar a New y señalar Project.
3. Seleccionar Analog o Mixed-Signal Circuit Wizard.
4. En la caja de texto Name, introducir el nombre del proyecto (CLIPPER).
5. Clicar OK, después clicar Finish.

   No es necesario configurar librerías especiales por ahora. Se mostrará una nueva página en Capture y el nuevo proyecto quedará configurado en el Administrador de Proyectos.

Para colocar las fuentes de tensión

1 En Capture, cambiar el editor de páginas de esquemas.

2 En el menú Place, seleccionar Part para ver la caja de diálogo Place Part.

o pulsar S+p

3 Añadir la librería para las partes que necesita posicionar:

   a Clicar sobre el botón Add Library.

   b Seleccionar SOURCE.OLB (en la librería PSpice) y clicar sobre Open.

Note *Hay 2 grupos de librerías suministrados con Capture y PSpice A/D. Las librerías de partes de esquemas estándares están en el directorio de librerías de Capture. Las librerías que están diseñadas para la simulación con PSpice A/D están en Capture\Library\PSpice. Para poder acceder a determinadas partes, deberá configurar la librería en Capture utilizando la función Add Library.*

4 En la caja de texto Part, teclear VDC.

5 Clicar OK.

6 Mover el puntero hasta la posición correcta en la página del esquema (véase la Figura 2) y clicar para colocar la primera parte.

7 Mover el cursor y clicar de nuevo para colocar la segunda parte.

8 Hacer clic con el botón derecho del ratón y seleccione End Mode para terminar de colocar partes.

Para colocar los diodos

1 En el menú PLace, seleccionar Part para cer la caja de diálogo Place Part.

o pulsar S+p

2 Añadir la librería de las partes que se necesiten colocar:

   a Clicar sobre el botón Add Library.

   b Seleccionar DIODE.OLB (en las librerías de PSpice) y clicar sobre Open.

3 En la caja de texto Part, teclear DIN39 para ver una lista de diodos.

Cuando coloque partes:

- Deje espacio para conectar las partes con hilos.
- Deberá cambiar los nombres de las partes y valores que no coincidan con los mostrados en la Figura 2 más adelante en esta sección.

4 Seleccionar D1N3940 y clicar sobre OK.

5 Pulsar r para girar el diodo en la orientación correcta.

6 Clicar para colocar el primer diodo (D1), después clicar para colocar el segundo diodo (D2).

7 Hacer clic con el botón derecho del ratón y seleccionar End Mode para terminar de colocar partes.

Para mover el texto asociado a los diodos (o a cualquier otro objeto)

1 Clicar sobre el texto para seleccionarlo, después llevarlo a su nueva posición.

Para colocar las otras partes

pulsar S+p o

1 En el menú Place, seleccionar Part para ver la caja de diálogo Place Part.

2 Añadir la librería de las partes que necesiten posicionarse:

a Clicar sobre el botón Add Library.

b Seleccionar ANALOG.OLB (en la librería PSpice) y clicar sobre Open.

3 Siga los pasos similares a los descritos para los diodos para colocar las partes listadas a continuación de acuerdo con la imagen mostrada en la Figura 2. Los nombres de las partes que es necesario teclear en la caja de texto Part Name en la caja de diálogo Place Part se muestran entre paréntesis:

- resistencias (R)
- condensadores (C)

4 Para colocar conectores de salida de página (OFFPAGELEFT-R), clicar sobre el botón Place Off-Page Connector en la paleta de herramientas.

5 Añadir la librería de las partes que necesite colocar:

a Clicar sobre el botón Add Library.

b Seleccionar CAPSYM.OLB (en la librería de Capture) y clicar sobre Open.

6 Colocar el conector de salida de página de acuerdo con lo mostrado en la Figura 2.

7 Para colocar las tierras (0), clicar sobre el botón GND en la paleta de herramientas.

8 Añadir la librería de las partes que necesiten posicionarse:

a Clicar sobre el botón Add Library.

b Seleccionar SOURCE.OLB (en la librería PSpice) y clicar sobre Open.

9 Colocar las tierras conforme a lo mostrado en la Figura 2.

Para conectar las partes

1 En el menú Place, seleccionar Wire para comenzar a trazar hilos.

El puntero cambiará a una cruz.

o pulsar S+w

Para dejar de trazar hilos, haga clic con el botón derecho del ratón y seleccione End Wire. El puntero cambiará a la flecha por defecto.

2 Clicar sobre el punto de conexión (el punto extremo) del pin del conector de salida de página a la entrada del circuito.

3 Clicar sobre el punto de conexión más próximo de la resistencia de entrada R1.

4 Conectar el otro extremo de R1 al condensador de salida.

5 Conectar los diodos uno frente al otro y a ambos lados del hilo que hay entre ambos:

- **a** Clicar sobre el punto de conexión del cátodo del diodo inferior.
- **b** Mover el cursor en línea recta y clicar sobre el hilo que hay entre los diodos. El hilo se terminará y la unión entre los segmentos de hilo se hará visible.
- **c** Clicar de nuevo sobre el punto de unión para continuar trazando hilos.
- **d** Clicar sobre el extremo del ánodo del diodo superior.

Clicando sobre cualquier punto de conexión válido se terminará el hilo. Un punto de conexión válido se muestra como una caja (véase la Figura 3).

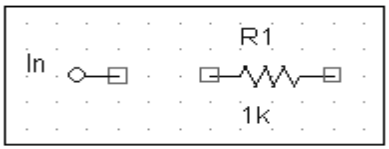


Figure 3 *Puntos de conexión.*

6 Continuar conectando partes hasta que el circuito quede cableado como se muestra en la Figura 2 en la página 56.

Si comete un error cuando coloque o conecte componentes:

Para asignar nombres (etiquetas) a las conexiones

1 En el menú Place, seleccionar Net Alias para ver la caja de diálogo Place Net Alias.

2 En la caja de texto Name, teclear Mid.

3 Clicar sobre OK.

4 Colocar el alias de la conexión sobre cualquier segmento del hilo que une R1, R2, R3, los diodos y el condensador. La esquina inferior izquierda del alias de la conexión deberá tocar el hilo.

5 Clicar el botón derecho del ratón y seleccionar End Model para terminar la función Net Alias.

Para asignar nombres (etiquetas) a los conectores de salida de página

Etiquetar los conectores de salida de página tal y como se muestra en la Figura 2 en la página 56.

1 Hacer doble clic sobre el nombre de un conector de salida de página para ver la caja de diálogo Display Properties.

2 En la caja de texto Name, teclear el nuevo nombre.

3 Clicar sobre OK.

4 Seleccionar y recolocar el nuevo nombre como se desee.

Para asignar nombres a las partes

Una forma más eficaz de cambiar los nombres, valores y otras propiedades de varias partes en el diseño es utilizar el Editor de propiedades, como sigue:

1 Seleccionar todas las partes que se quiere modificar pulsando C y clicando sobre cada parte

2 En el menú Edit, seleccionar Properties.

Se mostrará la hoja de cálculo Parts.

Cambiar las entradas en las celdas necesarias, y después clicar Apply para actualizar todos los cambios a la vez.

1 Hacer doble clic sobre la segunda parte VCC para ver la hoja de cálculo Parts.

2 Clicar en la primera celda bajo la columna Reference.

3 Teclear el nuevo nombre Vin.

4 Clicar Apply para actualizar los cambios en la parte, después cerrar la hoja de cálculo.

5 Continúe nombrando el resto de partes hasta que el esquema se vea como el de la Figura 2 en la página 56.

Para cambiar el valor de las partes

1 Hacer doble clic en la etiqueta voltage (0V) en V1 para acceder a la caja de diálogo Display Properties.

2 En la caja de texto Value, teclear 5V.

3 Clicar sobre OK.

4 Continúe cambiando las propiedades Part Value de las partes hasta que todas las partes queden definidas como en la Figura 2 en la página 56.

La página del esquema deberá tener las mismas partes, hilos, etiquetas y propiedades que las que se muestran en la Figura 2 en la página 56.

Para salvar el diseño

1 En el menú File, seleccionar Save.

pulsar C+s o

Viendo más sobre la preparación del diseño

Sobre la preparación de un diseño para su simulación

Para ver una lista de chequeo con todos los pasos necesarios para preparar un diseño para su simulación, y cómo evitar los problemas más comunes, véase el *Capítulo 3, Preparando un diseño para su simulación*.

Ejecutando PSpice A/D

Cuando realiza una simulación, PSpice A/D genera un fichero de salida (*.OUT).

Puede preparar un perfil de simulación para ejecutar un análisis cada vez. Para realizar múltiples análisis (por ejemplo un barrido DC y un análisis de transitorios) prepare una simulación por lotes. Para más información véase el *Capítulo 8, Preparando el análisis e iniciando la simulación*.

Mientras se está ejecutando PSpice A/D, el progreso de la simulación aparece y se actualiza en la ventana de salida de simulación de PSpice A/D (véase la Figura 4).

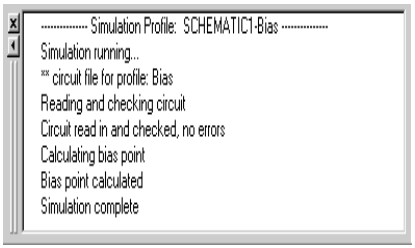


Figure 4 *Ventana de salida de la simulación de PSpice A/D.*

Realizando un análisis de punto parcial

Para preparar un análisis de punto parcial en Capture

1. En Capture, cambie a CLIPPER.OPJ en el editor de páginas de esquemas.
2. En el menú PSpice, seleccione New Simulation Profile para ver la caja de diálogo New Simulation.
3. En la caja de texto Name, teclee Bias.
4. En la lista Inherit From, seleccionar None, después clicar sobre Create.

   Se mostrará la caja de diálogo Simulation Settings .

   El esquema principal listado es la página de esquema asociada al perfil de simulación que se está creando.
5. En la lista de tipos de análisis, seleccione Bias Point.
6. Clicar sobre OK para cerrar la caja de diálogo Simulation Settings.

Para simular el circuito desde Capture

1 En el menú PSpice, seleccionar Run.

PSpice A/D simula el circuito y calcula la información del punto de trabajo.

Note *Como los datos de la forma de onda no son calculados durante un análisis del punto de trabajo, no verá traza alguna en la ventana Probe para esta simulación. Para saber cómo ver los resultados de esta simulación, véase Utilizando el fichero de salida de la simulación* más adelante.

Utilizando el fichero de salida de la simulación

El fichero de salida de la simulación actúa como un rastro de revisión de la simulación. Este fichero muestra opcionalmente el contenido del fichero del circuito así como los resultados de los cálculos del punto de trabajo. Si hubiese sintasis de error en las declaraciones de la lista de conexiones, o anomalías al realizar los cálculos, PSpice A/D escribirá mensajes de aviso o error en el fichero de salida.

Para ver el fichero de salida de la simulación

1 En el menú view de PSpice, seleccionar Output File.

La Figura 5 muestra los resultados de los cálculos del punto de inicio tal y como se escriben en el fichero de salida de la simulación.

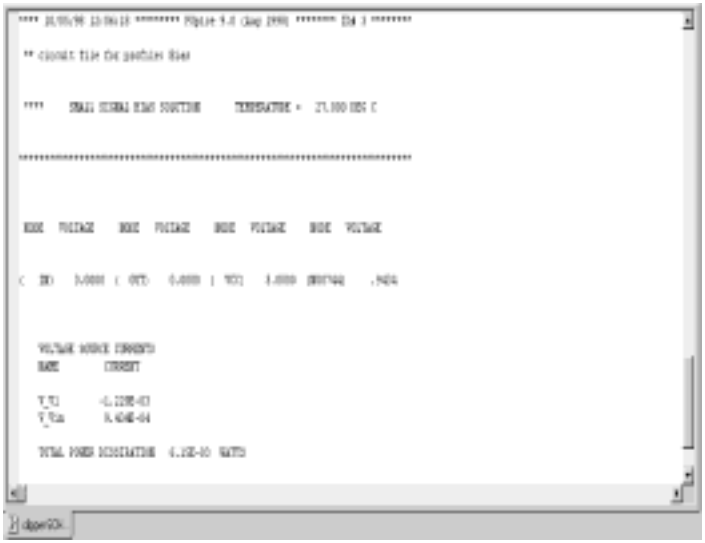


Figure 5 *Fichero de salida de la simulación.*

2 Cuando finalice, cierre la ventana.

PSpice A/D mide la corriente a través de los terminales de dos dispositivos dentro del primer terminal y fuera del segundo terminal. Para fuentes de tensión, la corriente se mide desde el terminal positivo al terminal negativo, esto es lo contrario a la convención de flujo de corriente positiva y da como resultado valores negativos en el fichero de salida.

Viendo más sobre los cálculos del punto de trabajo

Para encontrar más sobre esto...	**Véase esto...**
Cálculos del punto de trabajo	*Punto de trabajo* en la página 312

Análisis de un barrido DC

Puede verificar visualmente la respuesta al Clipper realizando un barrido DC de la fuente de tensión de entrada y viendo los resultados de las formas de onda en la ventana Probe de PSpice. Este ejemplo fija los parámetros de análisis de un barrido DC al barrido Vin desde -10 a 15 voltios en incrementos de 1 voltio.

Configurando y ejecutando un análisis de un barrido DC

Para preparar y ejecutar un análisis de un barrido DC

1. En Capture, en el menú PSpice, seleccionar el perfil New Simulation.

   Se mostrará la caja de diálogo New Simulation.

2. En la caja de texto Name, teclear DC Sweep.

3. En la lista Inherit From, seleccionar Schematic1-Bias, después clicar sobre Create.

   Se mostrará la caja de diálogo Simulation Settings.

4. Clicar sobre la pestaña Analysis.

5. En la lista Analysis type, seleccionar DC Sweep e introducir los valores mostrados en la Figura 6.

Note *Los valores por defecto para la simulación de un barrido DC son fuente de tensión como tipo de variable de barrido y Lineal como tipo de barrido. Para utilizar un tipo de variable de barrido o un tipo de barrido diferentes, seleccionar opciones diferentes bajo la variable de barrido y el tipo de barrido.*

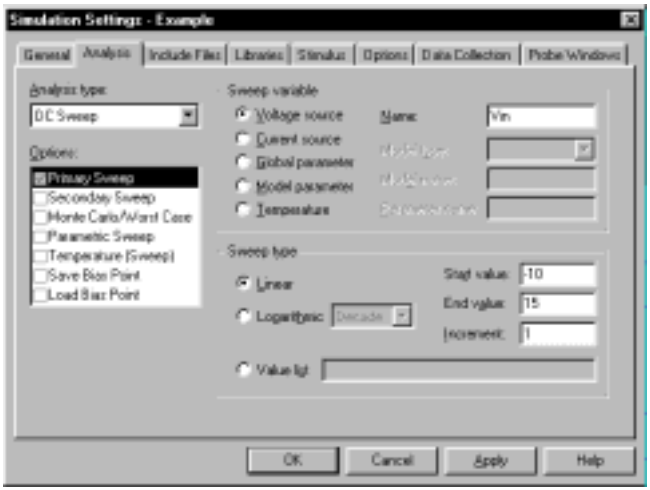


Figure 6 *Valores de análisis de barrido DC.*

6 Clicar OK para cerrar la caja de diálogo Simulation Settings.

7 En el menú File, seleccionar Save.

8 En el menú PSpice, seleccionar Run para iniciar el análisis.

Viendo los resultados del análisis DC

La ventana Probe puede aparecer durante o después que termine la simulación.

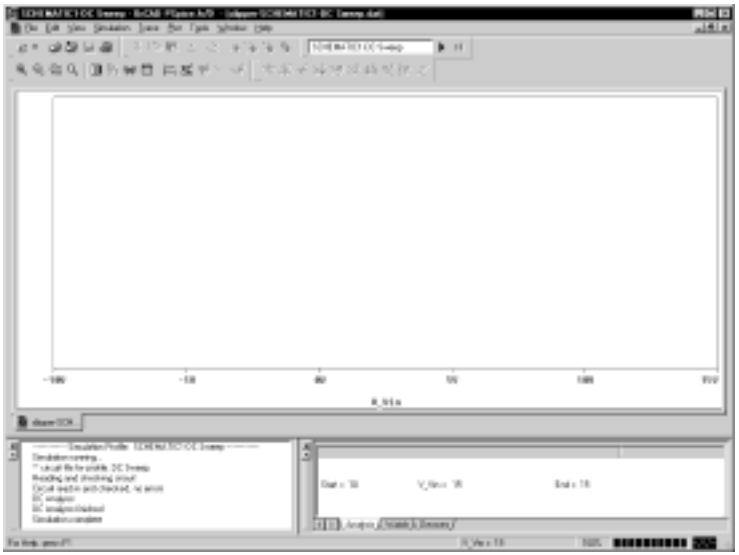


Figure 7 *Ventana Probe.*

Para tracear tensiones en las conexiones In y Mid

pulsar l o

1. En el menú Trace de PSpice, seleccionar Add Trace.
2. En la caja de diálogo Add Traces, seleccionar V(In) y V(Mid).
3. Clicar sobre OK.

Para ver una traza utilizando un marcador

pulsar C+M

1. En el menú PSpice de Capture, apuntar a Markers y seleccionar Voltage Level.
2. Clicar para colocar un marcador en la conexión Out, como se muestra en la Figura 8.

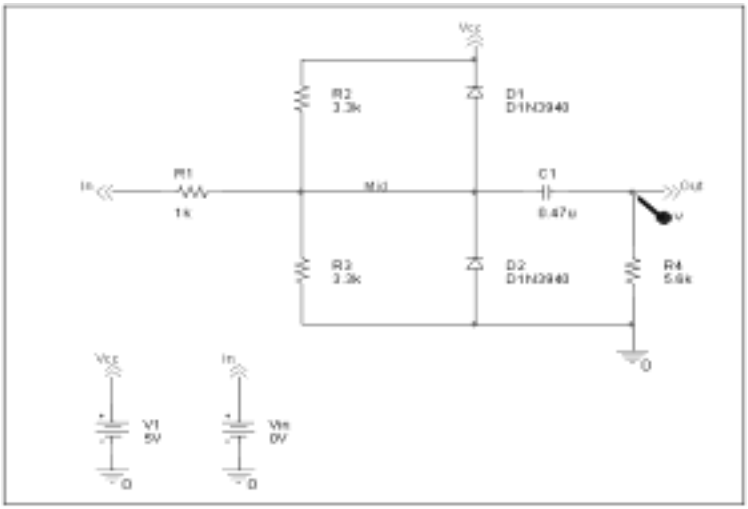


Figure 8 *Circuito clipper con un marcador de tensión en la conexión Out.*

3 Hacer clic con el botón derecho del ratón y seleccionar End Mode para dejar de colocar marcadores.

4 En el menú File, seleccionar Save.

o pulsar C+s

5 Cambiar a PSpice. Se mostrará la onda V(Out), como puede verse en la Figura 9.

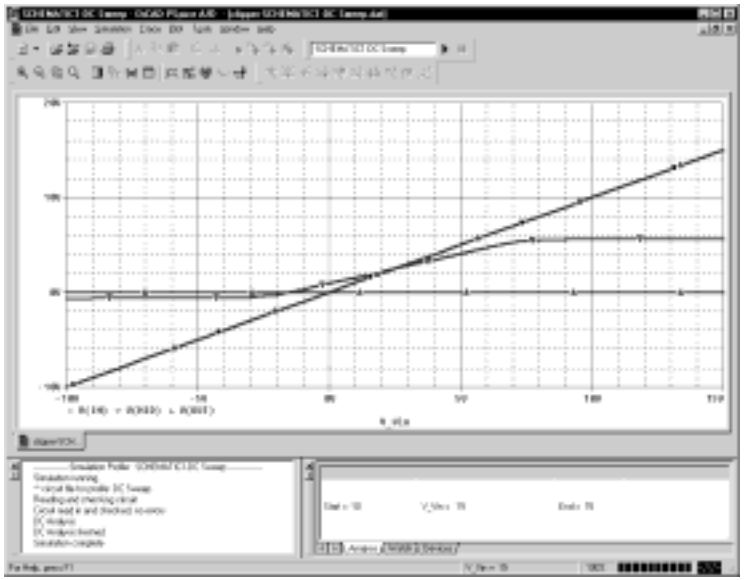


Figure 9 *Tensión en In, Mid, y Out.*

Este ejemplo utiliza la utilidad cursor para ver los valores numéricos para dos trazas y la diferencia entre ambas situando el cursor sobre cada traza.

Table 6 *Asociación de los cursores con los botones del ratón.*

cursor 1	botón izquierdo del ratón
cursor 2	botón derecho del ratón

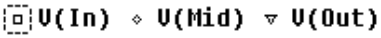


Figure 10 *Leyenda de la traza con los cursores activados.*

La habilitad de acercarse más o menos a 4.0 depende de la resolución de la pantalla y del tamaño de esta.

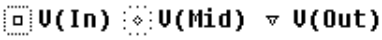


Figure 11 *Leyenda de traza con la línea exterior del símbolo (Mid).*

Para situar cursores en V(In) y V(Mid)

1 En el menú trace de PSpice, apuntar a Cursor y seleccionar Display.

Se mostrarán dos cursores para la primera traza definida en la leyenda bajo el eje x—V(In) en este ejemplo. También aparece la ventana Probe.

2 Para ver la cruz del cursor.

a Situar el ratón en cualquier lugar dentro de la ventana Probe.

b Clicar para ver la cruz del primer cursor.

c Clicar con el botón derecho para ver la cruz del segundo cursor.

En la leyenda de la traza, la parte para V(In) queda resaltada en el patrón de cruz para cada cursor, dando como resultado una línea intermitente como se muestra en la Figura 10.

3 Situar el primer cursor sobre la onda V(In):

a Clicar la parte de la traza V(In) en la proximidad de 4 voltios en el eje x. Se mostrará la cruz del cursor, y los valores actuales X e Y para el primer cursor se mostrarán en la ventana cursor.

b Para mejorar la localización del cursor en los 4 voltios del eje x, arrastrar la cruz hasta que el valor del cursor A1 en la ventana cursor sea aproximadamente de 4.0. También puede pulsarse r y 1 para un control más fino.

4 Situar el segundo cursor sobre la onda V(Mid):

a Hacer clic con el botón derecho del ratón sobre la parte de la leyenda de la traza (diamante) para V(Mid) para el patrón de cruz del segundo cursor deja en línea intermitente la parte de la traza V(Mid) como puede verse en la Figura 11.

b Hacer clic con el botón derecho del ratón sobre la parte de la traza V(Mid) que está cerca de los 4 voltios en el eje x. Los valores X e Y del segundo cursor aparecen en la ventana cursor junto con la diferencia (dif) entre los valores X e Y de los dos cursores.

c Para un ajuste fino de la localización del segundo cursor a 4 volts en el eje X, arrastrar la cruz hasta que el valor del eje x del cursor A2 en la ventana cursor sea aproximadamente de 4.0. También puede pulsar V+r y V+l para un control más fino.

La Figura 12 muestra la ventana Prove con ambos cursores colocados.

También hay formas de ver la diferencia entre dos tensiones como si fueran una traza:

- En PSpice, añadir la expresión trace V(In)-V(Mid).
- En Capture, desde el menú PSpice, apuntar a Markers y seleccionar Voltage Differential. Situar los dos marcadores sobre pines o hilos diferentes.

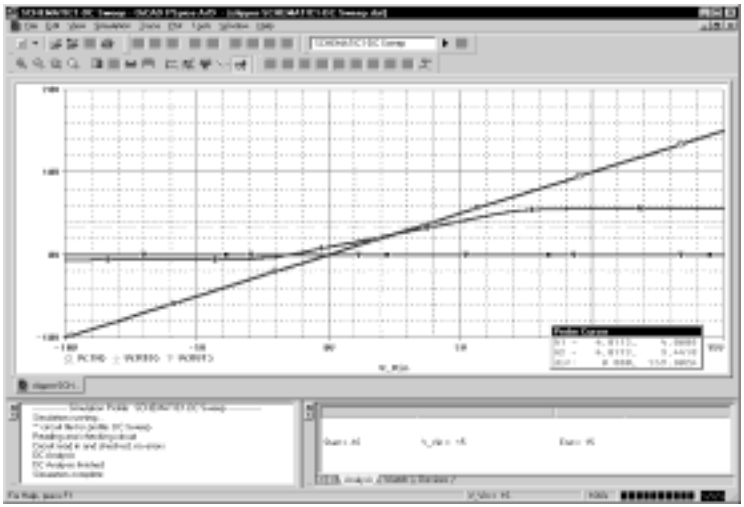


Figure 12 *Diferencia de tensión en V(In) = 4 voltios.*

Para borrar todas las trazas

1 En el menú Trace, seleccionar Delete All Traces.

Ahora, el diseño ha sido salvado. Si fuera necesario, puede abandonar Capture y PSpice y completar los restantes ejercicios de análisis más adelante utilizando el diseño salvado.

También puede borrar una traza individual seleccionando su nombre en la leyenda trace y después pulsando D.

Ejemplo: Para borrar la traza V(In), clicar el texto, V(In), localizado bajo el eje x, y después pulsar D.

Conociendo más sobre el análisis de barrido DC

Para saber más sobre esto...	Véase esto...
Análisis de barrido DC	*Barrido DC* en la página 304

Análisis de transitorios

Este ejemplo muestra cómo realizar un análisis de transitorios en el circuito cliper. Esto requiere añadir un impulso de tensión con dominio en el tiempo como se muestra en la Figura 13.

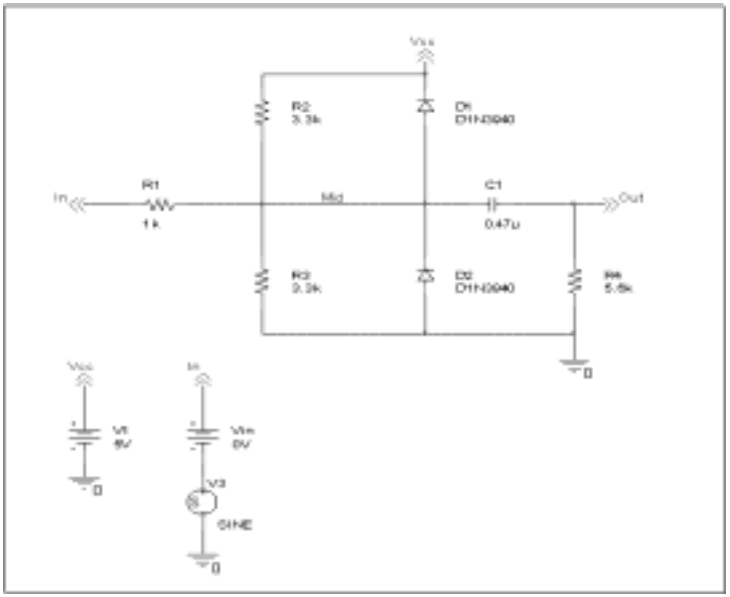


Figure 13 *Circuito de diodo cliper con un impulso de tensión.*

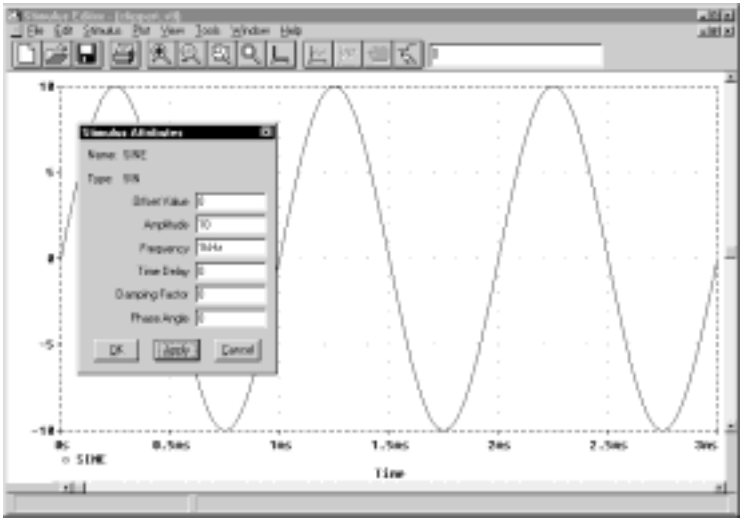


Figure 14 *Ventana del Editor de Impulsos.*

7 Clicar sobre OK.

pulsar V+@ o

8 En el menú File, seleccionar Save para salvar la información del impulso. Clicar Yes para actualizar el esquema.

9 En el menú File, seleccionar Exit para salir del Editor de Impulsos.

Para preparar y ejecutar el análisis de transitorios

1 En el menú PSpice de Capture, seleccionar New Simulation Profile.

Se mostrará la caja de diálogo New Simulation.

2 En la caja de texto Name, teclear Transient.

3 En la lista Inherit Fromt, seleccionar Schematic1-DC Sweep, después clicar sobre Create.

Se mostrará la caja de diálogo Simulation Settings.

4 Clicar sobre la pestaña Analysis.

5 En la lista Analysis, seleccionar Time Domain (Transient) e introducir los valores mostrados en la Figura 15.

TSTOP = 2ms

Start saving data after = 20ns

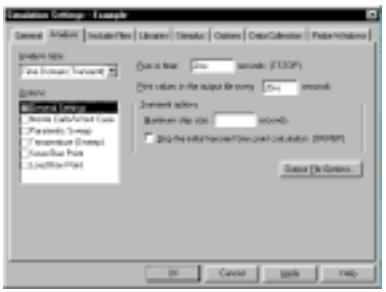


Figure 15 *Valores de simulación del análisis de transitorios.*

6 Clicar sobre OK para cerrar la caja de diálogo Simulation Settings.

7 En el menú PSpice, seleccionar Run para realizar el análisis.

PSpice A/D utiliza sus propios escalones de tiempo para la computación. El escalón interno de tiempos se ajusta de acuerdo con los requerimientos del análisis de transición conforme este procede. PSpice A/D salva los datos al fichero de datos de ondas para cada intervalo de escalón de tiempo.

Note *El escalón interno de tiempos es diferente del valor del escalón de impresión. Este valor controla qué cantidad de datos en formato de texto será escrita en el fichero de salida de simulación (*.OUT).*

Para ver la onda senoidal de entrada y la onda de V(Out)

o pulsar I

1 En el menú Trace de PSpice, seleccionar Add Trace.

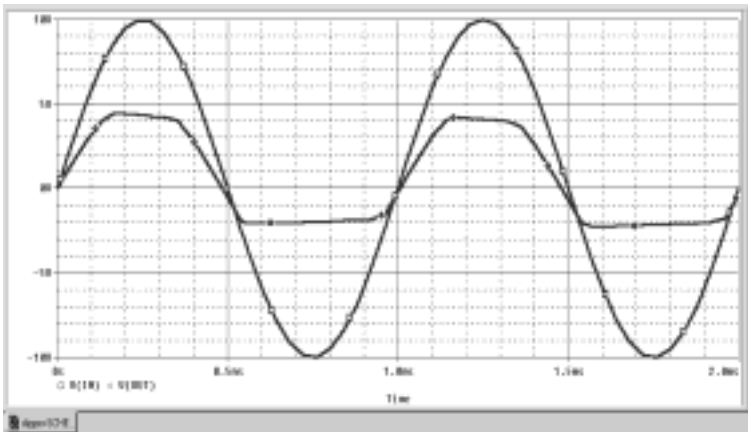
2 En la lista de trazas, seleccionar V(In) y V(Out) clicando sobre ambas.

3 Clicar sobre OK para ver las trazas.

4 En el menú Tools, seleccionar Options para ver la caja de diálogo Probe Options.

5 En la zona Use Symbols, clicar en Always si aún no está habilitada.

6 Clicar sobre OK.



Estas formas de onda muesrtan el recorte de la señal de entrada.

Figure 16 *Ondas de entrada senoidal y de salida recortada.*

Encontrando más sobre el análisis de transitorios

Para encontrar más sobre esto...	**Véase esto...**
Análisis de transitorios para diseños con señales mixtas y analógicas*	*Capítulo 11, Análisis de transitorios*
Análisis de transitorios para diseños digitales*	*Capítulo 14, Simulación digital*

* Incluye cómo preparar impulsos basados en el tiempo utilizando el Editor de Impulsos.

Análisis de un barrido AC

El análisis de un barrido AC en PSpice A/D es un análisis de dominio de frecuencia lineal (o pequeña señal) que puede ser utilizado para ver la respuesta en frecuencia de cualquier circuito y su punto de trabajo.

Preparando y ejecutando un análisis de un barrido AC

En este ejemplo, se preparará el circuito cliper para un análisis AC, añadiendo una fuente de tensión AC para una señal de impulso (véase la Figura 17) y fijando los parámetros del barrido AC.

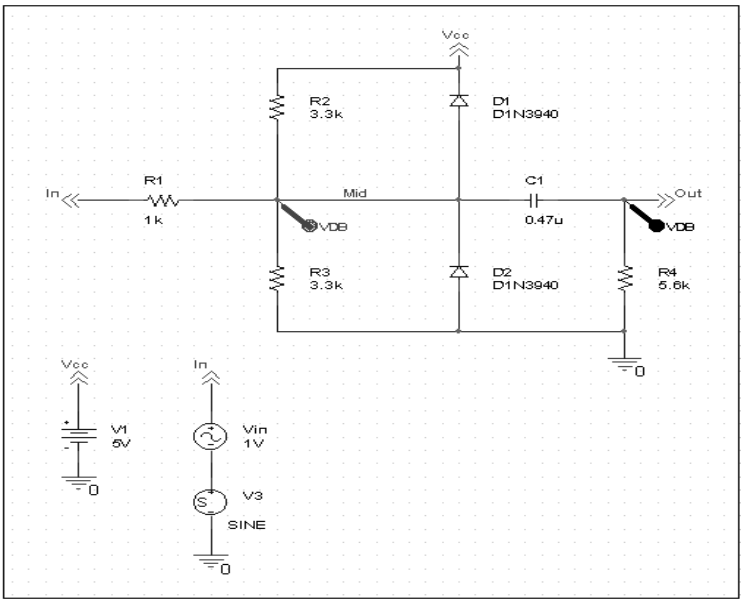


Figure 17 *Circuito cliper con un impulso AC.*

Para cambiar Vin e incluir la señal de impulso AC

1 En Capture, abrir CLIPPER.OPJ.

2 Seleccionar la fuente de tensión DC, Vin, y pulsar D para borrar la parte de la página del esquema.

3 En el menú Place, seleccionar Part.

4 En la caja de texto Part, teclear VAC (en la librería SOURCE.OLB de PSpice) y clicar sobre OK.

5 Situar la fuente de tensión AC en la página del esquema, como se indica en la Figura 17.

6 Hacer doble clic sobre la parte VAC (0V) para ver la hoja de cálculo Parts.

7 Cambiar la celda Reference a Vin y cambiar la celda ACMAG a 1V.

8 Clicar Apply para actualizar los cambios y después cerrar la hoja de cálculo.

Para preparar y ejecutar la simulación del barrido AC

Note *La simulación de PSpice no es sensible al contexto, de modo que puede utilizarse M o m como "mili," y MEG, Meg, o meg pueden todos ser utilizados como "mega.", de todas formas, los análisis de formas de onda tratan M y m como mega y mili, respectivamente.*

1 Desde el menú PSpice de Capture, seleccionar New Simulation Profile.

2 En la caja de texto Name, teclear AC Sweep, después clicar sobre Create.

Se mostrará la caja de diálogo Simulation Settings.

3 Clicar sobre la pestaña Analysis.

4 En la lista de tipos de análisis, seleccionar AC Sweep/Noise e introducir los valores mostrados en la Figura 18.

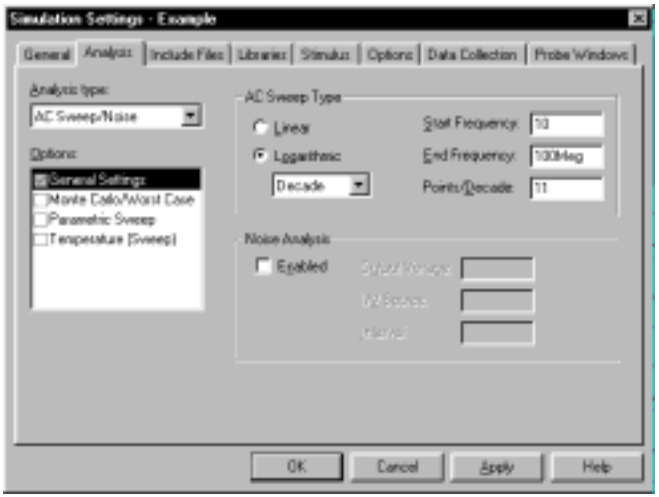


Figure 18 *Valores de simulación de análisis de un barrido AC y análisis de ruidos.*

5 Clicar sobre OK para cerrar la caja de diálogo Simulation Settings.

6 En el menú PSpice, seleccionar Run para iniciar la simulación.

PSpice A/D realizará el análisis AC.

Para añadir marcadores a análisis de formas de onda

1 En el menú PSpice de Capture, apuntar a Markers, apuntar a Advanced, después seleccionar db Magnitude of Voltage.

2 Situar un marcador Vdb en la conexión de salida, después colocar otro sobre la conexión Mid.

3 En el menú File, seleccionar Save para salvar el diseño.

Note *Deberá definir un perfil de la simulación para el análisis ruido/barrido AC para utilizar marcadores avanzados.*

Resultados de un análisis de un barrido AC

PSpice muestra la magnitud en decibelios dB (20log10) de la tensión en las conexiones marcadas, Out y Mid, en una ventana Probe, como puede verse en la Figura 19. VDB(Mid) posee una respuesta pasa baja debido a las capacidades del diodo a tierra. La capacidad de salida actua como un filtro pasa alta, de modo que la respuesta general mostrada por VDB(out), es una respuesta a pasa banda. Como AC es un análisis lineal y la tensión de entrada fue fijada a 1V, la tensión de salida es la misma que la ganancia (o atenuación) del circuito.

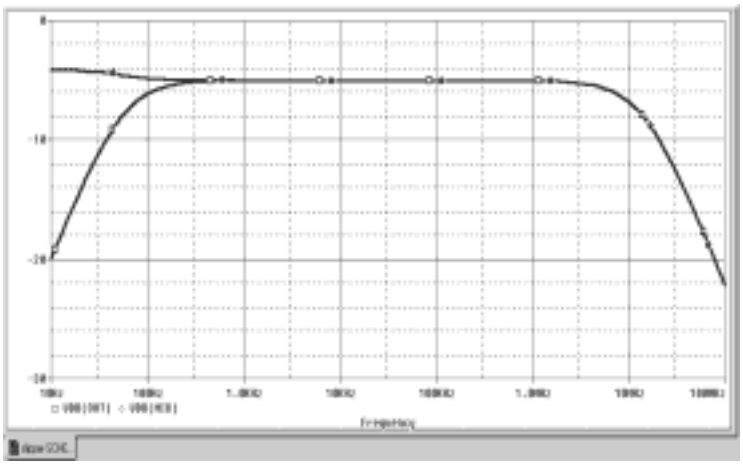


Figure 19 *Curvas en decibelios para "gain" en Mid y Out.*

Para ver una traza Bode de la tensión de salida, incluyendo fase

Note *Dependiendo de donde se coloque el marcador Vphase, el nombre de la traza puede ser diferente, como por ejemplo VP(Cout:2), VP(R4:1), o VP(R4:2).*

1. En el menú PSpice de Capture, apuntar a Markers, apuntar a Advanced y seleccionar Phase of Voltage.
2. Colocar un marcador Vphase en la salida que está junto al marcador Vdb.
3. Borrar el marcador Vdb en Mid.
4. Cambiar a PSpice.

   En la ventana Probe, las trazas de ganancia y fase aparecerán en el mismo gráfico con la misma escala.

Para más información sobre las ventanas Probe y expresiones de trazas, véase el *Capítulo 17, Analizando formas de ondas.*

5 Clicar sobre la traza llamada VP(Out) para seleccionar la traza.

6 En el menú Edit, seleccionar Cut. pulsar C+x o

7 En el menú Plot, seleccionar Add y Axis.

8 En el menú Edit, seleccionar Paste. pulsar C+V o

Se mostrará la traza Bode, como puede verse en la Figura 20.

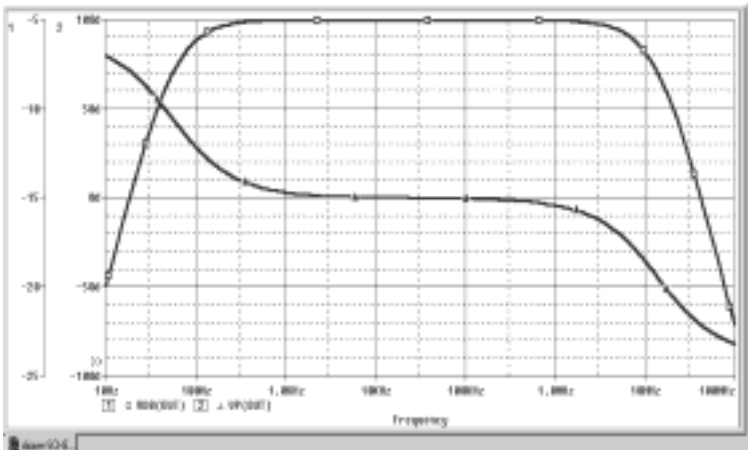
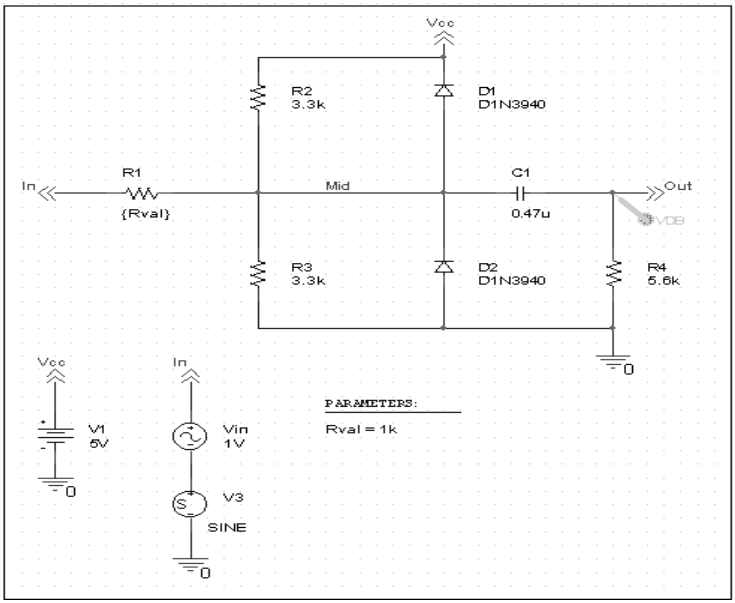


Figure 20 *Traza bode de la respuesta en frecuencia de cliper.*

Viendo más acerca del análisis AC y del análisis de ruidos

Para ver más sobre esto...	Véase esto...
Análisis de barridos AC	*Análisis de barridos AC* en la página 320
Análisis de ruidos basados en un análisis de un barrido AC	*Análisis de ruidos* en la página 329


Vcc
R2
3.3k
D1
D1N3940
In
R1
{Rval}
Mid
C1
0.47u
Out
VDB
R3
3.3k
D2
D1N3940
R4
5.6k
0
Vcc
V1
5V
0
In
Vin
1V
V3
SINE
0
PARAMETERS:
Rval = 1k

Configurando y ejecutando el análisis paramétrico

Para cambiar el valor de R1 a la expresión {Rval}

1. En Capture, abrir CLIPPER.OPJ.
2. Hacer doble clic sobre el valor (1k) de la parte R1 para ver la caja de diálogo Display Properties.
3. En la caja de texto Value, reemplazar 1k por {Rval}.
4. Clicar sobre OK.

PSpice A/D interpreta texto entre corchetes como una expresión que se evalúa a un valor numérico. Este ejemplo utiliza la forma más simple de una expresión: una constante. El valor de R1 será tomado del valor del parámetro, cualquiera que sea.

Para añadir una parte PARAM para definir Rval

1. En el menú Place de Capture, seleccionar Part.
2. En la caja de texto Part, teclear PARAM (En la librería SPECIAL.OLB de PSpice), después clicar sobre OK.
3. Colocar una parte PARAM en cualquier área abierta de la página del esquema.
4. Hacer doble clic sobre la parte PARAM para ver la hoja de cálculo Parts, después clicar sobre New.
5. En la caja de texto Property Name, introducir Rval (sin corchetes), después clicar sobre OK.

   Esto crea una nueva propiedad para PARAM, como queda mostrado por la nueva columna Rval en la hoja de cálculo.
6. Clicar en la celda bajo la columna Rval e introducir 1k como valor inicial del barrido paramétrico.
7. Mientras la celda sigue seleccionada, clicar sobre Display.
8. En la Display Format, seleccionar Name y Value, y OK.
9. Clicar Apply para actualizar todos los cambios al PARAM.
10. Cerrar la hoja de cálculo Parts.
11. Seleccionar el marcador VP y pulsar D para borrar el marcador de la página del esquema.
12. En el menú File, seleccionar Save para salvar el diseño.

Note *Para más información sobre el uso de la hoja de cálculo Parts, véase la Guía de Usuario de OrCAD Capture.*

Este ejemplo está interesado únicamente en la magnitud de la respuesta.

Para preparar y ejecutar un análisis paramétrico para escalar el valor de R1 utilizando Rval

1 En el menú PSpice de Capture, seleccionar New Simulation Profile.

Se mostrará la caja de diálogo New Simulation.

2 En la caja de texto Name, teclear Parametric.

El esquema principal listado es la página de esquema asociada con el perfil de simulación que se está creando.

3 En la lista Inherit From, seleccionar AC Sweep, y después Create.

Se mostrará la caja de diálogo Simulation Settings.

4 Clicar sobre la pestaña Analysis.

5 En Options, seleccionar Parametric Sweep e introducir los valores como puede verse abajo.

Este perfil indica que el parámetro Rval se escalará desde 100 hasta 10K logaritmicamente con una resolución de 10 puntos por década.

El análisis se efecuta para cada valor de Rval. Como el valor de R1 se define como {Rval}, el análisis se ejecutará para cada valor de R1 conforme este se incrementa logarítmicamente desde 100 a 10 en 20 pasos, dando un total de 21 ejecuciones.

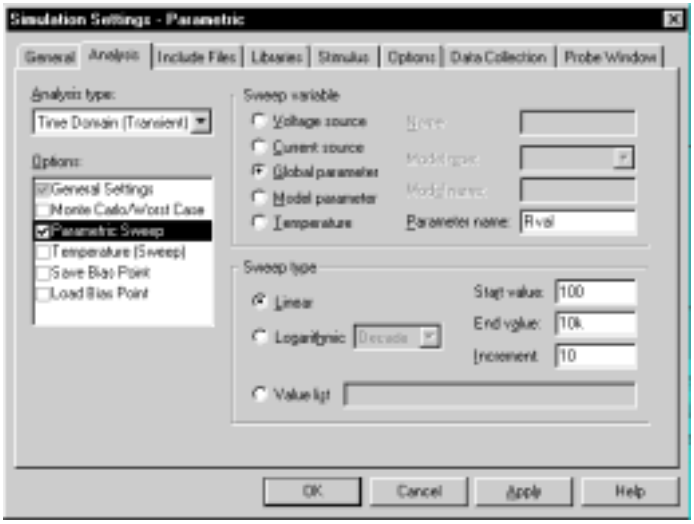


Figure 22 *Valores de simulación Parametric.*

6 Clicar sobre OK.

7 En el menú PSpice, seleccionar Run para iniciar el análisis.

Analizando familias de formas de onda

Continuando con el ejemplo anterior, hay 21 ejecuciones de análisis, cada uno de ellos con un valor diferente de R1. Después que PSpice A/D complete la simulación, se mostrará la caja de diálogo Available Sections, listando las 21 ejecuciones y el resultado. Puede seleccionar una o más ejecuciones para visualizarlas.

Para ver las 21 trazas

1 En la caja de diálogo Available Sections, clicar OK.

Las 21 trazas (la familia entera de curvas) para VDB(Out) aparecerán en la ventana Probe, como se muestra en la Figura 23.

Para seleccionar ejecuciones individuales, clicar sobre cada una de ellas de forma separada.

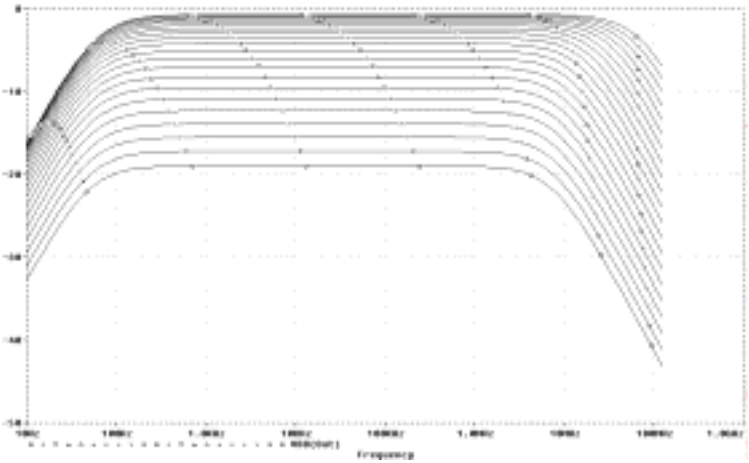


Figure 23 *Respuesta a pequeña señal conforme R1 varía desde 100W a 10 kW*

Para ver más información sobre la sección que produce una traza determinada, hacer doble clic sobre el símbolo correspondiente en la leyenda bajo el eje x.

2 Clicar sobre el nombre de la traza para seleccionarlo y pulsar D para borrar las trazas mostradas.

También puede borrar las trazas eliminando el marcador VDB desde la página del esquema en Capture.

Para comparar la última ejecución con la primera

pulsar l o

1 En el menú Trace, seleccionar Add Trace para ver la caja de diálogo Add Traces.

2 En la caja de texto Trace Expression, teclear lo siguiente:

Vdb(Out)@1 Vdb(Out)@21

Puede evitar tener que teclear parte en la caja de texto Trace Expression seleccionando V(OUT) dos veces en la lista de trazas e insertando texto en donde sea apropiado en la expresión de traza resultante.

3 Clicar sobre OK.

Note *La diferencia en ganancia es clara. también puede plotearse la diferencia de las formas de onda entre las ejecuciones 1 y 21, y después utilizar los comandos de búsqueda para ver ciertas características de la diferencia.*

4 Plotear la nueva traza definiendo una expresión de forma de onda:

pulsar l o

a En el menú Trace, seleccionar Add Trace.

b En la caja de texto Trace Expression, teclear la siguiente expresión de forma de onda:

Vdb(Out)@1-Vdb(OUT)@21

c Clicar sobre OK.

5 Utilice los comandos de búsqueda para ver el valor de la traza diferente y su máximo a una determinada frecuencia:

a En el menú Tools, apuntar a Cursor y seleccionar Display.

b Hacer clic con el botón derecho del ratón y después clic con el izquierdo sobre la parte trace (triángulo) para Vdb(Out)@1 - Vdb(Out)@21. Asegúrese de realizar el último clic con el botón izquierdo para dejar el cursor 1 como cursor activo.

c En el menú Trace, apuntar a Cursor y seleccionar Max.

d En el menú Trace, apuntar a Cursor y seleccionar Search Commands.

e En la caja de texto Search Command, teclear lo siguiente:

search forward x value (100)

El comando search indica a PSpice que busque el punto de la traza en donde el valor del eje x es 100.

f Seleccionar 2 como la opción Cursor to Move.

g Clicar sobre OK.

La Figura 24 muestra la ventana Probe con los cursores colocados.

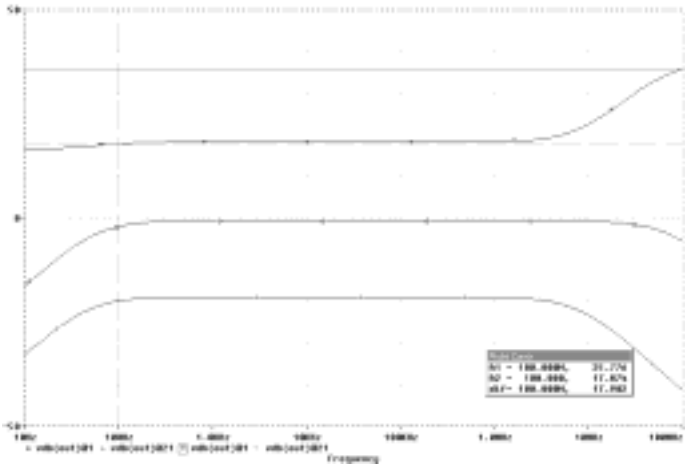


Figure 24 *Respuesta a frecuencia de pequeña señal con una resistencia de entrada de 100 y 10 kW.*

Fíjese que el valor Y del cursor 2 en la caja cursor es aproximadamente de 17.87. Esto indica que cuando R1 tiene un valor de 10 kΩ, la atenuación de pequeña señal del circuito a 100Hz es 17.87dB mayor que cuando R1 es 100Ω.

6 En el menú Trace, apuntar a Cursor y seleccionar Display para desactivar la presentación de los cursores.

7 Borrar la traza.

Más información sobre los análisis paramétricos

Para ver más acerca de...	**Véase esto...**
Análisis paramétrico	*Análisis paramétrico* en la página 360
Utilizando parámetros globales	*Utilizando parámetros globales y expresiones para valores* en la página 108

En cada paso el ayudante proporciona información y líneas guía.

Clicar , después hacer doble clic en V(Out).

El ayudante presenta la ganancia de la traza para la primera ejecución (R=100) y muestra cómo se mide el ancho de banda. Esto se realiza para chequear la función.

9 Clicar sobre el botón Next> o el botón Finish.

Se mostrará un ploteo del ancho de banda de 3dB contra Rval.

10 Cambiar el eje x a una escala logarítmica:

Hacer doble clic sobre el eje x.

a En el menú Plot, seleccionar Axis Settings.

b Clicar sobre la pestaña X Axis.

c En Scale, seleccionar Log.

d Clicar sobre OK.

Para plotear la ganancia contra Rval manualmente

1 En el menú Plot, seleccionar Add y Axis.

o pulsar l

2 En el menú Trace, seleccionar Add para ver la caja de diálogo Add Traces.

La lista Trace incluye funciones objetivo únicamente en el modo de análisis de prestaciones cuando la variable en el eje x es el parámetro de barrido.

3 En la zona Functions o Macros, seleccionar la lista Goal Functions, y después clicar sobre la función global Max(1).

4 En la lista Simulation Output Variables, clicar sobre V(out).

5 En la caja de texto Trace Expression, editar el texto para que sea Max(Vdb(out)), después clicar sobre OK.

PSpice mostrará la ganancia del segundo eje y contra Rval.

La Figura 25 muestra las trazas del análisis de prestaciones de B contra el valor de la resistencia de entrada del barrido.

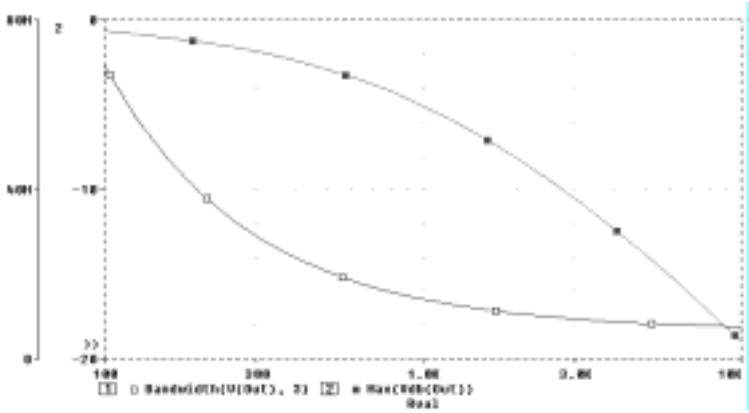


Figure 25 *Traceos de análisis de prestaciones de anchos de banda y ganania en función de Rval.*

Viendo más sobre el análisis de prestaciones

Para ver más sobre esto...	Véase esto...
Cómo utilizar el análisis de prestaciones	*Ejemplo de un filtro RLC* en la página 362 *Ejemplo: Análisis de Monte Carlo de un sensor de presión* en la página 381
Cómo utilizar los comandos de búsqueda y crear funciones globales	Ayuda en Línea de PSpice A/D

Parte dos

Entrada del diseño

La Parte dos proporciona información sobre cómo introducir circuitos digitales en OrCAD® Capture para simularlos.

- Capítulo 3, *Preparando un diseño para su simulación*, da una guía con los puntos necesarios que deben realizarse para simular el esquema incluyendo respuestas a las preguntas más frecuentes.
- Capítulo 4, *Creando y editando modelos*, describe cómo utilizar las herramientas para crear y editar definiciones de modelos, y cómo configurar los modelos para poder utilizarlos.
- Capítulo 5, *Creando partes para modelos*, explica cómo crear símbolos a partir de nuevas definiciones de modelos o de otras ya existentes de modo que puedan utilizarse los modelos cuando se realice la simulación desde el esquema.
- Capítulo 6, *Modelado del comportamiento analógico*, describe cómo realizar un modelo matemático del comportamiento analógico o utilizando tablas.
- Capítulo 7, *Modelado de dispositivos digitales*, explica la estructura de los subcircuitos digitales y cómo crear unos propios a partir de primitivas.

Preparando un diseño para su simulación

3

Presentación general del capítulo

Este capítulo da información introductoria para ayudarle a realizar diseños de circuitos que se simulen correctamente. Si desea una presentación general, utilice la lista de chequeo en la página 96 que le llevará a tópicos específicos.

Acuda a la *Guía de Usuario de OrCAD Capture* para obtener información general sobre la entrada al diseño.

Los tópicos incluyen:

- *Lista de chequeo para configurar la simulación* en la página 96
- *Utilizando partes que puedan simularse* en la página 100
- *Utilizando parámetros globales y expresiones para valores* en la página 108
- *Definiendo fuentes de alimentación* en la página 115
- *Definiendo impulsos* en la página 117
- *Cosas a revisar* en la página 121

Lista de chequeo para configurar la simulación

Esta sección describe qué es necesario realizar para configurar el circuito para su simulación.

1. Localice el tópico de su interés en la primera columna de cualquiera de estas tablas.
2. Vaya a la sección a la que hace referencia. En aquellas secciones en las que se de una visión general, encontrará referencias a información más detallada.

Pasos típicos en la configuración de la simulación

Para más información sobre...	Véase esto...	Para encontrar esto...
Fijar los valores de componentes y otras propiedades.	*Utilizando partes que puedan simularse* en la página 100	Una visión del fabricante, puntos de ruptura y comportamiento de partes.
	Utilizando parámetros globales y expresiones para valores en la página 108	Cómo definir valores utilizando parámetros de variables, llamadas funcionales y expresiones matemáticas.
Definiendo fuentes de alimentación.	*Definiendo fuentes de alimentación* en la página 115	Una presentación general de alimentación DC para circuitos analógicos con señales mixtas.
Definiendo formas de onda de entrada	*Definiendo impulsos* en la página 117	Una visión general de DC, AC, y partes de impulsos basados en el tiempo.
Fijando uno o más análisis.	Capítulo 8, *Preparando el análisis e iniciando la simulación*	Procedimientos generales a todos los tipos de análisis, para configurar e iniciar la simulación.
	Capítulo 9 hasta el Capítulo 14 (véase la tabla de contenidos)	Información detallada sobre el análisis DC, AC, transitorios, paramétrico, temperatura, Monte Carlo, sensitividad en el peor de los casos y digital.

Para más información sobre este paso...		Véase esto...
Marcadores de posición.	*Utilizando marcadores de páginas de esquemas para añadir trazas* en la página 483	Cómo ver los resultados en PSpice clicando sobre las conexiones del diseño.
	Limitando el tamaño del fichero de datos de formas de onda en la página 486	Cómo limitar el tamaño del fichero de datos.

Entrada del diseño avanzada y pasos para configurar la simulación

Para más información sobre este paso...	Véase esto...	Para ver cómo...
Crear nuevos modelos.	Capítulo 4, *Creando y editando modelos*	Definir modelos utilizando el Editor de Modelos o el comando Subcircuit.
	Capítulo 6, *Modelado del comportamiento analógico*	Definir el comportamiento de un bloque o de un circuito analógico como una función matemática o una tabla de realimentación.
	Capítulo 7, *Modelado de dispositivos digitales*	Definir los tiempos funcionales y características de entrada/salida de una parte digital.
Crear nuevas partes.	Capítulo 5, *Creando partes para modelos*	Crear partes tanto automáticamente para modelos utilizando el ayudante de partes o la utilidad Parts o definiendo manualmente partes AKO; definir propiedades específicas de la simulación.
	La *Guía de Usuario de OrCAD Capture*	Crear y editar partes gráficas, pines y propiedades en general.

Cuando falla la generación de la lista de conexiones o la simulación no se inicia

Si tiene problemas al iniciar la simulación, puede haber problemas con el diseño o con los recursos del sistema. Si hubiese problemas con el diseño, PSpice A/D muestra errores y avisos en la ventana de salida de la simulación. Puede utilizar esta ventana para obtener más información sobre un determinado problema.

Para obtener información en línea sobre un error o un aviso mostrado en la ventana de salida de la simulación

1 Seleccionar el mensaje de aviso o de error.

2 Pulsar 1.

Las siguientes tablas listan la mayoría de los problemas más comunes y donde buscar más información sobre qué hacer.

Cosas a revisar en el diseño

Asegúrese que...	Para saber más, vea esto...
4 Estén configuradas las librerías de modelos, ficheros de impulsos y ficheros de inclusión.	*Configurando las librerías de modelos* en la página 162
4 Las partes que se están utilizando tengan modelos.	*Partes no modeladas* en la página 121 y *Definiendo propiedades de partes necesarias para la simulación* en la página 181
4 No esté utilizando pines sin modelar.	*Pines no modelados* en la página 124
4 Haya definido las masas.	*Falta masa* en la página 125
4 Cada conexión analógica posea un path DC a GND.	*Falta un path DC a tierra* en la página 126
4 La plantilla de la parte sea la correcta.	*Definiendo propiedades de partes necesarias para la simulación* en la página 181
4 Partes jerárquicas, si hubiese, estén correctamente definidas.	La *Guía de Usuario de OrCAD Capture*
4 Puertos de la misma señal tengan el mismo nombre.	La *Guía de Usuario de OrCAD Capture*

Cosas a revisar en la configuración del sistema

Asegúrese que...	Para ver más sobre esto, véase...
4 El path al programa PSpice A/D es el correcto.	
4 El directorio que contiene el diseño tiene permiso de escritura.	El manual del sistema operativo
4 El sistema posee suficiente memoria y espacio en disco.	El manual del sistema operativo

Utilizando partes que puedan simularse

Las librerías de partes de OrCAD también contienen partes especiales que pueden utilizarse únicamente para simulación. Estas incluyen:

- **partes de impulsos** para generar señales de entrada al circuito (Véase *Definiendo impulsos* en la página 117)
- **partes de tierra** requeridas en todos los circuitos analógicos y mixtos que necesiten una referencia a tierra
- **partes de control de la simulación** para realizar cosas como fijar variables parciales (véase el Apéndice A, *Preparando el estado inicial*)
- **partes de control de salida** para realizar cosas como generar tablas y ploteos en impresora de líneas del fichero de salida de PSpice. Véase el Capítulo 18, *Otras opciones de salida*)

Las librerías de partes de OrCAD contienen numerosas partes diseñadas para la simulación. Estas incluyen:

- Partes suministradas por fabricantes.
- Partes pasivas.
- Partes de ruptura.
- Partes de comportamiento.

Como mínimo, una parte que pueda simularse deberá tener las siguientes propiedades:

- Un modelo de simulación para describir el comportamiento eléctrico de la parte. El modelo puede ser:
  - definido explícitamente en una librería de modelos.
  - construido dentro de PSpice A/D, o
  - construido dentro de la parte (para algunos tipos de partes con comportamiento analógico).
- Una parte con pines modelados para formar conexiones eléctricas en el diseño.
- Una traslación desde la parte del diseño al estado de lista de conexiones de modo que PSpice A/D pueda leerla.

Note *No todas las partes en las librerías están configuradas para su simulación. Por ejemplo, los conectores son únicamente partes de la placa y no poseen estas propiedades de simulación.*

Partes suministradas por fabricantes

Las librerías de OrCAD proporcionan una extensa selección de partes digitales y analógicas de los fabricantes. Típicamente, el nombre de la librería refleja el tipo de partes contenidas en la librería y el fabricante que proporciona estos modelos.

Ejemplo: MOTOR_RF.OLB y MOTOR_RF.LIB contienen partes y modelos, respectivamente para transistores bipolares RF de Motorola.

Para tener un listado de las partes suministradas por los fabricantes, contenidas en las librerías de OrCAD, véase *la Lista de Librerías en línea.*

Para ver más sobre cada modelo de librería, léase los comentarios en la cabecera del fichero .LIB.

Convenciones en la denominación de partes

Los nombres de partes en las librerías de OrCAD reflejan normalmente los nombres de partes de los fabricantes. Si varios fabricantes suministran la misma parte, cada nombre de parte incluirá un sufijo que indica el fabricante del modelo.

Ejemplo: Las librerías de OrCAD incluyen varios modelos para el amplificador operacional OP-27 como puede verse en *la Lista de Librerías en línea*

Device Type	Generic Name	Mfg. Name	Symbol Name	Library	Tech Type	Model	Package	New for 8.0
Operational Amplifier	OP-249	Analog Devices Inc.	OP-249G/AD	ANLG_DEV.SLB		"	"	
Operational Amplifier	OP-250	Analog Devices Inc.	OP-250/AD	ANLG_DEV.SLB		"	"	
Operational Amplifier	OP-27	Analog Devices Inc.	OP-27/AD	ANLG_DEV.SLB		"	"	
Operational Amplifier	OP-27	Analog Devices Inc.	OP-27A/AD	ANLG_DEV.SLB		"	"	
Operational Amplifier	OP-27	Analog Devices Inc.	OP-27B/AD	ANLG_DEV.SLB		"	"	
Operational Amplifier	OP-27	Analog Devices Inc.	OP-27C/AD	ANLG_DEV.SLB		"	"	
Operational Amplifier	OP-27	Analog Devices Inc.	OP-27E/AD	ANLG_DEV.SLB		"	"	
Operational Amplifier	OP-27	Analog Devices Inc.	OP-27F/AD	ANLG_DEV.SLB		"	"	
Operational Amplifier	OP-27	Analog Devices Inc.	OP-27G/AD	ANLG_DEV.SLB		"	"	
Operational Amplifier	OP-27	Linear Technology Corp.	OP-27/LT	LIN_TECH.SLB		"	"	
Operational Amplifier	OP-27		OP-27	OPAMP.SLB		"	"	
Operational Amplifier	OP-275	Analog Devices Inc.	OP-275/AD	ANLG_DEV.SLB		"	"	
Operational Amplifier	OP-275	Analog Devices Inc.	OP-275G/AD	ANLG_DEV.SLB		"	"	
Operational Amplifier	OP-27A	Linear Technology Corp.	OP-27A/LT	LIN_TECH.SLB		"	"	
Operational Amplifier	OP-27C	Linear Technology Corp.	OP-27C/LT	LIN_TECH.SLB		"	"	

Ejemplo: Las librerías de OrCAD incluyen varios modelos para el amplificador operacional OP-27 como se ve en estas entradas en *la Lista de Librerías en línea* fíjese en lo siguiente:

Device Type	Generic Name	Mfg. Name	Symbol Name	Library	Tech Type	Model	Package	New for 8.0
Operational Amplifier	OP-249	Analog Devices Inc.	OP-249G/AD	ANLG_DEV.SLB		*	*	
Operational Amplifier	OP-250	Analog Devices Inc.	OP-250/AD	ANLG_DEV.SLB		*	*	
Operational Amplifier	OP-27	Analog Devices Inc.	OP-27/AD	ANLG_DEV.SLB		*	*	
Operational Amplifier	OP-27	Analog Devices Inc.	OP-27A/AD	ANLG_DEV.SLB		*	*	
Operational Amplifier	OP-27	Analog Devices Inc.	OP-27B/AD	ANLG_DEV.SLB		*	*	
Operational Amplifier	OP-27	Analog Devices Inc.	OP-27C/AD	ANLG_DEV.SLB		*	*	
Operational Amplifier	OP-27	Analog Devices Inc.	OP-27E/AD	ANLG_DEV.SLB		*	*	
Operational Amplifier	OP-27	Analog Devices Inc.	OP-27F/AD	ANLG_DEV.SLB		*	*	
Operational Amplifier	OP-27	Analog Devices Inc.	OP-27G/AD	ANLG_DEV.SLB		*	*	
Operational Amplifier	OP-27	Linear Technology Corp.	OP-27/LT	LIN_TECH.SLB		*	*	
Operational Amplifier	OP-27		OP-27	OPAMP.SLB		*	*	
Operational Amplifier	OP-275	Analog Devices Inc.	OP-275/AD	ANLG_DEV.SLB		*	*	
Operational Amplifier	OP-275	Analog Devices Inc.	OP-275G/AD	ANLG_DEV.SLB		*	*	
Operational Amplifier	OP-27A	Linear Technology Corp.	OP-27A/LT	LIN_TECH.SLB		*	*	
Operational Amplifier	OP-27C	Linear Technology Corp.	OP-27C/LT	LIN_TECH.SLB		*	*	

- Hay una parte genérica OP-27 proporcionada por OrCAD de Analog Devices, Inc., y una OP-27/LT de Linear Technology.
- La columna Model para todas esas partes contiene un asterisco. Esto indica que esta parte está modelada y que puede simularse.

Localizando la parte que se quiere

Si tiene problemas para encontrar la parte que desee, puede buscar en las librerías en busca de partes que tengan nombres parecidos de dos formas:

- En el buscador gráfico de partes en Capture restringiendo la lista de partes a aquellos nombres que coincidan con una determinada cadena de texto con comodines, o

- *la Lista de Librerías en línea* y búsqueda del nombre de parte genérico utilizando Adobe Acrobat Reader.

Para localizar partes utilizando el buscador gráfico de partes

1 En Capture, en el menú Place, seleccionar Part.

2 En la caja de texto Part Name, teclear una cadena de texto con comodines que se aproxime al nombre de la parte que se quiere buscar. Utilice la siguiente sintaxis:

<wildcard><part_name_fragment><wildcard>

en donde *<wildcard>* es uno de los siguientes:

*	para que coincidan cero o más caracteres
?	para que coincida exactamente un carácter

El buscador gráfico de partes mostrará únicamente los nombres de partes coincidentes.

Note *Este método localiza cualquier parte contenida en la configuración de librerías de partes actual, incluyendo partes de modelos definidos por el ususario.*

Si desea ver más sobre una parte suministrada en las librerías de OrCAD, como puede ser el fabricante o dónde puede ser simulada, busque *la Lista de Librerías en línea* (véase la página 104).

Note *Este método encuentra únicamente partes suministradas por OrCAD y que tengan modelos.*

Si desea incluir partes definidas por el usuario en la búsqueda, utilice el buscador gráfico de partes en Capture (véase la página 103).

o pulse C+F

En lugar el nombre de parte genérico, puede introducir otros tipos de información de búsqueda, como puede ser el tipo de dispositivo o su fabricante.

pulse C+G

Para encontrar partes utilizando la Lista de Librerías en línea de OrCAD

1 En Windows Explorer, hacer doble clic sobre LIBLIST.PDF, localizado en el directorio en donde está instalado PSpice A/D.

Se iniciará Acrobat Reader y mostrará la Lista de Librerías de OrCAD.

2 En el menú Tools, seleccionar Find.

3 En la caja de texto Find What, teclear el nombre de parte genérico.

4 Introducir cualquier otro criterio de búsqueda, y después clicar sobre Find.

Acrobat Reader mostrará la primera página en donde localice una coincidencia. Cada página mapeará el nombre de parte genérico a las partes (y el fabricante y el nombre de la librería de partes) en las librerías de OrCAD.

5 Si quiere repetir la búsqueda, en el menú Tools seleccionar Find Again.

Note *Si no está seguro del nombre del dispositivo, puede revisar todas las listas de tipos de dispositivo utilizando las capacidades de búsqueda de Acrobat. La primera vez que haga esto, necesitará crear un índice de listas cruzadas. Para saber más sobre esto véase los manuales en línea de Adobe Acrobat manuals.*

Partes pasivas

Las librerías de OrCAD suministran partes básicas basadas en modelos de dispositivos pasivos construidos en PSpice A/D. Estas están resumidas en la tabla siguiente.

Table 7 *Partes pasivas*

Estas partes están disponibles...	Para este tipo de dispositivo...	Que es esta letra de dispositivo en PSpice...
C C_VAR	condensador	C
L	bobina	L
R R_VAR	resistencia	R
XFRM_LINEAR K_LINEAR	transformador	K and L
T	línea de transmisión ideal	T
TLOSSY*	línea de transmisión con pérdidas	T
T*n*COUPLED** T*n*COUPLEDX** KCOUPLE*n***	línea de transmisión acoplada	T and K

* TLOSSY no está disponible en el paquete Basics+.

** Para estos tipos de dispositivos, las librerías de OrCAD proporcionan varias partes. Acuda al *Manual de Referencia en línea de OrCAD PSpice A/D* para ver las partes disponibles.

Para saber más sobre cómo utilizar estas partes y definir sus propiedades, véase la letra de dispositivo corespondiente en PSpice en el capítulo *Dispositivos Analógicos* en el *Manual de Referencia en línea de OrCAD PSpice A/D*, y después vea las secciones *Partes de Capture*.

Partes de ruptura

Para saber más sobre modelos, véase *¿Qué son los modelos?* en la página 129.

Para saber más sobre los análisis Monte Carlo y el peor de los casos, véase el Capítulo 13, *Análisis de Monte Carlo y del peor de los casos*.

Para saber más sobre cómo fijar parámetros de temperatura, véase el capítulo *Dispositivos Analógicos* en el *Manual de Referencia en línea de OrCAD PSpice A/D* y localice el tipo de dispositivo en el que esté interesado.

Las librerías de OrCAD suministran semiconductores y pasivos con definiciones de modelos que definen un conjunto básico de parámetros de modelos. De esta forma, puede fácilmente:

- asignar dispositivos y tolerancias de lotes a los parámetros de modelos para los análisis de Monte Carlo y del peor de los casos,
- definir coeficientes de temperatura, y
- definir temperaturas de funcionamiento específicas del dispositivo.

Estas son las partes de ruptura y están resumidas en esta tabla.

Para saber más sobre cómo utilizar estas partes y definir sus propiedades, véase la letra de dispositivo correspondiente de PSpice en el capítulo *Dispositivos analógicos* del *Manual de Referencia en línea de OrCAD PSpice A/D*, y después mire en la sección *Partes de Capture*.

Table 8 *Partes de ruptura*

Utilice esta parte de ruptura...	Para este tipo de dispositivo...	Que tiene esta letra en PSpice...
BBREAK	GaAsFET	B
CBREAK	condensador	C
DBREAK*x**	diodo	D
JBREAK*x**	JFET	J
KBREAK	acoplamiento inductivo	K
LBREAK	bobina	L
MBREAK*x**	MOSFET	M
QBREAK*x**	transistor bipolar	Q
RBREAK	resistencia	R
SBREAK	conmutador controlado por tensión	S
TBREAK	línea de transmisión	T
WBREAK	conmutador controlado por corriente	W
XFRM_NONLINEAR	transformador	K and L
ZBREAKN	IGBT	Z

* Para este tipo de dispositivo, las librerías de OrCAD proporcionan varias partes de ruptura. Acuda al *Manual de Referencia en línea de OrCAD PSpice A/D* para ver las partes disponibles.

Partes de comportamiento

Las partes de comportamiento le permiten definir cómo va a funcionar un bloque de circuitería sin tener que definir cada componente discreto.

Partes de comportamiento analógico Estas partes utilizan un modelado de comportamiento analógico (ABM) para definir el comportamiento de cada parte como una expresión matemática o una tabla de consulta. Las librerías de OrCAD proporcionan partes ABM que operan como funciones matemáticas, limitadores, diferenciadores y otros que pueden ser personalizados para expresiones específicas y tablas de consulta. También puede crear sus propias partes ABM.

Para más información véase el Capítulo 6, *Modelado del comportamiento analógico.*

Partes de comportamiento digital Estas partes utilizan primitivas de comportamiento especiales para definir el comportamiento funcional y de tiempos de cada parte. Estas primitivas son:

LOGICEXP	para definir expresiones lógicas
PINDLY	para definir retardos entre pines
CONSTRAINT	para definir restricciones de chequeo

Muchas de las partes digitales proporcionadas en las librerías de OrCAD están modeladas utilizando estas primitivas. También puede crear sus propios comportamientos digitales utilizando estas primitivas.

Para más información, véase:

- Capítulo 7, *Modelado de dispositivos digitales*
- El *capítulo Dispositivos digitales* en el *Manual de Referencia en línea de OrCAD PSpice A/D*

Utilizando parámetros globales y expresiones para valores

Además de los valores literales, puede utilizar parámetros globales y expresiones para representar valores numéricos en el diseño del circuito.

Parámetros globales

Cuando se fijan múltiples partes al mismo valor, los parámetros globales dan un camino muy conveniente para cambiar todos los valores para análisis de tipo "que-si".

Ejemplo: Si dos fuentes independientes tienen un valor definido por el parámetro VSUPPLY, podrá cambiar ambos valores a 10 voltios asignando el valor una vez a VSUPPLY.

Un parámetro global es como una variable de programación que representa un valor numérico por un nombre.

Una vez haya definido un parámetro (definiendo su nombre y dándole un valor), puede utilizarlo para representar valores del circuito en cualquier lugar del diseño; esto es aplicable a cualquier nivel de jerarquía.

Algunas formas en las que puede utilizar parámetros son las siguientes:

- Aplicar el mismo valor a varias partes iguales.
- Configurar un análisis que realice un barrido de una variable a través de un determinado rango de valores (por ejemplo, un barrido DC o un análisis paramétrico).

Definiendo y utilizando parámetros globales

Para utilizar un parámetro global, necesita:

- definir el parámetro utilizando una parte PARAM, y
- utilizar el parámetro en lugar de un valor literal en alguna parte del diseño.

Para definir un parámetro global

Note *Para más información sobre el uso de Parts, véase la Guía de Usuario de OrCAD Capture*

1. Colocar una parte PARAM en el diseño.
2. Hacer doble clic sobre la parte PARAM para ver la hoja de cálculo Parts, después clicar sobre New.
3. Definir hasta tres parámetros globales realizando lo siguiente para cada parámetro global.
   - **a** Clicar sobre New.
   - **b** En la caja de texto Property Name, introducir NAME*n*, después clicar sobre OK.

     Esto crea una nueva propiedad para la parte PARAM, NA*MEn* en la hoja de cálculo.
   - **c** Clicar en la celda bajo la columna NAME*n*, e introducir un valor por defecto para el parámetro.
   - **d** Mientras la celda continúa seleccionada, clicar sobre Display.
   - **e** En la zona Display Format, seleccionar Name y Value, después clicar sobre OK.

Note *Las variables de sistema en la Tabla 11 en la página 114 poseen nombres de parámetros reservados. No utilizar estos nombres de parámetros cuando defina sus propios parámetros.*

4. Clicar sobre Apply para actualizar todos los cambios en la parte PARAM.
5. Cerrar la hoja de cálculo Parts.

Ejemplo: Para definir el parámetro global VSUPPLY que fijará el valor de una fuente de tensión independiente a 14 voltios, colocar la parte PARAM, y después crear una nueva propiedad llamada VSUPPLY con un valor de 14v.

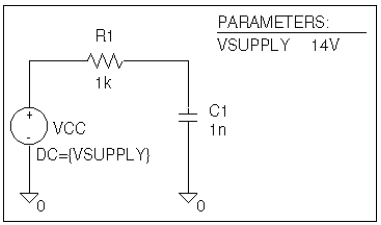
Para utilizar el parámetro global en el circuito

1. Localizar el valor numérico que quiere reemplazar: un valor de un componente un valor de un parámetro de modelo y otro valor de propiedad.
2. Reemplazar el valor con el nombre del parámetro global utilizando la siguiente sintaxis:

   { *global_parameter_name* }

   Los paréntesis indican a PSpice A/D que *evalúe* el parámetro y utilice su valor.

Ejemplo: Para fijar una fuente de VCC, al valor del parámetro VSUPPLY, fijar su propiedad DC a {VSUPPLY}.



Expresiones

Una expresión es una interrelación matemática que puede utilizarse para definir un valor numérico o booleano (VERDADERO/FALSO).

PSpice A/D evalúa la expresión a un solo valor cada vez:

- lo lee en un nuevo circuito, y
- un valor de un parámetro utilizado dentro de una expresión que cambia durante un análisis.

Ejemplo: Un parámetro que cambia a cada paso de un barrido DC o un análisis paramétrico.

Especificando expresiones

Para utilizar una expresión en el circuito

1. Localice el valor numérico o booleano que se quiera reemplazar: un valor de un componente, un valor de un parámetro de modelo, otro valor de propiedad o lógico si es una función IF (véase la página 113 para una descripción de la función IF).
2. Reemplace el valor con una expresión utilizando la siguiente sintaxis:

   { *expresión* }

   en donde *expresión* puede contener cualquiera de lo siguiente :

   - operadores estándares listados en la Tabla 9
   - funciones construidas listadas en la Tabla 10
   - funciones definidas por el usuario
   - variables de sistema listadas en la Tabla 11
   - parámetros globales definidos por el usuario
   - operandos literales

   Los paréntesis indica a PSpice A/D que *evalúe* la expresión y utilice su valor.

Ejemplo: Supongamos que ha definido un parámetro llamado FACTOR (con un valor de 1.2) y quiere escalar una fuente de tensión independiente de -10 V, VEE, por el valor de FACTOR. para ello, fije la propiedad DC de VEE a:

{-10*FACTOR}

PSpice A/D evaluará esta expresión a :

(-10 * 1.2) o -12 volts

Para más información sobre funciones definidas por el usuario, véase el comando .FUNC en el capítulo *Comandos* en el *Manual de Referencia en línea de OrCAD PSpice A/D*.

Para más información de parámetros definidos por el ususario, véase *Utilizando parámetros globales y expresiones para valores* en la página 108.

Table 9 *Operadores en expresiones*

Esta clase de operador...	Incluye este operador...	Que significa...
aritmético	+	adición o concatenación de cadena
	-	sustracción
	*	multiplicación
	/	división
	**	exponenciación
lógico*	~	NOT
	|	OR booleana
	^	XOR booleana
	&	AND booleana
relacional*	==	test de igualdad
	!=	test de no igualdad
	>	mayor que el test
	>=	mayor que o igual al test
	<	menor que test
	<=	menor que o igual a test

* Los operadores lógicos y relacionales se utilizan dentro de la función IF(); para partes digitales, los operadores lógicos se utilizan en expresiones Booleanas.

Table 10 *Funciones en expresiones aritméticas*

Esta función...	significa esto...	
ABS(x)	$\|x\|$	
SQRT(x)	$x^{1/2}$	
EXP(x)	e^x	
LOG(x)	$ln(x)$	que es la base e de logaritmos neperianos
LOG10(x)	$log(x)$	que es la base de logaritmos decimales
PWR(x,y)	$\|x\|^y$	
PWRS(x,y)	$+\|x\|^y$ (if $x > 0$) $-\|x\|^y$ (if $x < 0$)	
SIN(x)	$sin(x)$	donde x está en radianes
ASIN(x)	$sin^{-1}(x)$	en donde el resultado está en radianes
SINH(x)	$sinh(x)$	donde x está en radianes
COS(x)	$cos(x)$	donde x está en radianes
ACOS(x)	$cos^{-1}(x)$	en donde el resultado está en radianes
COSH(x)	$cosh(x)$	donde x está en radianes
TAN(x)	$tan(x)$	donde x está en radianes
ATAN(x) ARCTAN(x)	$tan^{-1}(x)$	en donde el resultado está en radianes
ATAN2(y,x)	$tan^{-1}(y/x)$	en donde el resultado está en radianes
TANH(x)	$tanh(x)$	donde x está en radianes
M(x)	magnitud de x*	que es lo mismo que ABS(x)
P(x)	fase de x*	en grados, devuelve 0.0 para números reales
R(x)	parte real de x*	
IMG(x)	parte imaginaria de x*	que es aplicable sólo al análisis AC

Table 10 *Funciones en expresiones aritméticas (continuación)*

Esta función...	significa esto...		
DDT(x)	derivada del tiempo de x	que es aplicable únicamente al análisis de transitorios	**Note** *En análisis de formas de onda, esta función es D(x).*
SDT(x)	integral del tiempo de x	que es aplicable únicamente al análisis de transitorios	**Note** *En análisis de formas de onda, esta función es S(x).*
TABLE(x,x_1,y_1,...)	y valor como función de x	donde la pareja de puntos x_n,y_n son ploteadas y conectadas por líneas directas	
MIN(x,y)	mínimo de x e y		
MAX(x,y)	máximo de x e y		
LIMIT(x,min,max)	mín si x < min max si x > max si no x		
SGN(x)	+1 si x > 0 0 si x = 0 -1 si x < 0		
STP(x)	1 si x > 0 en caso contrario 0	que se utiliza para suprimir un valor hasta que haya pasado un determinado tiempo	Ejemplo: {v(1)*STP(TIME-10ns)} da un valor de 0.0 hasta que hayan pasado 10 nsec, después da v(1).
IF(t,x,y)	x si t es cierto en caso contrario y	en donde t es una expresión relacional utilizando los operadores relacionales de la Tabla 9	

* M(x), P(x), R(x), y IMG(x) únicamente se aplican a expresiones de Laplace.

Note *Si un semiconductor o un componente pasivo posee una asignación de temperatura independiente, TEMP no representará la temperatura del dispositivo.*

Para saber más sobre la personalización de temperaturas de dispositivos pasivos o semiconductores, véase el comando .MODEL en el capítulo *Comandos* en el *Manual de Referencia en línea de OrCAD PSpice A/D.*

Table 11 *Variables de sistema*

Esta variable...	Evalúa esto...
TEMP	Valores de temperatura resultantes de un análisis de temperatura, de temperatura paramétrica o de un barrido de temperatura DC. La temperatura por defecto, TNOM, esta fijada en la caja de diálogo Options (en la caja de diálogo Simulation Settings, seleccionar la pestaña Options). El valor por defecto de TNOM es de 27°C. **Note** *TEMP puede ser utilizada únicamente en expresiones pertenecientes a modelado de comportamiento analógico y en el retardo de propagación de modelos digitales.*
TIME	Valores de tiempos resultantes de un análisis de transitorios. Si no se ha realizado un análisis de transitorios, esta variable está indefinida. **Note** *TIME puede ser utilizada únicamente en expresiones de modelado de comportamiento analógico.*

Definiendo fuentes de alimentación

Para la parte analógica del circuito

Si la parte analógica del circuito necesita una fuente DC, necesitará incluir la fuente en el diseño. Para especificar una fuente DC, utilice una de las partes siguientes.

Para este tipo de función...	Utilice esta parte...
tensión	VDC o VSRC
corriente	IDC o ISRC

Para ver cómo utilizar estas partes y especificar sus propiedades, véase los siguiente:

- *Preparando un impulso DC* en la página 308
- *Utilizando partes VSRC o ISRC* en la página 120

Para interfaces A/D en circuitos de señales mixtos

Fuentes de alimentación digitales por defecto

Cada parte digital en las librerías de ORCAD posee una fuente de alimentación digital por defecto definida para su circuito de interface A-D o D-A. Esto significa que si se está diseñando un circuito con señales mixtas, tendrá una fuente de alimentación digital por defecto de 5 voltios en cualquier interface.

Fuentes de alimentación digitales personalizadas

Si fuera necesario, puede personalizar la fuente de alimentación para diferentes familias lógicas.

Para ver cómo utilizar estas partes y especificar sus pines de alimentación y masa, véase *Especificando fuentes de tensión digitales* en la página 445.

Para esta familia lógica...	**Utilice esta parte...**
CD4000	CD4000_PWR
TTL	DIGIFPWR
ECL 10K	ECL_10K_PWR
ECL 100K	ECL_100K_PWR

Definiendo impulsos

Para simular el circuito, necesitará conectar una o más partes como fuente que describan las señales de entrada a las que el circuito deberá responder.

Las librerías de OrCAD contienen muchas partes fuente que están descritas en las tablas siguientes. Estas partes dependen de:

- el tipo de análisis que se esté realizando,
- si se está conectando a la parte analógica o digital del circuito, y
- cómo se quiere definir el impulso: utilizando el Editor de Impulsos, o definiendo valores de propiedades de la parte.

Impulsos analógicos

Los impulsos analógicos incluyen fuentes de tensión y de corriente. La tabla siguiente muestra las partes para fuentes de tensión.

Si quiere este tipo de entrada...	Utilice esta parte para tensión...
Para análisis DC	
DC bias	VDC o VSRC
Para análisis AC	
Magnitud y fase AC	VAC o VSRC
Para análisis de transitorios	
exponencial	VEXP o VSTIM*
pulso periódico	VPULSE o VSTIM*
partes lineales	VPWL o VSTIM*
partes lineales que se repiten siempre	VPWL_RE_FOREVER o VPWL_F_RE_FOREVER**

Véase *Preparando un impulso DC* en la página 308 para más detalles

Véase *Preparando un impulso AC* en la página 321 para más detalles.

Véase *Definiendo un impulso basado en tiempos* en la página 340 para más detalles

Si desea especificar varios tipos de impulsos

Si desea ejecutar más de un tipo de análisis, incluyendo un análisis de transitorios, necesitará utilizar algo de esto:

- partes con impulsos basados en tiempos con propiedades AC y DC.
- partes VSRC o ISRC

Utilizando partes con impulsos basados en tiempos con propiedades AC y DC

Las partes con impulsos basados en tiempos que puede utilizarse para definir un transitorio, señales de impulsos DC, y/o AC están listadas a continuación.

VEXP	IEXP
VPULSE	IPULSE
VPWL	IPWL
VPWL_F_RE_FOREVER	IPWL_F_RE_FOREVER
VPWL_F_N_TIMES	IPWL_F_N_TIMES
VPWL_RE_FOREVER	IPWL_RE_FOREVER
VPWL_RE_N_TIMES	IPWL_RE_N_TIMES
VSFFM	ISFFM
VSIN	ISIN

Además de las propiedades de transitorios, cada una de esas partes tiene una propiedad DC y AC. Cuando utilice una de esas partes, deberá definir todas las propiedades del transitorio. De todas formas, es muy común dejar DC y/o AC indefinidos (en blanco). Cuando se les asigna un valor, la sintaxis que se deberá utilizar es la siguiente.

Esta propiedad...	**Tiene esta sintaxis...**
DC	*DC_value*[*units*]
AC	*magnitude_value*[*units*] [*phase_value*]

Para el significado de las propiedades fuente de los transitorios, acuda a la sintaxis del tipo de dispositivo I/V (fuente de tensión y corriente independiente) en el *capítulo Dispositivos Analógicos* en el *Manual de Referencia en línea de OrCAD PSpice A/D*.

Utilizando partes VSRC o ISRC

Las partes VSRC y ISRC poseen una propiedad para cada tipo de análisis: DC, AC, yTRAN. Puede fijar cualquiera de ellos o todos utilizando la sintaxis de la lista de conexiones de PSpice. Cuando les de un valor, la sintaxis que deberá utilizarse es la siguiente.

Para la sintaxis y significado de las especificaciones fuente de transitorios, véase el tipo de dispositivo I/V (fuente de tensión y corriente independiente) en el capítulo *Analógicos* en el *Manual de Referencia en línea de OrCAD PSpice A/D*.

Esta propiedad...	posee esta sintaxis...
DC	*Valor_DC[unidades]*
AC	*valor_magnitud[unidades] [valor_fase]*
TRAN	*tipo_basado_en_tiempo (parámetros)* en donde *tipo_basado_en_tiempo* es EXP, PULSE, PWL, SFFM, o SIN, y los *parámetros* dependen del *tipo_basado_en_tiempos*.

Note *OrCAD recomienda que si se está ejecutando sólo un análisis de transitorios, utilice una parte VSTIM o ISTIM si posee el paquete estándar, o una de las otras partes fuente basadas en tiempos que poseen propiedades específicas para un forma de onda.*

Puede utilizar la parte DIGSTIM para definir tanto señales de entrada de 1 bit como un bus (de cualquier anchura) utilizando el Editor de Impulsos.

Véase *Definiendo un impulso digital* en la página 409 para saber más sobre:

- todas estas partes fuente y
- cómo utilizar el Editor de Impulsos para especificar una parte DIGSTIMn (DIGSTIM1, DIGSTIM4, etc.).

Impulsos digitales

Si desea este tipo de entrada...	utilice esta parte....
Para el análisis de transitorios	
señal o bus (cualquier anchura)	DIGSTIMn*
señal de reloj	DIGCLOCK
señal de 1-bit	STIM1
bus de 4-bits	STIM4
bus de 8-bits	STIM8
bus de 16-bits	STIM16
bus o señal basados en un fichero (cualquier anchura)	FILESTIMn

* La parte DIGSTIM necesita el Editor de Impulsos para definir la señal de entrada; estas partes no están disponibles en Basics+.

Cosas a revisar

Esta sección incluye una resolución de problemas para algunos de los casos más comunes en los que el diseño del circuito no permita generar la lista de conexiones o simularse.

Para ver una lista de otros problemas encontrados y sus soluciones, véase *Cuando falla la generación de la lista de conexiones o la simulación no se inicia* en la página 98.

Partes no modeladas

Si ve mensajes como este en la ventana de salida de la simulación de PSpice,

> Warning: Part *part_name* has no simulation model.

puede haber realizado cualquiera de las siguientes cosas:

- Colocado una parte de las librerías de OrCAD que no esté disponible para su simulación (se utiliza únicamente en el diseño del PCB).
- Posicionado una parte personalizada que no haya sido completamente definida para su simulación.

Haga esto si la parte en cuestión proviene de las librerías de OrCAD

- Reemplace la parte por otra equivalente de una de las librerías listadas en las tablas que se muestran a continuación.
- Asegúrese que pueda simular la parte comprobando lo siguiente:
  - Que posea una propiedad PSPICETEMPLATE y que su valor no esté en blanco.
  - Que posea un tipo de propiedad de implementación Type = PSpice MODEL y que esta propiedad de implementación no esté en blanco.

Las librerías listadas en las tablas mostradas a continuación contienen partes que pueden ser simuladas. Algunos ficheros contienen partes que únicamente pueden ser utilizadas para el diseño del PCB. Esta es la razón por la que es necesario comprobar la propiedad TEMPLATE de Pspice si no se está seguro o continúa recibiendo mensajes de aviso cuando trate de simular el circuito.

Para ver más sobre una determinada librería, acuda a la *la Lista de Librerías en línea* o lea la cabecera del propio fichero de la librería de modelos.

Librerías Analógicas con partes modeladas (instaladas en Capture\Library\PSpice)		
1_SHOT	EPWRBJT	MOTOR_RF
ABM	FILTSUB	NAT_SEMI
ADV_LIN	FWBELL	OPAMP
AMP	HARRIS	OPTO
ANALOG	IGBT*	PHIL_BJT
ANA_SWIT	JBIPOLAR	PHIL_FET
ANLG_DEV	JDIODE	PHIL_RF
ANL_MISC	JFET	POLYFET
APEX	JJFET	PWRBJT
BIPOLAR	JOPAMP	PWRMOS
BREAKOUT	JPWRBJT	SIEMENS
BUFFER	JPWRMOS	SWIT_RAV
BURR_BRN	LIN_TECH	SWIT_REG
CD4000	MAGNETIC*	TEX_INST
COMLINR	MAXIM	THYRISTR*
DIODE	MIX_MISC**	TLINE*
EBIPOLAR	MOTORAMP	XTAL
EDIODE	MOTORMOS	ZETEX
ELANTEC	MOTORSEN	

* No incluida en Basics+.
** Contiene partes con señales mixtas.

Librerías Digitales con partes modeladas		
7400	74H	DIG_ECL
74AC	74HC	DIG_GAL
74ACT	74HCT	DIG_MISC
74ALS	74L	DIG_PAL
74AS	74LS	DIG_PRIM
74F	74S	

Compruebe si la parte en cuestión está generada de forma personalizada

¿Hay valores en blanco (o inapropiados) para la implementación de la parte o de las propiedades PSPICETEMPLATE?

Si así fuera, cargue la parte en el editor de partes y fije esas propiedades de forma apropiada. Una forma de realizar esto es editar la parte que aparece en el diseño.

Para editar las propiedades de la parte en cuestión

1. En el editor de páginas de esquemas, seleccionar la parte.
2. En el menú Edit, seleccionar Part.

   Se mostrará la ventana del editor con la parte ya cargada.
3. En el menú Edit, seleccionar Properties y proceder a cambiar los valores de propiedades.

Para ver más sobre la preparación de las propiedades de simulación para partes, véase *Definiendo propiedades de partes necesarias para la simulación* en la página 181.

Para saber más sobre cómo utilizar el editor de partes, acuda a la *Guía de Usuario de OrCAD Capture* .

Modelos no configurados, impulsos y ficheros de inclusión

Si viera mensajes como este en la ventana de salida de la simulación de PSpice,

(*design_name*) Floating pin: *refdes* pin *pin_name*

Floating pin: *pin_id*

File not found

Can’t open stimulus file

o mensajes como este en el fichero de salida de PSpice,

Model *model_name* used by *device_name* is undefined.

Subcircuit *subckt_name* used by *device_name* is undefined.

Can’t find .STIMULUS “*refdes*” definition

Puede haber perdido una librería de modelos, un fichero de impulsos, o un fichero de inclusión en la lista de configuración, que el fichero de configuración no esté en el path de la librería.

Compruebe esto

- ¿La librería de modelos, el fichero de impulsos o el fichero de inclusión relevantes están en la lista de configuración?
- Si el fichero está configurado, ¿el path de librerías por defecto incluye el path al directorio donde están los ficheros, o explícitamente definen el path al directorio en la lista de configuración?

Para ver más sobre cómo configurar estos ficheros y cómo buscarlos, véase *Configurando las librerías de modelos* en la página 162.

Si no está configurado, añadirlo a la lista y asegurarse que aparezca antes de cualquier otra librería o fichero que posea una definición con un nombre idéntico.

Para ver más sobre la configuración por defecto, véase *¿Cómo están organizados los modelos?* en la página 130.

Para ver la lista de configuración

1 En la caja de diálogo Simulation, clicar sobre Include Files.

Si el path no es el apropiado, actualice el path de búsqueda de librerías o cambie la entrada al fichero en la lista de configuración para que incluya la especificación completa.

Para ver más sobre el path de búsqueda de librerías, véase *Cambiando el path de búsqueda de librerías* en la página 167.

Para ver el path de búsqueda de la librería por defecto

1 En la caja de diálogo Simulation Settings, clicar Libraries.

Pines no modelados

Si ve estos mensajes en la ventana de salida de la simulación,

> Warning: Part *part_name* pin *pin_name* is unmodeled.
>
> Warning: Less than 2 connections at node *node_name*.

o mensajes como este en el fichero de salida de PSpice,

> Floating/unmodeled pin fixups

puede haber dibujado un hilo a un pin no modelado.

Las librerías de OrCAD incluyen partes que son válidas tanto para su simulación como para el diseño del PCB. Los pines no modelados se mapean en encapsulados pero no tienen significancia eléctrica; PSpice A/D ignora los pines no modelados durante la simulación.

Compruebe esto

¿Hay conexiones a pines no modelados?

Si así fuera, haga lo siguiente:

- Elimine los hilos conectados a los pines no modelados.
- Si piensa que la conexión afectará a los resultados de la simulación, localice una parte equivalente que modele el pin en cuestión y dibuje las conexiones.

Para ver más sobre búsqueda de partes, véase *Localizando la parte que se quiere* en la página 102.

Falta masa

Esto se aplica a circuitos analógicos o de señales mixtas.

Si para *cada conexión* en el circuito ve este mensaje en el fichero de salida de PSpice,

ERROR -- Node *node_name* is floating.

su circuito puede no estar unido a tierra.

Comprobar esto

¿Hay partes de tierra llamadas 0 (cero) conectadas de forma apropiada en el diseño?

Si no fuera así, coloque y conecte una (o más si fuera necesario) en el diseño. Puede utilizar la parte de tierra 0 (cero) en SOURCE.OLB o cualquier otra parte de tierra cambiando su nombre a 0.

Esto se aplica a circuitos analógicos o con tecnología mixta.

Falta un path DC a tierra

Si para *conexiones seleccionadas* en el circuito ve este mensaje en el fichero de salida de PSpice,

ERROR -- Node *node_name* is floating.

puede faltarle un path DC a tierra.

Comprobar esto

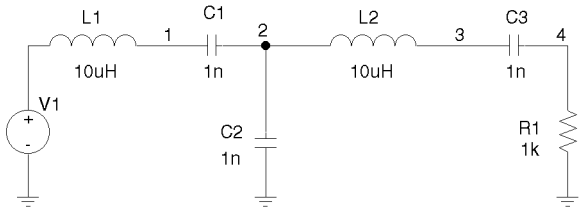
¿Hay alguna conexión que esté aislada de masa tanto por medio de circuitos abiertos como de condensadores?

Si fuera así, añadir una resistencia lo más grande posible (por ejemplo, 1 Gohm) entre ambos:

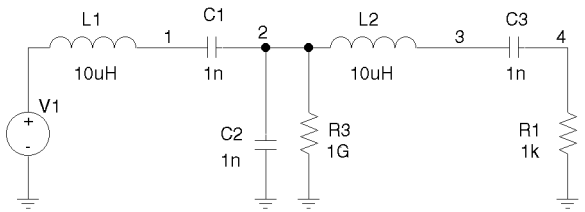
- en paralelo con el condensador o el circuito abierto, o
- desde la conexión aislada a tierra.

Note *Cuando se calcula el punto de trabajo, PSpice AD trata los condensadores como circuitos abiertos y las bobinas como cortocircuitos.*

Ejemplo: El circuito mostrado a continuación, conecta unos condensadores (circuitos abiertos en continua) de modo que los extremos de la bobina L2 están aislados de tierra.



Cuando se simula, PSpice A/D etiqueta las conexiones 2 y 3 como flotantes. La siguiente topología resuelve este problema.



Creando y editando modelos

4

Presentación general del capítulo

Este capítulo proporciona información sobre la creación y edición de modelos para partes que se quieran simular.

Los tópicos están agrupados en cuatro áreas introducidas más adelante en esta presentación general. Si desea encontrar rápidamente qué herramientas utilizar para completar una tarea dada y cómo empezar, entonces:

1 Vaya a la lista de problemas en *Formas de crear y editar modelos* en la página 134.

2 Localice la tarea que quiera completar.

3 Vaya a las secciones referenciadas para esa tarea para más información sobre cómo proceder.

Información de fondo Esta sección presenta conceptos de librerías de modelos y una visión general de las herramientas que puede utilizar para crear y editar modelos:

- *¿Qué son los modelos?* en la página 129
- *¿Cómo están organizados los modelos?* en la página 130
- *Herramientas para crear y editar modelos* en la página 133

Task roadmap Estas secciones le ayudan a localizar otras secciones en este capítulo que están relacionadas con la tarea de edición de modelos que se quiere realizar:

- *Formas de crear y editar modelos* en la página 134

Cómo utilizar las herramientas Estas secciones explican cómo utilizar las diferentes herramientas para crear y editar modelos propios y cuando editar páginas de esquemas o partes:

- *Utilizando el Editor de modelos para editar modelos* en la página 135
- *Editando texto de modelos* en la página 152
- *Utilizando el comando Create Subcircuit* en la página 157

Otra información util Estas secciones explican cómo configurar y reutilizar modelos después de haberlos creado o editado:

- *Cambiando la referencia del modelo a una definición de un modelo existente* en la página 159
- *Reutilizando modelos de instancias* en la página 160
- *Configurando las librerías de modelos* en la página 162

¿Qué son los modelos?

Un modelo define el comportamiento eléctrico de una parte. En una página de un esquema, esta correspondencia está definida por una propiedad de Implementación de la parte, que está asignada al nombre del modelo.

Dependiendo del tipo de dispositivo que describa, un modelo está definido como se muestra a continuación:

- Un conjunto de parámetros de modelos
- Una lista de conexiones de un subcircuito

Ambas formas de definir un modelo están basadas en texto, con reglas específicas de sintaxis.

Modelos definidos como conjuntos de parámetros

PSpice A/D posee algoritmos internos o modelos que describen el comportamiento de muchos tipos de dispositivos. El comportamiento de estos *modelos internos* está descrito por medio de un *conjunto de parámetros de modelos*.

Puede definir el comportamiento de un dispositivo que esté basado en un modelo construido ajustando todos o algunos de los parámetros del modelo a nuevos valores utilizando la sintaxis .MODEL de PSpice. Por ejemplo:

```
.MODEL MLOAD NMOS
+ (LEVEL=1 VTO=0.7 CJ=0.02pF)
```

Además de los modelos analógicos construidos en PSpice A/D, la sintaxis .MODEL se aplica a los tiempos y características I/O de las partes digitales.

Modelos definidos como listas de conexiones de subcircuitos

Para algunos dispositivos, no hay modelos en PSpice A/D que pueda definirse su comportamiento al completo. Estos tipos de dispositivos están definidos utilizando .SUBCKT/.ENDS de PSpice o *la* sintaxis *Subcircuit* en su lugar.

Para ver más sobre los comandos de PSpice A/D y la sintaxis de la lista de conexiones, acuda al *Manual de Referencia en Línea de OrCAD PSpice A/D*.

La sintaxis Subcircuit incluye:

- *Netlists* para describir la estructura y función de la parte.
- *Variables de parámetros de entrada* para ajustar el modelo.

Por ejemplo:

```
* FIRST ORDER RC STAGE
.SUBCKT LIN/STG IN OUT AGND
+ PARAMS: C1VAL=1 C2VAL=1 R1VAL=1 R2VAL=1
+        GAIN=10000
C1 IN  N1   {C1VAL}
C2 N1  OUT  {C2VAL}
R1 IN  N1   {R1VAL}
R2 N1  OUT  {R2VAL}
EAMP1 OUT AGND VALUE={V(AGND,N1)*GAIN}
.ENDS
```

¿Cómo están organizados los modelos?

Los conceptos llave sobre la organización de modelos son:

- Las definiciones de modelos están salvadas en ficheros llamados librerías de modelos.
- Las librerías de modelos deberán ser configuradas de modo que PSpice A/D pueda buscar definiciones en ellas.
- Dependiendo de la configuración, las librerías de modelos están disponibles en un diseño (local) o en todos (global).

Librerías de modelos

Puede utilizar el Editor de Modelos de OrCAD o cualquier editor estándar, para ver las definiciones de modelos en las librerías.

Las definiciones de modelos de dispositivos y subcircuitos están organizadas en librerías de modelos. Estas son ficheros de texto que contienen una o más definiciones de modelos. Los nombres de las librerías de modelos poseen la extensión .LIB.

Por ejemplo: MOTOR_RF.LIB contiene modelos para transistores bipolares RF fabricados por Motorola.

La mayoría de las librerías de modelos contienen modelos de tipos parecidos. Para modelos suministrados por sus fabricantes, las librerías también están separadas por fabricante. Para saber más sobre los modelos contenidos en una librería de modelos, léase los contenidos en la cabecera del fichero.

Configuración de la Librería de Modelos

PSpice A/D busca en librerías de modelos los nombres de modelos especificados por la implementación MODEL para coger partes para el diseño. Estas son definiciones de modelos que PSpice A/D utiliza para simular el circuito.

Para que PSpice A/D sepa donde buscar estas definiciones de modelos, deberán configurarse las librerías. Esto es:

- Especificar el path al directorio de las librerías de modelos.
- Nombrar cada librería de modelos que necesite buscar PSpice A/D y listarla en el orden de búsqueda necesario.
- Asignar ámbitos globales o de diseño a la librería de modelos.

Para mejorar la búsqueda, PSpice utiliza indexación. Para saber más sobre esto y cómo añadirlo, borrarlo y ordenar de nuevo las librerías configuradas, véase *Configurando las librerías de modelos* en la página 162.

Modelos y librerías de diseño frente a global

Las Librerías de Modelos y los modelos que contienen, poseen diseños o aplicaciones globales a los diseños.

Para saber más sobre cómo cambiar el diseño y la configuración global de las librerías de modelos, véase *Cambiando el diseño y el ámbito global* en la página 165.

Modelos de diseño Se aplican a un diseño. El *editor de páginas de esquema*s crea automáticamente un modelo de diseño en donde puede modificarse la definición del modelo para una determinada parte en la página del esquema. También pueden crearse modelos externamente y configurar manualmente las nuevas librerías para un determinado diseño.

Ejemplo de uso: Para preparar el dispositivo y las tolerancias por zonas en los parámetros de modelos para una determinada parte cuando se ejecuta un análisis de Monte Carlo o del peor de los casos.

Modelos Globales Están disponibles en todos los diseños que se creen. El *Editor de partes* crea un modelo global de forma automática siempre que se cree una parte con una nueva definición de modelo. El Editor de Modelos también crea modelos globales. También pueden crearse modelos externamente y configurar manualmente las nuevas librerías para utilizarlas en todos los diseños.

PSpice A/D busca en las librerías del diseño antes de en las librerías globales, para saber más, véase *Cambiando el orden de búsqueda de las librerías de modelos* en la página 166.

Librerías de Modelos Anidadas

Además de las definiciones de modelos y subcircuitos, las librerías de modelos también pueden contener referencias a otras librerías de modelos utilizando la sintasis .LIB de PSpice. Cuando se buscan coincidencias en librerías de modelos, PSpice A/D también revisa las librerías referenciadas.

Ejemplo: Supongamos que se tienen dos librerías de modelos, MYDIODES.LIB y MYOPAMPS.LIB, y se desea que PSpice A/D las revise en cualquier momento mientras se simula un circuito. Puede crear una tercera librería de modelos, MYMODELS.LIB, que contenga estos dos estamentos:

```
.LIB mydiodes.lib
.LIB myopamps.lib
```

y configurar MYMODELS.LIB para su uso global. Como MYDIODES.LIB y MYOPAMPS.LIB están referenciadas desde MYMODELS.LIB, quedarán configuradas para un uso global de forma automática.

Para una lista de los modelos de dispositivos suministrados por OrCAD, acuda a la *Lista de Librerías en Línea*.

Modelos proporcionados por OrCAD

Las librerías que se instalan inicialmente con los programas de OrCAD están listadas en NOM.LIB. Este fichero muestra cómo pueden anidarse referencias a otras librerías y modelos.

Si clica sobre la pestaña Libraries en la caja de diálogo Simulation Settings inmediatamente después de la instalación, verá la entrada NOM.LIB* en la Lista Library Files. El asterisco indica que esta librería de modelos, y cualquier otra librería a la que haga referencia, contiene definiciones globales.

Note *Con PSpice AD Basis se suministra una versión limitada del Editor de Modelos.*

Note *El comando Create Subcircuit no le ayuda a crear un diseño jerárquico. Necesitará crearlo antes de utilizar el comando Create Subcircuit. Para más información sobre los diseños jerárquicos y cómo crearlos, véase la Guía de Usuario de OrCAD Capture.*

Formas de crear y editar modelos

Esta sección es un mapa a otra información en este capítulo. Localice la tarea que desee completar, y vaya a las secciones referenciadas para más información.

Si desea...	Haga esto...	Para sabermás, vea esto...
Â **Crear o editar el modelo de una parte existente** y que afecte a todos los diseños que utilicen esta parte.	Crear o cargar la parte primero en el editor de partes, después editar el modelo utilizando el Editor de Modelos *.	*Ejecutando el Editor de Modelos desde el editor de páginas de esquemas* en la página 143..
Â **Crear un modelo desde un borrador y crear una parte automáticamente para el** y utilizarlo en el diseño. Â **Crear un modelo desde un borrador sin una parte** y tener la definición del modelo disponible en todos los diseño. Â **Ver las características del modelo** para una parte.	Iniciar el Editor de Modelos * y habilitar/deshabilitar la creación automática de partes si fuera necesario; después crear o visualizar el modelo.	*Ejecutando el Editor de Modelos de forma aislada* en la página 141.
Â **Definir tolerancias** en parámetros de modelos para análisis estadísticos.	Seleccionar la parte en el esquema y editar el modelo utilizando el Editor de Modelos.	*Iniciando el Editor de Modelos desde el editor de esquemas en Capture* en la página 153.
Â **Pruebas de variaciones de comportamiento** en una parte. Â **Mejorar un modelo** antes de habilitarlo para todos los diseños.	Seleccionar la copia de la parte en la página del esquema, después editar el modelo utilizando el Editor de Modelos *.	*Ejecutando el Editor de Modelos desde el editor de páginas de esquemas* en la página 143 *Iniciando el Editor de Modelos desde el editor de esquemas en Capture* en la página 153.
Â **Derivar definiciones de subcircuitos** desde un diseño jerárquico.	Utilice el comando Create Subcircuit en el editor de páginas de esquemas.	*Utilizando el comando Create Subcircuit* en la página 157.

* Para una lista de los tipos de dispositivos que soporta el Editor de Modelos, véase *Tipos de dispositivos soportados por el Editor de Modelos* en la página 137. Si el Editor de modelos no soporta el dipositivo deseado, podrá editar el texto utilizando el editor de modelos para crear una definición de modelo utilizando la sintasis de los comandos .MODEL y .SUBCKT de PSpice. Recuerde configurar la nueva librería de modelos.

Librerías de modelos

OrCAD
Capture

Editor de modelos de OrCAD

OrCAD
PSpice A/D

definiciones
de modelos

fichero del modelo
exportado

Formas de utilizar el Editor de Modelos

Puede utilizar el Editor de Modelos de cinco formas:

Para más información, véase *Ejecutando el Editor de Modelos de forma aislada* en la página 141.

- **Para definir un nuevo modelo, y después crear una parte automáticamente.** Cualquier nuevo modelo o parte están disponibles de forma automática en cualquier diseño.

Para más información, véase *Ejecutando el Editor de Modelos de forma aislada* en la página 141.

- **Para definir únicamente un nuevo modelo (no parte).** Opcionalmente puede deshabilitar la utilidad de creación de partes para nuevos modelos. La definición de modelos está disponible en cualquier diseño. Por ejemplo, cambiando la implementación de modelos para una copia de una parte.

Para más información, véase *Ejecutando el Editor de Modelos desde el editor de páginas de esquemas* en la página 143.

- **Para editar la definición de un modelo para una parte en el esquema.** Esto significa que necesitará iniciar el Editor de Modelos desde el editor de páginas de esquemas después de seleccionar una parte en el esquema. El editor de esquemas vincula automáticamente la implementación del nuevo modelo (el que crea el Editor de modelos) con la parte seleccionada.

Para más información, véase *Ejecutando el Editor de Modelos de forma aislada* en la página 141.

- **Para examinar o verificar las características eléctricas de un modelo sin ejecutar PSpice A/D.** Esto significa que puede utilizar el Editor de Modelos solo para:
  - Chequear las características de un modelo rápidamente, dando un conjunto de valores de parámetros del modelo, o
  - Comparar las curvas de características con la información de la hoja de datos o con los datos medidos.

Tipos de dispositivos soportados por el Editor de Modelos

La Tabla 12 resume los tipos de dispositivos soportados por el Editor de Modelos.

Table 12 *Modelos soportados en el Editor de Modelos .*

Este tipo de parte...	Utiliza esta forma de definición...	Y este prefijo del nombre*...
diodo	.MODEL	D
transistor bipolar	.MODEL	Q
transistor bipolar tipo Darlington	.SUBCKT	X
IGBT	.MODEL	Z
JFET	.MODEL	J
MOSFET de potencia	.MODEL	M
amplificador** operacional	.SUBCKT	X
comparador** de voltaje	.SUBCKT	X
nucleos magnéticos no lineales	.MODEL	K
regulador** de tensión	.SUBCKT	X
referencia** de tensión	.SUBCKT	X

* Esta es la notación de letras de dispositivos estándar de PSpice A/D. Véase el *Manual de Referencia en Línea de OrCAD PSpice A/D*.

** El Editor de Modelos soporta únicamente modelos .SUBCKT generados por el Editor de Modelos. De todas formas, puede editar el texto de un modelo .SUBCKT creado manualmente, o por medio de otra herramienta, utilizando el Editor de Modelos. Cuando cargue un modelo .SUBCKT que no fue creado por el Editor de Modelos, este presenta el texto del modelo a editar.

Los tipos de dispositivos que modela el Editor de Modelos utilizando el estado.MODEL, están basados en los modelos construidos en PSpice A/D.

Note *Los valores por defecto del parámetro del modelo utilizados por el Editor de Modelos son diferentes de aquellos utilizados por los modelos construidos en PSpice A/D.*

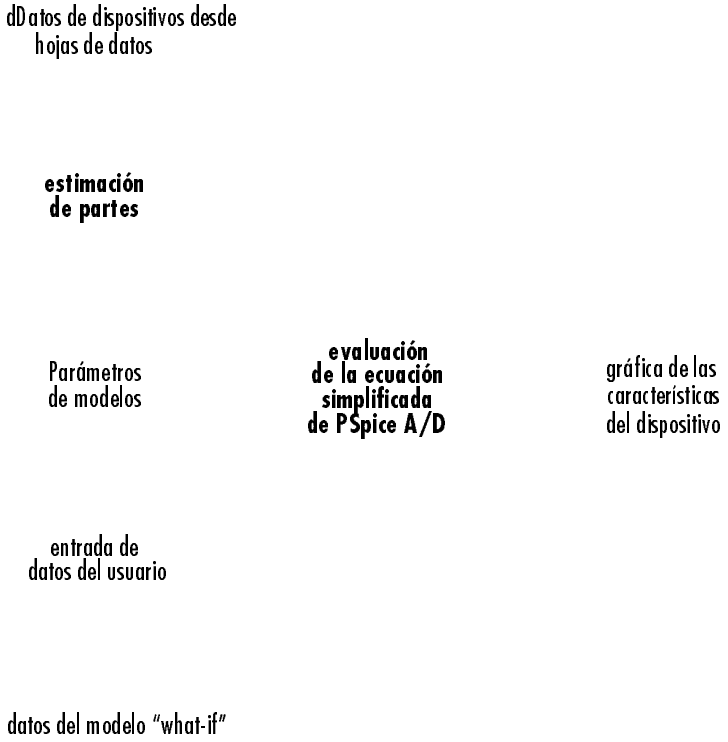


Figure 27 *Procesos y flujo de datos para el Editor de Modelos.*

Note *Cuando se especifican características operativas en un modelo, puede utilizar valores típicos para el modelo, localizados en las hojas de datos y muy prácticos para la mayoría de las simulaciones. Para verificar el diseño, puede querer simular el mejor y el peor de los casos para crear modelos separados, y después intercambiarlos en el diseño.*

Puede repetir del proceso, y cuando quede satisfecho de los resultados, sálvelos; el Editor de modelos creará librerías de modelos conteniendo el modelo apropiado y las definiciones de subcircuitos.

Analizando el efecto de los parámetros del modelo en las características del dispositivo

También puede editar parámetros de modelos directamente y ver cómo cambiando sus valores afecta a las características del dispositivo. Conforme cambie los parámetros del modelo, el Editor de Modelos calcula de nuevo el comportamiento de las características del dispositivo y presenta una nueva curva para cada una de las características afectadas.

Cómo rellenar modelos

Para un modelo dado, el Editor de Modelos presenta una lista de las características del dispositivo y una lista de todos los parámetros del modelo y las curvas de prestaciones (véase la figura 28).

Para más información sobre las características de los dispositivos soportados por el Editor de Modelos, vaya al *Manual de Referencia en Línea de OrCAD PSpice A/D*.

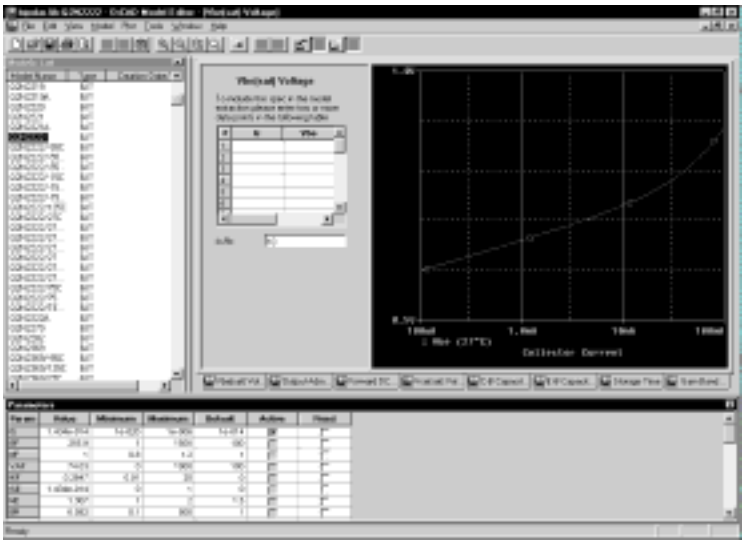


Figure 28 *Zona de trabajo del Editor de Modelos con datos de un transistor bipolar.*

Para rellenar el modelo

1 Para cada característica de modelo que quiera configurar:

a En la zona Spec Entry, clicar sobre la pestaña de las características del dispositivo.

b Introducir la información del dispositivo de la hoja de datos.

2 En el menú Tools, seleccionar Extract Parameters para extraer todos los parámetros del modelo relevantes para la actual especificación.

Se mostrará una marca de chequeo en la columna Active de la zona Parameters para cada parámetro del modelo extraido.

3 Repetir los pasos del 1 al 2 hasta que el modelo tenga el comportamiento deseado.

Para ver las curvas de prestaciones actualizadas

1 En la barra de herramientas, clicar sobre el botón Update Graph.

Note *Si ve las curvas de prestaciones antes de realizar el fitting, los puntos de datos y las curvas de las especificaciones del modelo actual pueden no coincidir.*

Ejecutando el Editor de Modelos de forma aislada

Ejecutar el Editor de modelos de forma aislada si desea realizar uno de los pasos siguientes:

- crear un modelo y utilizar el modelo en cualquier diseño (y crear la parte de forma automática),
- crear un modelo y habilitar la definición del modelo para cualquier diseño (sin crear la parte), o
- examinar o verificar las características de un modelo dado sin utilizar PSpice A/D.

Ejecutando el Editor de Modelos aisladamente, significa que el modelo que se está creando o examinando no está unido actualmente a ningún modelo en la página del esquema o a una sesión de edición de partes.

Note *Únicamente puede editar modelos para tipos de dispositivos que soporte el Editor de Modelos. Véase Tipos de dispositivos soportados por el Editor de Modelos en la página 137 para más detalle.*

Después de seleccionar la parte que se quiere para un modelo, puede seguir con la introducción de la información de la hoja de datos y el fitting del modelo tal y como se describió en *Cómo rellenar modelos* en la página 139.

Iniciando el Editor de Modelos

Para iniciar el Editor de Modelos de forma aislada

1. En el menú Start, apuntar a la carpeta de programa de OrCAD, después seleccionar Model Editor.
2. En el menú File, seleccionar New o Open, e introducir el nombre de una nueva librería de modelos o de una ya existente.
3. En el menú Part, seleccionar New, Copy From, o Import para cargar un modelo.

Si ha iniciado el Editor de Modelos desde Capture y desea continuar trabajando en nuevos modelos, entonces:

1. Salve la librería de modelos abierta.
2. Abra o cree una librería de modelos diferente.
3. Cargue un modelo o cree uno nuevo.

Habilitando o deshabilitando la creación automática de partes

En lugar de utilizar el conjunto de partes por defecto de OrCAD para nuevos modelos, puede hacer que el Editor de Modelos utilice su propio conjunto de partes estándar. Para más información, véase *Basando nuevas partes en un grupo personalizado* en la página 175.

La creación de partes en el Editor de Modelos es opcional. Por defecto, está habilitada. Si la deshabilitó anteriormente, necesita habilitarla de nuevo antes de crear un nuevo modelo y parte.

Para crear partes automáticamente para nuevos modelos

Ejemplo: Si la librería de modelos es MYPARTS.LIB, el Editor de modelos creará la librería de partes MYPARTS.OLB.

1. En el menú Tools, seleccionar Options.
2. Si no estuviese marcado, seleccione Always Create Part para habilitar la creación automática de partes.
3. Bajo Save Part To, teclear el nombre de la librería de partes para la nueva parte. Seleccionar entre:
   - Part Library Path Same As Model Library para crear o abrir el fichero *.OLB que tuviera el mismo prefijo que la librería de modelos actualmente abierta (*.LIB).
   - User-Defined Part Library, e introducir un nombre de modelo en la caja de texto Part Library Name.

Note *Si selecciona una librería de partes definida por el usuario, el Editor de Modelos salvará todas las nuevas partes en el fichero especificado hasta que lo cambie.*

Salvando modelos globales (y partes)

Cuando salve los cambios, el Editor de Modelos:

- Salva la definición del modelo en la librería de modelos originalmente abierta.
- Si tiene habilitada la creación automática de partes, salva la definición de la parte en *NOMBRE_DE_LA_LIBRERÍA_DE_MODELOS.OLB*.

Para salvar el nuevo modelo (y la parte)

Si quiere salvar la librería de modelos abierta en una nueva librería, entonces:

1. En el menú File, seleccione Save As.
2. Introducir el nombre de una nueva librería de modelos.

Si desea salvar sólo la definición del modelo que está editando en una librería diferente, entonces

1. En el menú Part, seleccione Export.
2. Introducir el nombre del nuevo fichero.
3. Si desea que PSpice A/D busque el fichero de forma automática, configúrelo en Capture (utilizando la pestaña Libraries en la caja de diálogo Simulation Settings).

1. En el menú File, seleccionar Save para actualizar *MODEL_LIBRARY_NAME*.LIB (si habilitó la creación automática de partes *MODEL_LIBRARY_NAME*.OLB), y sálvela al disco.

Ejecutando el Editor de Modelos desde el editor de páginas de esquemas

Si quiere:

- chequear las variaciones de comportamiento en una parte, o
- Mejorar un modelo antes de dejarlo disponible para todos los diseños,

ejecute el Editor de Modelos desde el editor de páginas de esquemas en Capture.

Esto significa editar modelos para copias de partes en la página del esquema. Cuando seleccione una copia de una parte y edite su modelo, el editor de páginas de esquemas creará automáticamente una *copia del modelo* que puede modificar.

Note *Únicamente puede editar modelos para tipos de dispositivos que soporte el Editor de Modelos. Véase Tipos de dispositivos soportados por el Editor de Modelos en la página 137 para más detalle.*

Una vez haya iniciado el Editor de Modelos, puede proceder con la introducción de la información de la hoja de datos y el fitting del modelo como se describió en *Cómo rellenar modelos* en la página 139.

¿Qué es una copia de un modelo?

Una copia de un modelo es una copia de modelo original de la parte. Puede personalizar la copia del modelo sin que afecte a otros diseños que utilicen la parte original de la librería.

Cuando el editor de esquemas crea la copia, la asigna un único nombre, que por defecto es:

nombre_del_modelo_original-X*n*

en donde *n* es <*blank* 1 | 2 | ... > dependiendo del número de copias de modelos diferentes del modelo original que haya en el diseño actual.

Para más información sobre copias de modelos, véase *Reutilizando modelos de instancias* en la página 160.

Iniciando el Editor de Modelos

Para iniciar la edición de una copia de un modelo

1 En Capture, seleccione una parte en la página del esquema.

2 En el menú Edit, seleccione PSpice Model.

Para ver cómo Capture busca en la librería, véase *Cambiando el orden de búsqueda de las librerías de modelos* en la página 166.

El editor de páginas de esquemas busca en las librerías de modelos para la copia del modelo.

- Si la encontrara, el editor de páginas de esquemas inicia el Editor de Modelos, que abre la librería de modelos que contenga la copia del modelo y la cargará.
- Si no la encontrara, el editor de páginas de esquemas asume que es una nueva copia y realiza lo siguiente: crea una copia de la definición original del modelo, la llama como *nombre_original_del_modelo*-X*n*, e inicia el Editor de Modelos con el nuevo modelo cargado.

Salvando modelos del diseño

Cuando salve la edición, el Editor de Modelos salvará la definición del modelo en *NOMBRE_DEL_DISEÑO*.LIB, que ya está configurado para su uso local. (Véase *Qué pasa si no salva la copia del modelo* en la página 145).

Para salvar copias de modelos

1 En el menú File, seleccionar Save para actualizar *NOMBRE_DEL_DISEÑO*.LIB y salvarlo al disco.

Qué pasa si no salva la copia del modelo

Antes que el editor de páginas de esquemas inicie el Editor de Modelos realiza los siguientes pasos:

- Hace una copia del modelo original y lo salva en *NOMBRE_DEL_ESQUEMA*.LIB.
- Configura *NOMBRE_DEL_ESQUEMA*.LIB para utilizarlo en el diseño, si no lo hubiese hecho todavía.
- Une el nuevo nombre de la copia del modelo a la propiedad Implementation para la copia de la parte seleccionada.

Esto significa que si usted:

- Abandona el Editor de Modelos, o
- Regresa a Capture para simular el diseño

Sin salvar primero el modelo que se está editando, la copia de la parte en la página del esquema sigue unida a la implementación de la copia del modelo.

En este caso, la copia del modelo es idéntica al modelo original. Si decide editar más tarde este modelo, asegúrese de realizar uno de los siguientes puntos:

- Si desea que los cambios permanezcan específicos en el diseño actual, editar la copia del modelo en la librería de diseño, utilizando el Editor de Modelos.
- Si quiere que el cambio sea global, cambie la implementación del modelo de la copia de la parte en el diseño de regreso al nombre del modelo original, y después edite el modelo original desde el editor de partes.

Para ver cómo cambiar las referencias del modelo, véase *Cambiando la referencia del modelo a una definición de un modelo existente* en la página 159.

Tutorial del Editor de Modelos

En este tutorial, modelaremos un simple diodo como sigue:

- Crear el esquema para un rectificador de media onda.
- Ejecutar el Editor de Modelos desde el editor de esquemas y crear una copia de un modelo del diodo en el esquema.

Creando un diseño de un rectificador de media onda

Para dibujar el diseño

1 En el Administrador de Proyectos, en el menú File, apuntar a New, después seleccionar Project.

2 Introducir el nombre del nuevo proyecto (RECTFR) y clicar sobre Create.

pulsar P

3 En el menú Place de Capture, seleccionar Part.

4 Colocar cada una de las siguientes partes (sus designadores de referencia se muestran entre paréntesis) como puede verse en la figura 29:

- Dbreak (diodo D1)
- C (condensador C1)
- R (resistencia R1)
- VSIN (fuente de tensión senoidal V1)

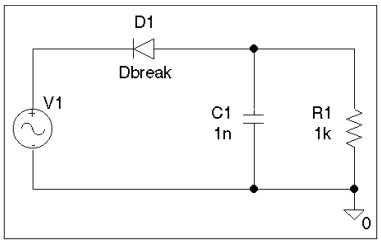


Figure 29 *Diseño de un rectificador de media onda.*

5 Clicar sobre el botón Ground y colocar la masa analógica.

6 En el menú Place, seleccionar Wire, y dibujar las conexiones entre las partes como se muestra en la figura 29.

pulsar W

7 En el menú File, seleccionar Save.

Note *Si fuera a simular este diseño utilizando un análisis de transitorios, necesitará también fijar la especificación de transitorio para V1; esto significa definir las propiedades VOFF (tensión de offset), VAMPL (amplitud), y FREQ (frecuencia) para V1. Para este tutorial, no realizaremos esa simulación, por lo que podemos saltarnos ese paso.*

Utilizando el Editor de Modelos para editar el diodo D1

Para crear un nuevo modelo y librería de modelos

1 En el Editor de modelos, en el menú Model, seleccionar New.

2 En la caja de diálogo New, realizar lo siguiente:

- **a** En la caja de texto Model, teclear DbreakX.
- **b** En la lista From Model, seleccionar Diode.
- **c** Clicar sobre OK.

3 En el menú File, seleccionar Save As.

4 En la caja de texto File name, teclear rectfr.lib para salvar la librería con el nombre RECTFR.LIB.

Introduciendo información de las hojas de datos

Como se muestra en la figura 30, el Editor de modelos presenta inicialmente:

- Características del modelo diode listadas en la zona Model List, y
- Valores de parámetros del modelo DbreakX listados en la zona Parameters.

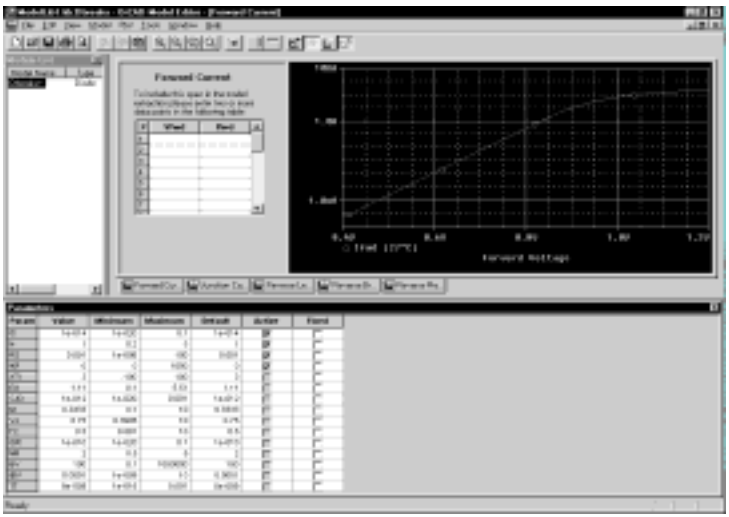


Figure 30 *Características del modelo y valores de parámetros para DbreakX.*

Puede modificar cada característica del modelo mostrada en la zona Model Spec frame con nuevos valores de las hojas de datos. El Editor de Modelos toma la nueva información y rellena los nuevos valores de parámetros del modelo.

Cuando actualice los datos introducidos, el Editor de Modelos espera tanto:

- datos de curvas del dispositivo (parejas de puntos), o
- datos de valores individuales,

dependiendo de las características del dispositivo.

Para el diodo, la corriente directa, la capacidad de la unión, y las corrientes de fuga requieren datos de curvas del dispositivo, mientras que la Ruptura inversa y la Recuperación Inversa requieren valores simples.

La Tabla 13 lista la información de la hoja de datos para el modelo Dbreak-X.

Table 13 *Un ejemplo de valores de hojas de datos del diodo*

Para esta característica del modelo...	Introduzca esto...
Corriente directa	(1.3, 0.2)
Capacidad de la unión	(1m, 120p) (1, 73p) (3.75, 45p)
Corriente de fugas	(6, 20n)
Ruptura inversa	(Vz=7.5, Iz=20m, Zz=5)
Recuperación inversa	ningún cambio

Para cambiar las características de corriente directa

1 En la zona Spec Entry, clicar sobre Forward Current.

Esta pestaña requiere datos de curvas.

2 En la caja de texto Vfwd, teclear 1.3.

3 Pulsar F para moverse a la caja de texto Ifwd, y teclear 0.2.

Para cambiar los valores de la capacidad de unión y la corriente de fugas

1 Siga los mismos pasos que para Forward Current, introduciendo la información de la hoja de datos listada en la Tabla 13 que corresponda con la característica del modelo actual.

Para cambiar la característica de Ruptura inversa

1 En la zona Spec Editing, clicar sobre Reverse Breakdown.

Esta pestaña requiere datos de valores individuales.

2 En la caja de texto Vz, 7.5.

3 Pulsar F para moverse a la caja de texto Iz y teclear 20m.

4 Pulsar F para moverse a la caja de texto Zz, y teclear 5.

El Editor de Modelos acepta los mismos factores de escala que PSpice A/D.

Extrayendo parámetros de modelos

Para generar nuevos valores de parámetros de modelos

1 En el menú Tools, seleccionar Extract Parameters.

Se mostrará una marca de comprobación en la columna Active de la zona Parameters para cada parámetro de modelo extraido.

Para ver las curvas de las cinco características del diodo

1 En el menú Windows, seleccionar Tile.

Algunos de los dibujos se muestran en la figura 31.

También puede hacer lo siguiente con una ventana de dibujo activa:

- Hacer Pan y zoom dentro del dibujo utilizando los comandos del menú View,
- Reescalar los ejes utilizando el comando Axis Settings en el menú Plot.

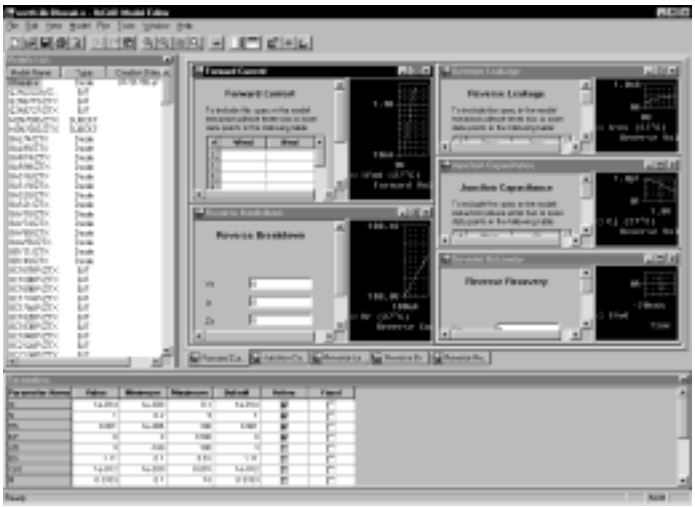


Figure 31 *Curvas de características de dispositivo de un diodo desordenadas.*

Añadiendo curvas para más de una temperatura

Por defecto, el Editor de Modelos calcula las curvas a 27ºC. Para cualquier característica, podrá añadir curvas al dibujo a otras temperaturas.

Para añadir curvas de corriente directa para diferentes temperaturas

1 En la zona Spec Entry, clicar sobre Forward Current.

2 En el menú Plot, seleccionar Add Trace.

3 Teclear 100 (in °C).

4 Clicar sobre OK.

El dibujo de corriente directa se verá en la figura 32.

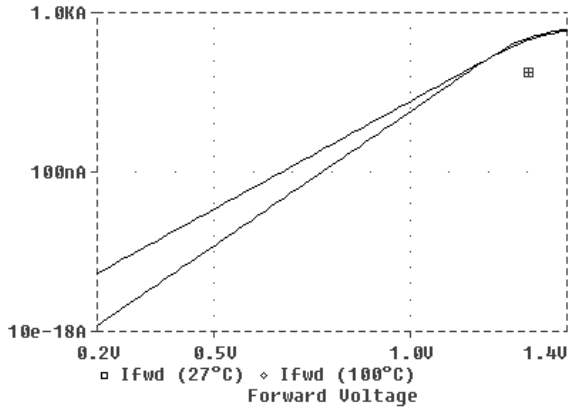


Figure 32 *Curvas de corriente directa del dispositivo para dos temperaturas*

Completando la definición del modelo

Puede mejorar la definición del modelo:

- modificando todos los datos introducidos cómo se describió anteriormente, o
- editando parámetros de modelos directamente.

también puede actualizar parámetros de modelos de forma individual editándolos en la zona Parameters de la zona de trabajo Model Editor. Cuando salve la librería de modelos, el Editor de Modelos actualizará automáticamente las curvas de dispositivos.

Para este tutorial, dejar los parámetros de modelos con sus valores actuales.

Para salvar la definición del modelo con los valores de parámetros actuales y dejar el modelo disponible para el diseño

1 En el menú File, seleccionar Save para actualizar RECTFR.LIB y salvar la librería al disco.

El diseño estará listo para ser simulado con la definición del modelo que se acaba de crear.

Editando texto de modelos

Atención — Si edita el texto de un modelo que fue creado introduciendo valores de la hoja de datos, no podrá editar de nuevo el modelo en la presentación Normal.

Para cualquier modelo, podrá editar texto del modelo en el Editor de Modelos en lugar de utilizar las zonas Spec Entry y Parameter. Hay dos casos en los que deberá editar el texto del modelo:

- Cuando quiera editar modelos o tipos de dispositivos no soportados por el Editor de Modelos. El texto del modelo se mostrará de forma automática cuando cargue uno de esos modelos.
- Cuando desee añadir tolerancias DEV y LOT a un modelo para un análisis de Monte Carlo o del peor de los casos.

Tecleando comandos y entradas de listas de conexiones en PSpice, podrá realizar lo siguiente:

- cambiar definiciones, y
- crear nuevas definiciones.

Cuando termine, el Editor de Modelos configurará de forma automática las definiciones de modelos en las librerías de modelos.

Para ver el texto de modelos

Para ver más sobre la sintasis de comandos y listas de conexiones de PSpice A/D, acuda al *Manual de Referencia en Línea de OrCAD PSpice A/D*.

1 En el menú View, seleccionar Model Text.

El Editor de Modelos mostrará la sintasis de PSpice para las definiciones del modelo:

- Sintasis .MODEL para modelos definidos como conjuntos de parámetros.
- Sintasis .SUBCKT para modelos definidos como subcircuitos de listas de conexiones.

Puede editar la definición como si estuviese en cualquier editor de textos estándar.

Editando las definiciones .MODEL

Para definiciones implementadas como conjuntos de parámetros del modelo utilizando la sintasis .MODEL de PSpice, el Editor de modelos lista un parámetro por línea. Esto hace más fácil añadir tolerancias DEV/LOT para parámetros de modelos para analisis de Monte Carlo o del peor de los casos.

Editando definiciones .SUBCKT

Para definiciones implementadas como listas de conexiones de subcircuitos utilizando la sintasis .SUBCKT de PSpice, el editor de modelos presenta la sintasis de subcircuito extactamente como aparece en la librería del modelo. El Editor de Modelos también incluye todos los comentarios que aparezcan inmediatamente antes o después de la definición del subcircuito.

Cambiando el nombre del modelo

Puede cambiar el nombre del modelo directamente en la sintasis .MODEL o .SUBCKT de PSpice, pero deberá comprobar que el nuevo nombre no entre en conflicto con modelos ya existentes en las librerías.

Para ver más sobre las convenciones de nombrado de copias de modelos, véase *¿Qué es una copia de un modelo?* en la página 154.

Note *Si crea un modelo con el mismo nombre que otro modelo y quiere que PSpice A/D utilice siempre ese modelo, asegúrese que las librerías de modelos configuradas estén ordenadas, de modo que su definición preceda a cualquier otra definición.*

Para ver más sobre el orden de búsqueda en la librería de modelos, véase *Cambiando el orden de búsqueda de las librerías de modelos* en la página 166.

Iniciando el Editor de Modelos desde el editor de esquemas en Capture

Iniciar el editor de modelos desde el editor de páginas de esquemas en Capture cuando quiera:

- definir tolerancias en parámetros del modelo para análisis estadísticos,
- chequear variaciones de comportamiento en la parte, o

También puede utilizar el editor de modelos para ver la sintasis de una definición del modelo. Cuando termine, asegúrese de salir del Editor de Modelos sin salvar la librería, de modo que el editor de páginas de esquemas no cree una copia de la parte.

- mejorar un modelo antes de habilitarlo para todos los diseños.

Esto significa editar modelos para copias de partes en el diseño. Cuando seleccione una copia de una parte y edite su modelo, el editor de páginas de esquemas creará automáticamente una *copia del modelo* que podrá cambiar.

Para más información sobre copias de modelos, véase *Reutilizando modelos de instancias* en la página 160.

¿Qué es una copia de un modelo?

Una copia de un modelo es una *copia* del modelo original de la parte. El modelo copiado está limitado a su uso en el diseño actual. Puede personalizar la copia del modelo sin que esto afecte a cualquier otro diseño que utilice la parte original de la librería.

Cuando el editor de páginas de esquemas crea la copia, la asigna un único nombre que por defecto es:

nombre_del_modelo_original-X*n*

en donde *n* es <*blank* 1 | 2 | ... > dependiendo del número de copias de un modelo diferentes que haya en el diseño actual.

Iniciando el editor de Modelos

Después de iniciar el Editor de Modelos, puede proceder a cambiar el texto como se explicó en *Para ver el texto de modelos* en la página 152.

Para ver cómo Capture busca en la librería, véase *Cambiando el orden de búsqueda de las librerías de modelos* en la página 166.

Para iniciar la edición de una copia del modelo

1. En el editor de páginas de esquemas, seleccionar la parte en la página del esquema.
2. En el menú Edit, seleccionar PSpice Model.

   El editor de páginas de esquemas busca en las librerías configuradas la copia del modelo:

   - Si la encuenta, el editor de páginas de esquemas iniciará el Editor de Modelos, que abrirá la librería conteniendo la copia del modelo y la presentará para su edición.
   - En caso contrario, el editor de páginas de esquemas asume que es una nueva copia del modelo e inicia el Editor de Modelos, que realiza lo siguiente: hace una copia del modelo original, lo nombra como *nombre_del_modelo_original*-X*n*, y presenta el texto del nuevo modelo para su edición.

Salvando modelos del diseño

Cuando salve su edición, se realizarán los siguientes pasos para asegurarle que la copia del modelo está vinculada a la copia de la parte seleccionada en el diseño:

- El Editor de Modelos salva la definición del modelo en la librería *NOMBRE_DEL_DISEÑO*.LIB.
- Si la librería es nueva, el Editor de Modelos configura la librería *NOMBRE_DEL_DISEÑO*.LIB para su uso local.
- El editor de páginas de esquemas asigna el nuevo nombre de modelo a la propiedad Implementation para cada una de las copias de partes seleccionadas.

Para salvar copias de modelos

1. En el Editor de modelos en el menú File, seleccionar Save.
2. En el menú File, seleccionar Exit para abandonar el Editor de Modelos.

Acciones que configuran automáticamente la librería de copias de modelos para su uso global

Las librerías de copias de modelos están configuradas normalmente para su uso. Si realiza la siguiente acción, el editor de modelos configura la librería para su uso global:

- Salve el modelo en una librería diferente tecleando un nuevo nombre de fichero en la caja de texto Library en la zona Save To.

Ejemplo: editando un modelo de instancia Q2N2222

Supongamos que tenemos un diseño llamado MY.OPJ que contenga varias copias del transistor bipolar Q2N2222. Supongamos que se está interesado en la variación de resistencia en la base de un determinado dispositivo: Q6. Para ello, habrá que hacer lo siguiente:

- Definir una tolerancia (en este ejemplo, 5%) en el parámetro de modelo Rb.
- Configurar y ejecutar un análisis de Monte Carlo.

El ejemplo siguiente demuestra cómo configurar la copia del modelo para Q6.

Iniciando el Editor de Modelos

Para iniciar el Editor de Modelos, necesitará:

1 En el editor de páginas de esquemas, seleccionar Q6 en la página del esquema.

2 En el menú Edit, seleccionar PSpice Model.

El Editor de modelos crea automáticamente una copia de la base Q2N2222 de la definición del modelo.

3 En el Editor de Modelos, en el menú View, seleccionar Model Text.

El Editor de Modelos mostrará la sintasis de PSpice para el modelo copiado en el área de edición de texto.

Editando la copia del modelo Q2N2222-X

Para ver más sobre la sintasis de comandos y listas de conexiones de PSpice A/D, veáse el Manual de Referencia en Línea de OrCAD PSpice A/D.

La edición correcta de texto en este ejemplo es la siguiente:

- Añadir la nueva clausula DEV 5% al estado Rb (necesaria).
- Cambiar el nombre del modelo a Q2N2222-MC (opcional, solo para una mejor descripción).

Salvando las ediciones y actualizando el esquema

Cuando seleccione Save en el menú File, suceden dos cosas:

- El Editor de Modelos salva la definición del modelo en la librería de modelos.
- El editor de páginas de esquemas actualiza el valor de la propiedad Implementation a Q2N2222-MC para la copia de la parte Q6.

En este ejemplo, la librería de modelos por defecto es MY.LIB. Si MY.LIB todavía no existiese, el Editor de Modelos la crearía y la salvaría en el directorio de trabajo actual. El editor de páginas de esquemas la configuraría automáticamente como la librería de modelos del diseño para su uso únicamente con el diseño actual.

Ahora ya podemos configurar y ejecutar el análisis de Monte Carlo.

Si verificó la configuración de la librerías de modelos (en la caja de diálogo Simulation Settings, dicar sobre la pestaña Libraries), verá entradas para NOM.LIB* (para su uso global, como indica el asterísco) y MY.LIB (para su uso en el diseño, no tienen asterísco) en la lista de ficheros de librerías.

Puede cambiar la referencia del modelo para esta parte de vuelta a su nombre original Q2N2222 siguiendo el procedimiendo descrito en *Para cambiar las referencias de modelos en copias de partes en el diseño* en la página 159.

Utilizando el comando Create Subcircuit

El comando Create Subcircuit crea una definición de lista de conexiones Subcircuit para el nivel de jerarquía mostrado y todos los niveles inferiores del diseño.

El editor de páginas de esquemas realiza lo siguiente:

- Mapea cualquier puerto de interface nombrado al nivel activo de jerarquía a nodos terminales en el estado .SUBCKT de PSpice.
- Salva la definición subcircuit a un fichero llamado *NOMBRE_DEL_DISEÑO*.SUB.

Antes de poder utilizar la definición subcircuit en el diseño, necesitará :

- Crear una parte para el subcircuito.
- Configurar el fichero *NOMBRE_DEL_DISEÑO*.SUB de modo que PSpice A/D sepa donde encontrarlo.

El comando Create Subcircuit no le ayuda a crear un diseño jerárquico. Esto tendrá que hacerlo por sí mismo antes de utilizar el comando Create Subcircuit. Para más información sobre los diseños jerárquicos y cómo crearlos, véase la *Guía de Usuario de OrCAD Capture*.

Para crear una definición subcircuit para una parte del diseño

Para crear una parte para el subcircuito

1. En el editor de páginas de esquemas, moverse al nivel de jerarquica para el que quiera crear una definición de subcircuit (.SUBCKT).
2. En el menú Place, seleccionar Hierarchical Port.
3. En el menú File, seleccionar Save.
4. En el Administrador de proyectos, en el menú Tools, seleccionar Create Netlist.
5. Seleccionar la pestaña PSpice.
6. En la zona Options, seleccionar Create SubCircuit Format Netlist.
7. Clicar sobre OK para generar la definición de subcircuit y salvarla como *NOMBRE_DEL_DISEÑO*.SUB.

Para configurar el fichero subcircuit

1. En el editor de páginas de esquemas, en el menú PSpice, seleccionar Edit Simulation Settings para ver la caja de diálogo Simulation Settings.
2. Clicar sobre la pestaña Libraries o la pestaña Include Files, despues configura *NOMBRE_DEL_DISEÑO*.SUB para una librería de modelos o un fichero de inclusión (véase *Configurando las librerías de modelos* en la página 162).

Los refinamientos pueden incluir ampliar la definición subcircuit utilizando la construcción de nodos opcional, OPTIONAL:, la construcción de parámetros variable, PARAMS:, y los comandos .FUNC y local .PARAM.

3. Si fuera necesario mejorar la definición subcircuit para la nueva parte o para la copia de la parte en la página del esquema utilizando el Editor de Modelos. Véase *Editando texto de modelos* en la página 152).
4. En el menú Edit de Capture, seleccionar Part para iniciar el editor de partes.
5. Crear una nueva parte para la definición subcircuit.

   Una forma de hacer esto es utilizar el ayudante de partes, Véase el *Capítulo 5, Creando partes para modelos* para una explicación más detallada.

Cambiando la referencia del modelo a una definición de un modelo existente

Las partes están vinculadas a modelos por medio del nombre del modelo asignado a la propiedad Implementation de partes. Puede cambiar esta asignación reemplazando el valor de la propiedad Implementation por el nombre de un modelo diferente que ya exista en la librería.

Puede hacer esto para:

- Una copia de una parte en el diseño.
- Una parte en la librería de partes.

Para cambiar las referencias de modelos en copias de partes en el diseño

1 Localice el nombre del modelo que desea utilizar.

2 En el editor de páginas de esquemas, seleccionar una o más partes en la página del esquema.

3 En el menú Edit, seleccionar Properties.

Se mostrará la hoja de cálculo Parts.

4 Clicar en la celda bajo la columna Implementation Type.

5 En la lista Implementation, seleccionar PSpice Model.

6 En la columna Implementation, teclear el nombre de un modelo existente que desee utilizar si todavía no estuviera listado.

7 Clicar Apply para actualizar los cambios, después cerrar la hoja de cálculo.

Para cambiar la referencia del modelo en una parte en la librería de partes

1 Localice el nombre del modelo que desea utilizar.

2 En el editor de páginas de esquemas, seleccionar la parte que quiere cambiar.

3 En el menú Edit, seleccionar Part para iniciar el editor de partes con la parte cargada para su edición.

4 En el menú Options, seleccionar Part Properties para ver la caja de diálogo User Properties.

5 Seleccionar Implementation Type.

6 En la lista Implementation, seleccionar PSpice Model.

7 En la caja de texto Implementation, teclear el nombre de un modelo ya existente que se quiera utilizar si este no estuviera ya listado.

8 Clicar OK para cerrar la caja de diálogo Edit Part.

Reutilizando modelos de instancias

Para más información sobre cómo crear copias de modelos, véase :

- *Ejecutando el Editor de Modelos desde el editor de páginas de esquemas* en la página 143.
- *Iniciando el Editor de Modelos desde el editor de esquemas en Capture* en la página 153.

Si creó copias de modelos en el diseño y desea utilizarlas de nuevo, hay dos cosas que debe hacer:

- Vincular la implementación de la copia del modelo a otras copias de modelos en el mismo diseño.
- Cambiar la copia del modelo a un modelo global y crear una parte que se corresponda con esta.

Reutilizando copias de modelos en el mismo esquema

Hay dos formas de utilizar copias de modelos en cualquier lugar del mismo diseño.

Para utilizar copias de modelos en cualquier lugar del mismo diseño

1 Hacer una de las dos siguientes opciones:

- Cambiar la referencia del modelo para las otras copias de la parte a la nueva copia del modelo.
- En el menú Edit, utilizar los comandos Opy y Paste para colocar más copias de la parte.

Véase *Cambiando la referencia del modelo a una definición de un modelo existente* en la página 159.

Habilitando modelos de instancias para todos los diseños

Si está depurando el comportamiento de un modelo específico del diseño, y está preparado para que pueda ser utilizado en cualquier diseño, necesitará vincular la definición del modelo a una parte y configurarla para su uso global.

Para que la copia del modelo esté disponible para cualquier diseño

1 Cree una parte y asigne el nombre de la copia del modelo a la propiedad Implementation.

Véase el *Capítulo 5, Creando partes para modelos* para más información

2 Si fuera necesario, mueva la definición de la copia del modelo a una librería de modelos apropiada, y asegúrese que la librería esté configurada para un uso global.

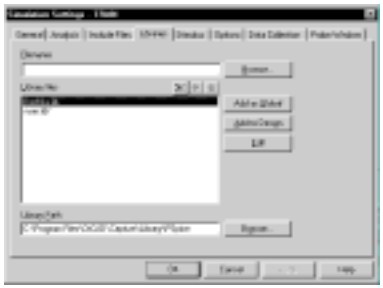
Véase *Configurando las librerías de modelos* en la página 162 para más información.

Note *Si utiliza el ayudante de partes para crear una parte de forma automática desde la definición del modelo, este paso será completado por usted.*

Configurando las librerías de modelos

Si bien las librerías de modelos normalmente son configuradas automáticamente, hay cosas que algunas veces deberá realizar el usuario; estas son:

- añadir nuevas librerías de modelos que fueron creados fuera de Capture o del Editor de Modelos.
- cambiar el ámbito global de una librería de modelos.
- cambiar el orden de búsqueda de librerías.
- cambiar o añadir el path de búsqueda de directorios.



La pestaña Include Files contiene ficheros de inclusión. Puede añadir manualmente ficheros de inclusión del diseño o globales utilizando los botones Add to Design y Add as Global, respectivamente.

La pestaña Stimulus contiene ficheros de impulsos. Véase *Configurando ficheros de impulsos* en la página 343 para más información.

Las pestañas Libraries y Include Files

Las pestañas Libraries y Include Files de la caja de diálogo Simulation Settings están donde pueda añadir, cambiar y eliminar librerías de modelos y ficheros de inclusión desde la configuración o secuenciar de nuevo el orden de búsqueda.

Note *Eliminar una librería en esta caja de diálogo significa que está eliminando la librería de modelos de la lista configurada. La librería continúa existiendo en su ordenador y puede añadirla de nuevo en la configuración más adelante.*

Para ver la pestaña Libraries

1. En PSpice A/D, en el menú Simulation, seleccionar Edit Simulation Settings.
2. Clicar sobre la pestaña Libraries.

   La lista Library Files muestra las librerías de modelos que PSpice A/D revisa en busca de definiciones que coincidan con las partes del diseño. Los ficheros con un asterisco (*) después de su nombre poseen un ámbito global, Los que no tienen marca poseen un ámbito sólo de ese diseño.

Los botones para añadir librerías de modelos a la configuración siguen la misma convención de sintasis local/global. Clicar una de las siguientes opciones:

- Add to Design para modelos de diseño.
- Add as Global para modelos globales.

Cómo utiliza PSpice A/D librerías de modelos

PSpice A/D busca en las librerías cualquier información que necesite para completar la definición de una parte o ejecutar la simulación. Si no existe un índice actualizado, PSpice A/D generará automáticamente un fichero de índice y lo utilizará para acceder únicamente a las definiciones de modelos necesarias para la simulación. Esto significa que:

- El espacio en disco no se utiliza con definiciones que no utilice el diseño.
- No hay penalización de memoria en el uso de grandes librerías de modelos.
- El tiempo de carga se mantiene al mínimo.

Orden de búsqueda

Cuando se busca definiciones de modelos, PSpice A/D revisa las librerías de modelos utilizando estos criterios:

- librerías de modelos del diseño antes que las globales.
- secuencia de las librerías de modelos tal y como están listadas en la pestaña Libraries de la caja de diálogo Simulation Settings
- directorio local (donde reside el diseño actual) primero, después la lista de directorios especificada en el path de búsqueda de directorios en el órden dado. Véase *Cambiando el path de búsqueda de librerías* en la página 167)

Atención — Cuando utilice ficheros de inclusión

PSpice A/D trata las librerías de modelos y los ficheros de inclusión de diferente forma:

Esto significa que si configura una librería de modelos (.LIB) como un fichero de inclusión utilizando el botón Add to Design o Add as Global, PSpice A/D cargará cada definición de modelo contenida en ese fichero.

- Para ficheros de librerías de modelos, PSpice A/D lee únicamente las definiciones que necesita para ejecutar la simulación actual.
- En los ficheros de inclusión, lee todo el fichero.

Si la librería de modelos es muy grande, puede sobrepasar la capacidad de memoria del sistema. De todas formas, cuando se desarrollan modelos:

1. Configure inicialmente la librería de modelos como un fichero de inclusión; esto evita reconstruir los ficheros indexados cada vez que cambie la librería de modelos.
2. Cuando los modelos queden estables, reconfigure el fichero de inclusión conteniendo las definiciones de modelos como un fichero de librería.

Para reconfigurar un fichero de inclusión como un fichero de librería:

1. En el menú Simulation, seleccionar Edit Simulation Settings, después clicar sobre la pestaña Include Files.
2. Seleccionar el fichero de inclusión que quiera cambiar.

Manejando nombres de modelos duplicados

Si sus librerías de modelos poseen nombres de modelos duplicados, PSpice A/D utilizará siempre el primer modelo que localice, Esto significa que puede ser necesario reordenar el orden de búsqueda para asegurarse que PSpice A/D utilice el modelo deseado. Véase *Cambiando el orden de búsqueda de las librerías de modelos* en la página 166.

Note *PSpice A/D busca en las librerías del diseño antes que en las librerías globales, de modo que si el modelo que se quiere utilizar es específico de ese diseño, y la definición duplicada es global, no necesitará realizar cambio alguno.*

Añadiendo librerías de modelos a la configuración

Las nuevas librerías son añadidas encima del nombre de librería seleccionado en la caja de lista Library Files.

Para añadir librerías de modelos a la configuración

1. En el menú Simulation, seleccionar Edit Simulation Settings, después clicar sobre la pestaña Libraries.
2. Clicar sobre el nombre de librería colocando una entrada por debajo de donde quiera añadirse la nueva librería.
3. En la caja de texto Filename, puede:
   - teclear el nombre de la librería de modelos, o
   - clicar sobre Browse para localizar y seleccionar la librería.
4. Hacer uno de lo siguiente:
   - Si las definiciones de modelos se utilizarán sólo en el diseño actual, clicar sobre el botón Add to Design.
   - Si se quieren utilizar en cualquier esquema, clicar sobre el botón Add as Global.
5. Clicar sobre OK.

Note *Si las librerías de modelos residen en un directorio que no esté en el path de búsqueda de librerías, y utiliza el botón Browse en el paso 3 para seleccionar las librerías a añadir, el editor de esquemas actualizará de forma automática el path de búsqueda de librerías; en caso contrario, necesitará añadir el path del directorio uno mismo. Véase Cambiando el path de búsqueda de librerías en la página 167.*

Cambiando el diseño y el ámbito global

Hay veces que puede quererse cambiar el ámbito de una librería de modelos de un diseño a global o viceversa.

Ejemplo: Si tiene una copia de un modelo que desea que esté disponible en cualquier diseño, necesitará cambiar la librería de modelo local que contenga ese modelo para que tenga un ámbito global.

Para más información, véase *Modelos y librerías de diseño frente a global* en la página 131.

Para cambiar el ámbito de un modelo de un diseño a global

1. En el menú Simulation, seleccionar Edit Simulation Settings, después clicar sobre la pestaña Libraries.
2. Seleccionar la librería de modelos que se quiera cambiar.
3. Realizar una de estas dos opciones:
   - Clicar el botón Add as Global para añadir una entrada global.
   - Clicar sobre el botón Add to Design para añadir una entrada al diseño.
4. Clicar sobre el botón Delete de la barra de herramientas para borrar la entrada local.

Cambiando el orden de búsqueda de las librerías de modelos

Hay dos razones por las que puede desear cambiar el orden de búsqueda:

- reduce el tiempo de búsqueda.
- evita utilizar un modelo erroneo cuando hay nombres de modelos duplicados en las librerías; PSpice A/D siempre utiliza la primera referencia que encuentre.

Véase *Manejando nombres de modelos duplicados* en la página 164 para más información.

Para cambiar el orden de librerías

1 En la pestaña librerías de la caja de diálogo Simulation Settings:

a Seleccionar la librería que quiera mover.

b Utilice el botón de la barra de herramientas flecha arriba o flecha abajo para mover el nombre de librería a una posición diferente en la lista.

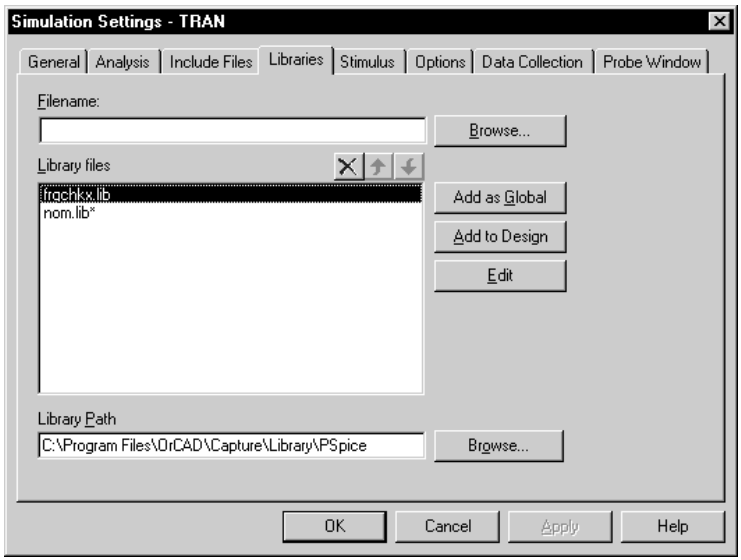
2 Si ha listado múltiples comandos *.LIB dentro de una librería (como NOM.LIB), edite la librería utilizando un editor de textos para cambiar el orden.

Ejemplo: La librería de modelos DIODES.LIB y EDIODES.LIB (Diodos Fabricados en Europa) suministrada con los programas de OrCAD poseen definiciones de dispositivos con idéntico nombre. Si su diseño utiliza un diseño de esas librerías, necesitará colocar la librería de modelos conteniendo la definición la primera de las dos. Si su sistema está configurado como se instaló por primera vez, significa que necesitará añadir la librería especificada antes que NOM.LIB.

Atención — No editar NOM.LIB. Si lo hiciera, PSpice recreará los índices de cada modelo de librería referenciado en NOM.LIB. Esto puede llevar algo de tiempo.

Cambiando el path de búsqueda de librerías

Para las librerías de modelos que se configuraron sin nombres de path explícitos, PSpice A/D busca primero en el directorio en donde reside el diseño actual, después irá a través de la lista de directorios especificados en la caja de texto Library Path de la caja de diálogo Simulation Settings.



Para cambiar el path de búsqueda de librerías

1. En el menú Simulation, seleccionar Edit Simulation Settings para ver la caja de diálogo Simulation Settings.
2. Clicar sobre la pestaña Libraries.
3. En la caja de texto Library Path, situar el cursor después del path del directorio en el que deberá buscar PSpice A/D antes del nuevo path.
4. Teclee el nuevo nombre de path siguiendo estas reglas:
   - Utilice un punto y coma (;) para separar dos nombres de paths.
   - No termine el último nombre de path con un punto y coma.

Ejemplo: para buscar primero C:\ORCAD\LIB, y después C:\MYLIBS, para librerías de modelos, teclear "C:\ORCAD\LIB";"C:\MYLIBS" en la caja de texto Library Path.

Creando partes para modelos

5

Presentación general

Este capítulo contiene información sobre la creación de partes para definiciones de modelos, de modo que pueda simular el modelo del diseño utilizando OrCAD Capture.

Para información general sobre la creación de partes, acuda a la la *Guía de Usuario de OrCAD Capture*.

Los tópicos están agrupados en cuatro áreas introducidas más adelante en esta presentación general. Si desea localizar rápidamente qué herramientas hay que utilizar para realizar una determinada taréa, entonces:

1 Vaya al índice de ayuda en *Formas de crear partes para modelos* en la página 171.

2 Localice la taréa que quiera completar.

3 Vaya a las secciones referenciadas para aquella taréa para más información sobre cómo proceder.

Información de fondo Estas secciones proporcionan la base de las cosas que son necesarias conocer y cómo prepararse para crear partes:

- *Qué es diferente en las partes utilizadas para la simulación?* en la página 171
- *Preparando los modelos para la creación de partes* en la página 172

Task roadmap Esta sección le ayuda a localizar las secciones en este capítulo que son relevantes a la tarea de creación de partes que se quiera completar:

- *Formas de crear partes para modelos* en la página 171

Cómo utilizar las herramientas Estas secciones explican cómo utilizar las diferentes herramientas para las definiciones de modelos:

- *Utilizando el Editor de Modelos para crear partes en la página 173*
- *Utilizando el Editor de modelos para editar modelos* en la página 135
- *Basando nuevas partes en un grupo personalizado* en la página 175

Otra información útil Estas secciones explican cómo mejorar las partes gráficas y sus propiedades:

- *Editando partes gráficas* en la página 177
- *Definiendo propiedades de partes necesarias para la simulación* en la página 181

Qué es diferente en las partes utilizadas para la simulación?

Una parte utilizada en simulación posee estas características:

- Un enlace a un modelo de simulación
- Una traslación a una lista de conexiones
- Pines modelados
- Otras propiedades de simulación específicas de la parte, que pueden incluir conexiones a pines ocultos, o niveles de retardos en la propagación (en partes digitales)

Para más información sobre la adición de modelos de simulación en una librería de modelos, véase el *Capítulo 4, Creando y editando modelos.*

Formas de crear partes para modelos

Si quiere...	Haga esto...	Para saber más, véas esto...
Â **Crear partes para un grupo** de fabricantes o modelos definidos por el usuario en una librería de modelos. Â **Cambiar el estándar gráfico** para una librería de modelos existente.	Utilice el Editor de Modelos para crear partes desde una librería de modelos.	*Basando nuevas partes en un grupo personalizado* en la página 175
Â **Crear automáticamente una parte cada vez** que se extraiga un nuevo modelo.	Utilice el Editor de modelos* y habilite la creación automática de partes.	*Utilizando el Editor de Modelos para crear partes en la página 173* *Utilizando el Editor de modelos para editar modelos* en la página 135 *Basando nuevas partes en un grupo personalizado* en la página 175

* Para una lista de los tipos de dispositivos que soporta el Editor de Modelos, véase *Tipos de dispositivos soportados por el Editor de Modelos* en la página 137.

Preparando los modelos para la creación de partes

Si ya tiene modelos definidos y desea crear partes para estos, debería organizar las definiciones en librerías conteniendo tipos de dispositivos similares.

Para preparar una librería de modelos para la creación de partes

1. Si todos sus modelos están en un solo fichero y desea mantenerlos así, renombre el fichero para:
   - Reflejar los tipos de modelos contenidos en el fichero.
   - que tenga la extensión .LIB.
2. Si cada modelo está en su propio fichero, y quiere concatenarlos en un solo fichero, utilice el comando COPY del DOS.

   Ejemplo: Puede unir un grupo de ficheros con la extensión .LIB utilizando el comando del DOS:

   ```
   copy *.MOD MYLIB.LIB
   ```
3. Asegúrese que los nombres de modelos en la nueva librería no entren en conflicto con los nombres de modelos de cualquier otra librería anterior.

Las librerías de modelos poseen normalmente la extensión .LIB. De todas formas, puede utilizarse una extensión diferente siempre que el formato del fichero cumpla con el formato estándar de la librería de modelos.

Para más información sobre cómo manejar las librerías de modelos, incluyendo el orden de búsqueda que utiliza PSpiceA/D, véase *Configurando las librerías de modelos* en la página 162.

Si ya ha iniciado el Editor de Modelos desde Capture, y quiere continuar trabajando en nuevos modelos y partes, entonces:

1. Cierre la librería de modelos abierta.
2. Abra una nueva librería de modelos.
3. Cargue un nodelo de dispositivo o cree uno nuevo.

Preparando la creación automática de de partes

La creación de partes desde el Editor de Modelos es opcional. La creación automática de partes está habilitada por defecto. De todas formas si previamente hubiera deshabilitado la creación de partes, necesitaría habilitarla antes de crear un nuevo modelo y parte.

En lugar de utilizar el grupo de partes por defecto de OrCAD, puede utilizar su propio grupo de partes. Para ver más sobre esto, véase *Basando nuevas partes en un grupo personalizado* en la página 175.

Para crear partes de forma automática para nuevos modelos

1. En el Editor de Modelos, en el menú Tools, seleccionar Options.
2. En la zona de configuración de Part Creation, seleccionar Create Parts for Models si todavía no estuviera habilitada.
3. En la zona Save Part To, defina el nuevo nombre de la librería de partes para la nueva parte. Seleccione una de las siguientes opciones:

Por ejemplo, si la librería de modelos se llama MYPARTS.LIB, entonces, el Editor de Modelos creará la librería de partes llamada MYPARTS.OLB.

- El mismo path de la librería de partes que la librería de modelos para crear o abrir el fichero *.OLB que posee el mismo nombre que la librería de modelos abierta (*.LIB).
- Librería de partes definida por el usuario, y después introduzca un nombre de librería de la caja de texto Library Name.

Basando nuevas partes en un grupo personalizado

Si está utilizando el Editor de Modelos para generar partes de forma automática para definiciones de modelos, y quiere basar las nuevas partes en un estándar gráfico personalizado (en lugar de en las partes por defecto de OrCAD), puede cambiar partes que se utilizará en cada aplicación fijando su propio grupo de partes.

Note *Si utiliza un grupo de partes personalizado, El Editor de Modelos comprobará siempre la librería de partes personalizada en busca de una parte que coincida con la definición del modelo. Si no pudiera encontrar una, utilizará en su lugar la parte por defecto de OrCAD*

Para crear un grupo de partes personalizado para la generación automática de partes

1 Crear una librería de partes con las partes personalizadas.

Asegúrese de nombrar estas partes por su tipo de dispositivo como puede verse en la Tabla 14; esto es cómo determina el Editor de Modelos qué partes se utilizarán para una definición de modelos.

Para más información sobre la creación de partes, acuda a la *Guía de Usuario de OrCAD Capture*.

Table 14 *Nombres de partes para la generación de partes personalizadas.*

Para este tipo de dispositivo...	Utilice este nombre de parte..	Para este tipo de dispositivo...	Utilice este nombre de parte...
Transistor Bipolar : LPNP	LPNP	MOSFET: canal N	NMOS
Transistor Bipolar: NPN	NPN	MOSFET: canal P	PMOS
Transistor Bipolar: PNP	PNP	OPAMP: 5-pines	OPAMP5
Condensador*	CAP	OPAMP: 7-pines	OPAMP7
Diodo	DIODE	Resistencia*	RES
GaAsFET*	GASFET	conmutador: controlado por tensión*	VSWITCH
IGBT: Canal N	NIGBT	Línea de transmisión*	TRN
Bobina*	IND	Comparador de tensión	VCOMP
JFET: canal N	NJF	comparador de tensión: 6 pines	VCOMP6
JFET: canal P	PJF	Referencia de tensión	VREF
Núcleo magnético	CORE	Regulador de tensión	VREG

* No es aplicable al Editor de Modelos.

2 Para cada parte personalizada, fije su propiedad MODEL a `M en donde ` es una comilla o un carácter grave.

Esto indica al Editor de Modelos que sustituya el nombre del modelo correcto.

Para basar nuevas partes en partes personalizadas utilizando el Editor de Modelos

1 En el Editor de Modelos, en el menú Options, seleccionar Part Creation Setup, y habilitar la creación automática de partes, como se describió en *Para crear partes de forma automática para nuevos modelos* en la página 174.

2 En la zona Base Parts On, introducir el nombre de la librería de partes existente (*.OLB) que contenga las partes personalizadas.

3 Clicar sobre OK.

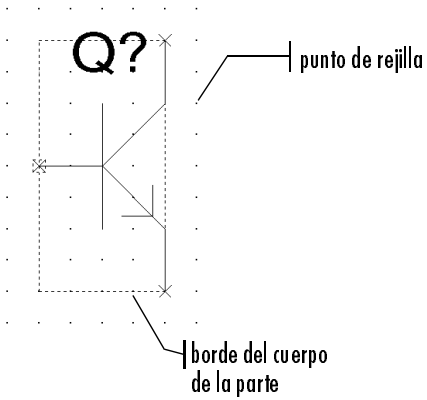
Editando partes gráficas

Si creó partes utilizando el Editor de Modelos, y quiere realizar pequeños cambios, las siguientes secciones explican unas cuantas cosas importantes que le recordarán cómo editar las partes.

Cuando se cambien partes gráficas, compruebe que todos los pines estén en rejilla.

Cómo coloca partes Capture

Cuando se colocan partes en la página del esquema, el editor de páginas de esquemas utiliza la rejilla como punto de referencia El final del pin de la parte quedará colocado sobre los puntos de rejilla.



Para editar una parte en una librería

1. En el menú File de Capture, apuntar a Open, después seleccionar Library.
2. Seleccionar la librería que contenga la parte que se quiera editar.

   Se abrirá la librería y se mostrarán todas sus partes.
3. Hacer doble clic sobre la parte que desee editar.

   La parte aparecerá en el editor de partes.
4. Editar la parte.

Para más información sobre las taréas de edición específicas de partes, véase la *Guía de Usuario de OrCAD Capture*.

Puede redimensionarla, añadir o borrar gráficos, y añadir o borrar pines.

5 Después de terminar de editar la parte, en el menú File, seleccionar Save para salvar la parte en la librería.

Definiendo el espaciado de la rejilla

Espaciado de rejilla para gráficos

La rejilla, representada por puntos espaciados de forma regular, determina el tamaño y posición de los objetos gráficos así como la posición de los pines. El espaciado de la rejilla por defecto cuando está habilitado "*snap-to-grid*" es de 0.10", y el espaciado de la rejilla es de 0.01".

Puede desactivar el espaciado de la rejilla cuando necesite dibujar gráficos en un espacio muy pequeño.

Para editar partes gráficas

1 En el editor de partes de Capture, mostrar la parte que se quiera editar.

2 Seleccionar la línea, arco, círculo u otro objeto gráfico que quiera cambiar, y realice una de las siguientes acciones:

- Para ampliar o reducir el objeto gráfico, clicar y arrastrar sobre uno de los manejadores de tamaño.
- Para mover toda la parte gráfica, clicar y arrastrar el borde de la parte.

  El borde del cuerpo de la parte cambia automáticamente para rellenar todo el tamaño del gráfico de la parte.

3 Después de terminar de editar la parte, en el menú File, seleccionar Save para salvar la parte en su librería.

Note Puede producirse cambios de pines que pueden alterar la plantilla de la parte si:

- cambia los nombres de los pines

o

- borra pines

En estos casos, deberá ajustar el valor de la propiedad PSPICETEMPLATE de la parte para que refleje estos cambios. Para ver cómo, vaya a *Llamadas a pines en plantillas de subcircuitos* en la página 188.

Espaciado de rejilla para pines

El editor de partes siempre coloca los pines sobre la rejilla, incluso cuando la opción snap-to-grid esté deshabilitada. El

tamaño de la parte es relativa al espaciado entre pines de esa parte. Esto significa que los pines colocados con una separación de una rejilla en el editor de partes se mostrarán con una separación de una unidad de rejilla en el editor de páginas de esquemas.

Los pines *deberán* ser colocados en la rejilla en múltiplos enteros del espaciado de la rejilla. Como el espaciado de la rejilla por defecto en Schematic Page Grid está fijado a 0.10", OrCAD recomienda fijar el espaciado de pines en la rejilla para Partes y Símbolos a intervalos de 0.10" desde el origen de la parte y al menos a 0.10" desde cualquier pin adyacente.

Para más información sobre el espaciado de la rejilla y el posicionado de pines, véase la *Guía de Usuario de OrCAD Capture*.

El editor de partes tiene en cuenta aquellos pines que no estén colocados en múltiplos enteros del espaciado de la rejilla desde el orígen como *fuera de rejilla*, y se mostrará un mensaje de aviso cuando trate de salvar la parte.

He aquí dos líneas guía:

- Asegúrese que la opción Pointer Snap to Grid esté habilitada cuando edite pines de partes y páginas de esquemas, de modo que pueda realizar fácilmente las conexiones.
- Asegúrese que la opción Part and Symbol Grid spacing *coincida* con el espaciado de la rejilla de la página del esquema.

Vinculando modelos a partes

Si creó partes y desea simularlas, necesitará vincularlas a una implementación de modelos. Si creó partes utilizando cualquiera de los métodos explicados en este capítulo, su parte ya tendrá vinculada una implementación de modelos.

MODEL

La propiedad Implementation define el nombre del modelo que utilizará PSpice para su simulación. Cuando se vincula esta implementación, esta regla se aplica a:

- El nombre Implementation deberá coincidir con el nombre de la definición .MODEL o .SUBCKT del modelo de simulación tal y como aparece en la librería de modelos (*.LIB).

Ejemplo: Si su diseño incluye un transistor bipolar 2N2222 con un nombre .MODEL de Q2N2222, entonces, el nombre Implementation para esa parte deberá ser Q2N2222.

Para más información sobre la edición de modelos en general, véase el *Capítulo 4, Creando y editando modelos*. Para información específica sobre cómo cambiar las referencias de los modelos, véase *Cambiando la referencia del modelo a una definición de un modelo existente* en la página 159.

Note *Asegúrese que la librería de modelos conteniendo la definición del modelo esté configurada en la lista de librerías del proyecto. Véase Configurando las librerías de modelos en la página 162 para más información.*

Para vincular la implementación de un modelo

1 En el editor de páginas de esquemas, hacer doble clic sobre una parte para ver la hoja de cálculo Parts del Editor de Propiedades.

2 En la lista Implementation, seleccionar PSpice Model.

3 En la columna Implementation, teclear el nombre del modelo que se quiere vincular a la parte.

4 Clicar Apply para actualizar el diseño, después cerrar la hoja de cálculo Parts.

No es necesario introducir un Path en la implementación ya que PSpice busca el modelo en la lista de las librerías de modelos configuradas para este proyecto.

Esto es lo que hay que comprobar cuando se editen propiedades de partes:

- ¿PSPICETEMPLATE especifica el número correcto de pines/nodos?
- ¿Están los pines/nodos especificados en PSPICETEMPLATE en el orden correcto?
- ¿El nombre de los pines/nodos en PSPICETEMPLATE coinciden con el nombre de pines de la parte?

Definiendo propiedades de partes necesarias para la simulación

Si creo partes utilizando cualquiera de los métodos explicados en este capítulo, su parte ya tendrá estas propiedades definidas:

- PSpice PSPICETEMPLATE para su simulación
- PART y REFDES para su identificación

También puede añadir otras propiedades específicas de la simulación para partes digitales: IO_LEVEL, MNTYMXDLY, y PSPICEDEFAULTNET (para pines).

Por ejemplo, si creó una parte que tuviera un comportamiento eléctrico descrito con una definición de subcircuito que comience con:

```
.SUBCKT 7400 A B Y
+    optional: DPWR=$G_DPWR DGND=$G_DGND
+    params: MNTYMXDLY=0 IO_LEVEL=0
```

Entonces las propiedades de la parte apropiadas serían:

```
IMPLEMENTATION = 7400
MNTYMXDLY = 0
IO_LEVEL = 0
PSPICETEMPLATE = X^@REFDES %A %B %Y %PWR
%GND
  @MODEL PARAMS:IO_LEVEL=@IO_LEVEL
  MNTYMXDLY=@MNTYMXDLY
```

Para editar una propiedad necesaria para la simulación:

1 En el editor de páginas de esquemas, seleccionar la parte a editar.

2 En el menú Edit, seleccionar Properties para ver la hoja de cálculo Partes del Editor de Propiedades.

3 Clicar sobre la celda de la columna que desee cambiar (por ejemplo, PSPICETEMPLATE), o clicar el botón New para añadir una propiedad (y teclear el nombre de la propiedad caja de texto Name).

4 Si fuera necesario, teclear un valor en la caja de texto Value.

5 Clicar Apply para actualizar el diseño, después cerrar la hoja de cálculo.

Note *Por claridad, el valor de la propiedad PSPICETEMPLATE se muestra en varias líneas; en una definición de la parte, se especificará en una sola línea, (no con saltos de línea).*

Para ver más acerca de esta propiedad...	Véase esto...
PSPICETEMPLATE	page 182
IO_LEVEL	page 190
MNTYMXDLY	page 191
PSPICEDEFAULTNET	page 192

PSPICETEMPLATE

Atención — Creando partes que no son necesarias para la simulación

Algunas librerías de partes contienen partes que son necesarias únicamente para el diseño de la placa; PSpice A/D no puede simular estas partes. esto significa que no poseen la propiedad PSPICETEMPLATE o que la propiedad PSPICETEMPLATE está en blanco.

La propiedad PSPICETEMPLATE define la sintasis de PSpice A/D para la entrada de la lista de conexiones de la parte. Cuando se crea una lista de conexiones, Capture sustituye los valores actuales del circuito en las posiciones apropiadas de la sintasis PSPICETEMPLATE, después salva el estado transladado al fichero de la lista de conexiones.

Cualquier parte que se desee simular, deberá tener una propiedad PSPICETEMPLATE definida. Esta regla se aplica a:

- Los nombres de pines especificados en la propiedad PSPICETEMPLATE deberán coincidir con los nombres de pines de la parte.
- El número y orden de los pines en la propiedad PSPICETEMPLATE deberá coincidir con aquellos asociados a la definición .MODEL o .SUBCKT referenciada para la simulación.
- El primer carácter en PSPICETEMPLATE deberá ser una letra de dispositivo PSpice A/D apropiada para la parte (como puede ser Q para un transistor bipolar).

Sintasis de PSPICETEMPLATE

PSPICETEMPLATE contiene:

- *caracteres regulares* que el editor de páginas de esquemas interpreta literalmente.
- *nombres de propiedades* y *caracteres de control* que el convierte el editor de páginas de esquema.

Caracteres regulares en plantillas

Los caracteres regulares incluyen lo siguiente:

- alfanuméricos.
- Cualquier parte del teclado *excepto* las partes con una sintasis especial utilizadas con propiedades (@ & ? ~ #).
- espacios en blanco.

Un *identificador* es una colección de caracteres regulares con la forma:

carácter alfanumérico [cualquier otro carácter regular]*.

Nombres de propiedades en plantillas

Los nombres de propiedades están precedidos por caracteres especiales:

[@ | ? | ~ | # | &]<*identificador*>

El editor de páginas de esquemas procesa la propiedad de acuerdo con el carácter especial como puede verse en la siguiente tabla.

Esta sintasis...*	**Será reemplazada con ...**
@<*id*>	Valor de <*id*>. Error si no hay atributo <*id*> o no hay valor asignado.
&<*id*>	Valor de <*id*> si <*id*> está definido.
?<*id*>*s...s*	Texto entre los separadores *s...s* si <*id*> está definido.
?<*id*>*s...ss...s*	Texto entre los primeros separadores *s...s si* <*id*> está definido, en caso contrario la segunda clausula *s...s*.

Esta sintasis...*	Será reemplazada con ...
~<*id*>*s...s*	Texto entre los separadores *s...s* si <*id*> es indefinido.
~<*id*> s...ss...s	Texto entre los primeros separadores *s...s si* <*id*> es indefinido, en caso contrario la segunda clausula *s...s*.
#<*id*>*s...s*	Texto entre los separadores *s...s* si <*id*> está definido, pero elimina el resto de la plantilla si <*id*> no está definido.

* *s* es un carácter separador

Ejemplo: El fragmento de la plantilla ?G|G=@G||G=1000| utiliza la barra vertical entre las partes if-then-else de esta claúsula condicional. Si G tiene un valor, entonces este fragmento translada a G=<*G valor de la propiedad*>. En caso contrario, este fragmento translada a G=1000.

Los caracteres de separación incluyen comas (,), puntos (.), puntos y comas (;), barras (/), y barras verticales (|). Siempre deberá utilizarse el mismo carácter para especificar una pareja de separadores de apertura y cierre.

Note *Puede utilizar diferentes caracteres separadores para anidar clausulas de propiedades condicionales.*

El carácter ^ en las plantillas

El editor de páginas de esquemas reemplaza el carácter ^ por todo el path jerárquico del dispositivo que está siendo listado.

La secuencia del carácter \n en plantillas

El editor de partes reemplaza la secuencia de caracteres \n con una nueva línea. Utilizando \n, puede especificar una entrada de lista de conexiones de múltiples líneas desde una plantilla de una sola línea.

El carácter % y los nombres de pines en las plantillas

Los nombres de los pines están definidos así:

%<*pin name*>

en donde *pin name* es uno o más caracteres regulares.

El editor de páginas de esquemas reemplaza la clausula %<*pin name*> en la plantilla por el nombre de la conexión conectada a ese pin.

El final del nombre del pin está marcado con un separador (véase *Nombres de propiedades en plantillas* en la página 183). para evitar conflictos de nombres en PSpice, el editor de páginas de esquemas translada los siguientes caracteres contenidos en los nombres de los pines.

Este carácter de nombre de pin...	Será reemplazado por...
<	l (L)
>	g
=	e
\XXX\	XXXbar

Note *Para incluir el carácter % en la lista de conexiones, teclear* %% *en la plantilla.*

Atención — Esquemas recomendados para plantillas de listas de conexiones

Las plantillas para dispositivos en la librería de partes comienza con una letra de dispositivo de PSpice A/D, seguida del path jerárquico, y después por una propiedad del designador de referencia (REFDES).

OrCAD recomienda que adopte este esquema cuando defina sus propias plantillas de listas de conexiones.

Ejemplo: R^@REFDES ... para una resistencia

Ejemplos de PSPICETEMPLATE

Plantilla de una resistencia (R)

La parte R tiene:

- dos pines: 1 y 2
- dos propiedades necesarias: REFDES y VALUE

Plantilla

```
R^@REFDES %1 %2 @VALUE
```

Translación simple

```
R_R23 abc def 1k
```

en donde REFDES es igual a R23, VALUE es igual a 1k, y R está unida a las conexiones abc y def.

Fuente de tensión con una plantilla de especificaciones AD y DC opcionales

La parte VAC tiene:

- dos propiedades: AC y DC
- dos pines: + y -

Plantilla

```
V^@REFDES %+ %- ?DC|DC=@DC| ?AC|AC=@AC|
```

Translación simple

```
V_V6 vp vm DC=5v
```

en donde REFDES es igual a V6, VSRC está conectada a los nodos vp y vm, DC es 5v, y AC no está definido.

Translación simple

```
V_V6 vp vm DC=5v AC=1v
```

en donde, además de lo anterior, AC está fijada a 1v.

Plantilla de llamada a un subcircuito parametrizado (X)

Supongamos que poseemos un subcircuito Z que tiene:

- dos pines: a y b
- un parámetro de subcircuito : G, en donde G vale por defecto 1000 cuando no se le da un valor.

Para permitir cambiar el parámetro en la página del esquema, G como una propiedad en la plantilla.

Plantilla

```
X^@REFDES %a %b Z PARAMS: ?G|G=@G|
 ~G|G=1000|
```

Plantilla equivalente (utilizando la forma if...else)

```
X^@REFDES %a %b Z PARAMS: ?G|G=@G||G=1000|
```

Translación simple

```
X_U33 101 102 Z PARAMS: G=1024
```

En donde REFDES es igual a U33, G está fijada a 1024, y el subcircuito se conecta a las conexiones 101 y 102.

Tanslación simple

```
X_U33 101 102 Z PARAMS: G=1000
```

en donde se aplican los parámetros de la translación anterior excepto que el valor de G es indefinido.

Note *Por claridad, el valor de la propiedad PSPICETEMPLATE se muestra aquí en varias líneas; en una definición de una parte, se especifica en una sola línea (sin saltos de línea).*

Partes con impulsos digitales con una plantilla de pines de anchura variable

Para una plantilla de dispositivos de impulsos digitales, (como puede ser una parte DIGSTIM), un nombre de un pin puede estar precedido por el carácter *. Esto significa que el pin puede estar conectado a un bus y que la anchura del pin está fijada a que sea igual a la anchura del bus.

Note *Por claridad el valor de la propiedad PSPICETEMPLATE se muestra aquí en varias líneas; en la definición de una parte, está definida en una sola línea (sim saltos de línea)*

Plantilla

```
U^@REFDES STIM(%#PIN, 0) %*PIN
 \n+ STIMULUS=@STIMULUS
```

en donde #PIN se refiere a la variable de anchura del pin.

Translación simple

```
U_U1 STIM(4,0) 5PIN1 %PIN2 %PIN3 %PIN4
+ STIMULUS=mystim
```

en donde el impulso está conectado a un bus de cuatro entradas, a[0-3].

Llamadas a pines en plantillas de subcircuitos

Para ver cómo definir subcircuitos, acuda al comando .SUBCKT en el *Manual de Referencia en línea de OrCAD PSpice A/D.*

El número y secuencia de los pines nombrados en una plantilla para un subcircuito, deberá estar de acuerdo con la definición del propio subcircuito—esto es, los nombres de los nodos listados en el estado .SUBCKT, que encabeza la definición de un subcircuito. Estos son los pines de salida del subcircuito.

Ejemplo: Consideremos la siguiente primera línea de una definición (hipotética) de un subcircuito:

```
.SUBCKT SAMPLE 10 3 27 2
```

Los cuatro números que siguen a la palabra SAMPLE—10, 3, 27, y 2—son los nombres de nodos para los pines de salida de ese subcircuito.

Ahora supongamos que la definición de la parte posee cuatro pines:

IN+ OUT+ IN- OUT-

El número de pines de la parte deberá ser igual al número de nodos en la definición del subcircuito.

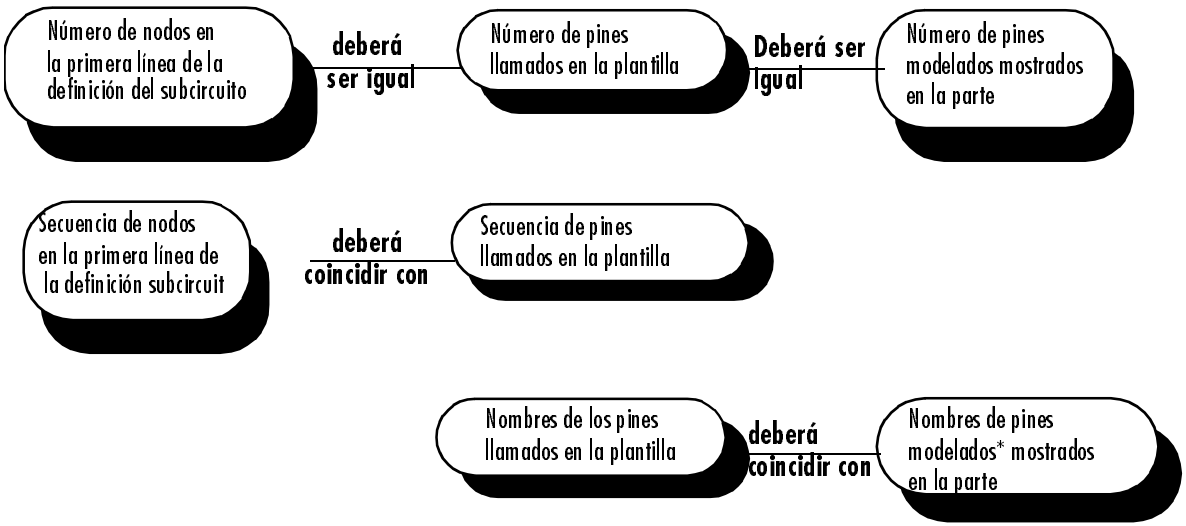
Si la correspondencia entre los nombres de los pines y los nodos es la siguiente:

Este nombre de nodo...	Corresponde a este nombre de pin...
10	IN+
3	IN-
27	OUT+
2	OUT-

La plantilla se verá así:

X^@REFDES %IN+ %IN- %OUT+ %OUT- @MODEL

Las *reglas de acuerdo* pueden verse en la Figura 33.



* Los pines no modelados pueden aparecer en una parte (como los dospines de tensión de un amplificador operacional 741). Estos pines no son generados en la lista de conexiones y no aparecen en la plantilla

Figure 33 *Reglas para llamadas a pines en las plantillas de subcircuitos.*

.

IO_LEVEL

Todas las partes digitales proporcionadas por OrCAD poseen una propiedad IO_LEVEL.

Para ver más sobre subcircuitos de interface, véase *Selección del subcircuito de interface por PSpice A/D* en la página 441.

La propiedad IO_LEVEL define qué nivel del interface de modelo de subcircuito deberá utilizar PSpice A/D para una parte digital que esté conectada a una parte analógica.

Para utilizar la propiedad IO_LEVEL con una parte digital

1 Añadir la propiedad IO_LEVEL a la parte y asignarla un valor como puede verse en la siguiente tabla.

Asignar este valor...	Para utilizar este subcircuito de interface (nivell)...
0	anchura del circuito por defecto
1	AtoD1 y DtoA1
2	AtoD2 y DtoA2
3	AtoD3 y DtoA3
4	AtoD4 y DtoA4

2 Utilice esta propiedad en la definición de propiedad de PSPICETEMPLATE (IO_LEVEL también es un parámetro de subcircuito utilizado en llamadas a subcircuitos digitales).

Ejemplo:

```
PSPICETEMPLATE=X^@REFDES %A %B %C %D %PWR
%GND
  @MODEL PARAMS:\n+
  IO_LEVEL=@IO_LEVEL
  MNTYMXDLY=@MNTYMXDLY
```

Note *Por claridad, el valor de la propiedad PSPICETEMPLATE se muestra aquí en varias líneas, en la definición de una parte, esta se especifica en una sola línea (sin saltos de línea).*

MNTYMXDLY

La propiedad MNTYMXDLY define el nivel de retardo en la propagación que PSpice A/D deberá utilizar para una parte digital.

Todas las partes digitales proporcionadas por OrCAD poseen una propiedad MNTYMXDLY.

Para ver más sobre los retardos en la propagación, véase *Características de tiempos* en la página 251 y *Seleccionando retardos en la propagación* en la página 424.

Para utilizar la propiedad MNTYMXDLY con una parte digital

1 Añadir la propiedad MNTYMXDLY a la parte y asignarla un valor de entre los mostrados en la tabla siguiente.

Asignar este valor...	Para utilizar este retardo en la propagación...
0	anchura del circuito por defecto
1	mínimo
2	típico
3	máximo
4	el peor de los casos (min/max)

2 Utilice esta propiedad en la definición de propiedades de PSPICETEMPLATE (MNTYMXDLY es también un parámetro de subcircuito para subcircuitos digitales).

Ejemplo:

```
PSPICETEMPLATE=X^@REFDES %A %B %C %D %PWR
%GND
 @MODEL PARAMS:\n+
 IO_LEVEL=@IO_LEVEL
 MNTYMXDLY=@MNTYMXDLY
```

Note *Por claridad, el valor de la propiedad PSPICETEMPLATE se muestra en varias líneas, en la definición de una parte; esta se especifica en una sola línea (sin saltos de línea).*

PSPICEDEFAULTNET

Los pines ocultos se utilizan típicamente para masa y alimentación en partes digitales.

La propiedad de pines PSPICEDEFAULTNET define el número de la conexión al que está conectado un pin oculto (invisible).

Para utilizar la propiedad PSPICEDEFAULTNET con una parte digital

1 Para cada propiedad PSPICEDEFAULTNET, asignar el nombre de la conexión digital a la que está conectado el pin.

Ejemplo: Si los pines de alimentación (PWR) y masa (GND) de una parte digital se conectan a las conexiones digitales $G_DPWR y $G_DGND, respectivamente, entonces las propiedades PSPICEDEFAULTNET para esos pines serán:

PSPICEDEFAULTNET=$G_DPWR

PSPICEDEFAULTNET=$G_DGND

2 Utilice el nombre del pin oculto apropiado en la definición de propiedades de the PSPICETEMPLATE.

Ejemplo: Si el nombre del pin de alimentación oculto es PWR y el nombre del pin de masa oculto es GND, la plantilla se verá como esto:

Note *Por claridad el valor de la la propiedad PSPICETEMPLATE se muestra en varias línea; en la definición de una parte, esta se especifica en una sola línea (sin saltos de línea).*

```
PSPICETEMPLATE=X^@REFDES %A %B %C %D %PWR
%GND
  @MODEL PARAMS:\n+
  IO_LEVEL=@IO_LEVEL
  MNTYMXDLY=@MNTYMXDLY
```

Modelado del comportamiento analógico

6

Presentación general del capitulo

Este capítulo describe cómo utilizar la utilidad de Modelado del Comportamiento analógico (Analog Behavioral Modeling - ABM) de PSpice A/D. Este capítulo incluye las siguientes secciones:

- *Presentación general del modelado del comportamiento analógico* en la página 194
- *El fichero de librería de partes ABM.OLB* en la página 195
- *Posicionando y especificando partes ABM* en la página 196
- *Plantillas de partes ABM* en la página 198
- *Partes del sistema de control* en la página 199
- *Partes equivalentes de PSpice A/D* en la página 220
- *Precauciones y recomendaciones para la simulación y el análisis* en la página 232
- *Fuentes controladas básicas* en la página 238

Presentación general del modelado del comportamiento analógico

Puede utilizar la utilidad de Modelado del Comportamiento Analógico (Analog Behavioral Modeling - ABM) de PSpice A/D para realizar descripciones flexibles de componentes electrónicos en términos de una función de transferencia o una tabla de consultas. En otras palabras, se utiliza una interelación matemática para modelar un segmento del circuito, de modo que no necesite diseñar el segmento componente a componente.

La librería de partes contiene muchas partes ABM que están clasificadas tanto como partes del sistema de control como partes equivalentes de PSpice A/D. Véase *Fuentes controladas básicas* en la página 238 para una introducción a esas partes, cómo utilizarlas y la diferencia entre partes con aplicaciones de propósito general y partes con aplicaciones de propósito especial.

Las partes del sistema de control están definidas con la tensión de referencia fijada a tierra de modo que cada entrada y salida controlada está representada por un solo pin en la parte. Estas están descritas en *Partes del sistema de control* en la página 199.

Las partes equivalentes de PSpice A/D reflejan la estructura de los tipos de dispositivos E y G de PSpice A/D, que responden a una entrada diferencial y poseen una salida con doble terminación. Estas están descritas en *Partes equivalentes de PSpice A/D* en la página 220.

También puede utilizar la opción Device Equations (descrita en el *Manual de Referencia en Línea de OrCAD PSpice A/D* para el modelado de este tipo, pero OrCAD recomienda utilizar la utilidad ABM siempre que sea posible. Con las Ecuaciones de Dispositivos, el código fuente de PSpice A/D se modifica. Si bien esto es más flexible y produce resultados más rápidos, es mucho más difícil de usar y da lugar a errores. También, cualquier cambio realizado utilizando Device Equations deberá realizarse en todas las nuevas actualizaciones que instale de PSpice A/D.

Los modelos de dispositivos creados con ABM pueden ser utilizados en la mayoría de los casos, son mucho más fáciles de crear y son compatibles con las actualizaciones de PSpice A/D.

El fichero de librería de partes ABM.OLB

La librería de partes ABM.OLB contiene los componentes ABM. Esta librería contiene dos secciones.

La primera sección posee partes que pueden conectarse rápidamente para formar tipos de sistemas de control de circuitos. Estos componentes poseen nombres como SUM, GAIN, LAPLACE, y HIPASS.

La segunda sección contiene partes que son muy útiles para formas de fuentes controladas en partes de esquemas. Estas partes equivalentes de PSpice A/D poseen nombres tales como EVALUE y GFREQ y están basadas en extensiones de los tipos de dispositivos E y G tradicionales de PSpice A/D.

Implementar componentes ABM utilizando las primitivas de PSpice A/D; no hay correspondencia con la librería de modelos abm.lib. Unos pocos componentes generan entradas de listas de conexiones de múltiples líneas, pero la mayoría están implementados como declaraciones simples de PSpice A/D E o dispositivos G. Véase *Plantillas de partes ABM* en la página 198 para una descripción de las propiedades PSPICETEMPLATE y sus reglas en la generación de declaraciones de listas de conexiones. Véase *Implementación de las partes equivalentes de Spice A/D* en la página 221 para más información sobre la sintasis E y G de PSpice A/D.

Posicionando y especificando partes ABM

Colocar y conectar partes ABM del mismo modo que el resto de las partes. Después de colocar una parte ABM, podrá editar las propiedades de esta para personalizar el comportamiento operacional de la parte. Esto es equivalente a definir una expresión ABM describiendo cómo son transformadas las entradas en salidas. Las siguientes secciones describen las reglas para especificar las expresiones ABM.

Nombres de conexiones y nombres de dispositivos en expresiones ABM

En expresiones ABM refiérase a las señales por nombre. Esto es mucho más conveniente cuando se conecte un hilo desde un pin de un componente ABM a un punto llevando la tensión que le interese.

El nombre de un puerto de interface no se extiende a cualquier conexión conectado. Para referirse a una señal originada por un puerto de interface, conectar el puerto a un conector de salida de página con el nombre deseado.

Si utiliza una expresión, como por ejemplo V(2), la conexión referenciada (2 en este caso) se interpreta como el nombre de una conexión local o global. Una conexión local es un hilo o un segmento de bus etiquetado en un esquema jerárquico, o un conector de salida de página etiquetado. Una conexión global es un hilo o un segmento de bus etiquetado al nivel superior o un conector global.

OrCAD Capture reconoce estas construcciones en expresiones ABM:

V(<*net name*>)
V(<*net name*>,<*net name*>)
I(<*vdevice*>)

Cuando una de estas es reconocida, Capture busca el <*net name*> o el <*vdevice*> en el espacio del nombre de la conexión o del dispositivo, respectivamente. Los nombres son buscados primeros en el nivel jerárquico de la parte listada. Si no se encontrara, se buscará en el conjunto de nombres globales. Si el fragmento no se localiza, se mostrará un mensaje de aviso

pero Capture seguirá generando la lista de conexiones resultante. Cuando se encuentra una coincidencia, el fragmento original queda reemplazado por el nombre cualificado válido de la conexión o del dispositivo.

Por ejemplo, supongamos que tenermos una parte jerárquica U1. Dentro del esquema representando U1 tenemos una expresión ABM incluyendo el término V(Reference). Si “Reference” es el nombre de una conexión local, entonces el fragmento escrito en la lista de conexiones será transladado a V(U1_Reference). Si “Reference” es el nombre de una conexión global, el fragmento de lista de conexiones correspondiente será V(Reference).

Los nombres de fuentes de tensión son tratados de forma parecida. Por ejemplo, una expresión que incluya el término I(Vsense) será sacada como I(V_U1_Vsense) si la fuente de tensión existe localmente, y como I(V_Vsense) si la fuente de tensión existe a nivel superior.

Forzando el uso de una definición global

Si existe un nombre de conexión tanto a nivel jerárquico local como a nivel superior, el mecanismo de búsqueda utilizado por Capture, encontrará la definición local. Puede evitar esto, y forzar a Capture a utilizar la definición global colocando el prefijo (') al nombre.

Por ejemplo, supongamos que hay una conexión llamada Reference tanto dentro de la parte jerárquica U1 como en el nivel superior de la jerarquía. Entonces el fragmento ABM V(Reference) resultará en V(U1_Reference) en la lista de conexiones, mientras que el fragmento V('Reference) producirá V(Reference).

Plantillas de partes ABM

Para la mayoría de las partes ABM, una declaración de dispositivo simple “E” o “G” de PSpice A/D será generada como salida a la lista de conexiones por cada copia de parte. La propiedad PSPICETEMPLATE en estos casos es directa. Por ejemplo, la parte LOG define una variante de expresión del dispositivo E, en el que su salida es el logaritmo decimal de la tensión entre el pin de entrada y tierra:

```
E^@REFDES %out 0 VALUE { LOG(V(%in)) }
```

El fragmento E^@REFDES es estándar. La “E” especifica una fuente de tensión controlada en PSpice A/D (dispositivo E); %in y %out son los pines de entrada y salida respectivamente; VALUE es la palabra llave especificando el tipo del dispositivo ABM, y la expresión entre corchetes define el logaritmo de la tensión de entrada.

Varias partes ABM generan más de una primitiva de dispositivo de PSpice A/D por copia de parte. En este caso, la propiedad PSPICETEMPLATE puede ser muy complicada. Un ejemplo es la parte DIFFER (diferenciador). Esta está implementada como un condensador en serie con un sensor de corriente con un dispositivo E que genera una tensión proporcional a la corriente que pasa a través del condensador.

La plantilla posee varias utilidades nada usuales: da acceso a tres primitivas en la lista de conexiones de PSpice A/D, y crea un nodo local para la conexión entre el condensador y su dispositivo V de sensor de corriente.

Por claridad, la plantilla se muestra en tres líneas, si bien la plantilla actual es de una sola línea

```
C^@REFDES %in $$U^@REFDES 1\n
V^@REFDES $$U^@REFDES 0 0v\n
E^@REFDES %out 0 VALUE {@GAIN * I(V^@REFDES)}
```

Los fragmentos C^@REFDES, V^@REFDES, y E^@REFDES crean un único nombre de condensador, dispositivo V de sensor de corriente, y dispositivo E, respectivamente. El fragmento $$U^@REFDES crea un nombre que puede ser utilizado para su uso en un nodo local. El dispositivo E genera una salida proporcional a la corriente a través del dispositivo V local.

Partes del sistema de control

Las Partes del Sistema de Control poseen entradas y salidas de un solo pin. La referencia para las tensiones de entrada y salida es la masa analógica (0). Una ventaja de PSpice A/D es que estos componentes pueden ser conectados juntos sin necesidad de resistencias de entrada o cargas de prueba.

La Tabla 15 lista las partes del sistema de control, agrupadas por función. También listadas hay propiedades de características que pueden ser fijadas. En las siguientes secciones, cada parte y sus propiedades serán descritas con todo detalle.

Table 15 *Partes del sistema de control.*

Categoría	Parte	Descripción	Propiedades
Componentes básicos	CONST	constante	VALUE
	SUM	sumador	
	MULT	multiplicador	
	GAIN	bloque de ganancia	GAIN
	DIFF	subtracción	
Limitadores	LIMIT	limitador duro	LO, HI
	GLIMIT	limitador con ganancia	LO, HI, GAIN
	SOFTLIM	Limitador suave (tanh)	LO, HI, GAIN
Filtros Chebyshev	LOPASS	filtros pasa bajo	FP, FS, RIPPLE, STOP
	HIPASS	filtros pasa alto	FP, FS, RIPPLE, STOP
	BANDPASS	filtros pasa banda	F0, F1, F2, F3, RIPPLE, STOP
	BANDREJ	filtro de rechazo de banda (notch)	F0, F1, F2, F3, RIPPLE, STOP
Integrador y diferenciador	INTEG	Integrador	GAIN, IC
	DIFFER	diferenciador	GAIN

Table 15 *Partes del sistema de control.*

Categoría	Parte	Descripción	Propiedades
Table de consulta	TABLE	tabla de bucle	ROW1...ROW5
	FTABLE	tabla de bucle de frecuencia	ROW1...ROW5
Transformada de Laplace	LAPLACE	expresión Laplace	NUM, DENOM
Funciones Math (en donde ‘x’ es la entrada)	ABS	$\|x\|$	
	SQRT	$x^{1/2}$	
	PWR	$\|x\|^{EXP}$	EXP
	PWRS	x^{EXP}	EXP
	LOG	$ln(x)$	
	LOG10	$log(x)$	
	EXP	e^x	
	SIN	$sin(x)$	
	COS	$cos(x)$	
	TAN	$tan(x)$	
	ATAN	$tan^{-1}(x)$	
	ARCTAN	$tan^{-1}(x)$	
funciones de expresión	ABM	no entradas, V out	EXP1...EXP4
	ABM1	1 entrada, V out	EXP1...EXP4
	ABM2	2 entradas, V out	EXP1...EXP4
	ABM3	3 entradas, V out	EXP1...EXP4
	ABM/I	no entradas, I out	EXP1...EXP4
	ABM1/I	1 entrada, I out	EXP1...EXP4
	ABM2/I	2 entradas, I out	EXP1...EXP4
	ABM3/I	3 entradas, I out	EXP1...EXP4

Componentes básicos

Los componentes básicos proporcionan funciones fundamentales y en muchos casos, no requiere especificar valores de propiedades. Estas partes se describen a continuación.

CONST

VALUE valor constante

La parte CONST saca la tensión especificada por la propiedad VALUE. Esta parte no proporciona entradas y sí una salida.

SUM

La parte SUM evalúa las tensiones de las dos fuentes de entrada, añade las dos entradas entre sí y saca la suma. Esta parte proporciona dos entradas y una salida.

MULT

La parte MULT evalúa las tensiones de las dos fuentes de entrada, multiplica las dos entre si, y saca el producto. Esta parte proporciona dos entradas y una salida.

GAIN

GAIN valor de ganancia constante

La parte GAIN multiplica la entrada por una constante especificada por la propiedad GAIN, después saca el resultado. Esta parte proporciona una entrada y una salida.

DIFF

La parte DIFF evalua la diferencia de tensión entre dos entradas, y saca el resultado. Esta parte proporciona dos entradas y una salida.

Limitadores

Los Limitadores pueden ser utilizados para restringir una salida a valores comprendidos en un rango especificado. Estas partes se describen a continuación.

LIMIT

HI	valor límite superior
LO	valor límite inferior

La parte LIMIT limita la tensión de salida a un valor entre un límite superior (fijado con la propiedad HI) y un límite inferior (fijado con la propiedad LO). Esta parte toma una entrada y proporciona una salida.

GLIMIT

HI	valor límite superior
LO	valor límite inferior
GAIN	valor de ganancia constante

La parte GLIMIT funciona como un amplificador operacional de una línea. La ganancia se aplica a la fuente de tensión y la salida está restringida a los límites fijados por las propiedades LO y HI. Esta parte toma una entrada y proporciona una salida.

SOFTLIMIT

HI	valor límite superior
LO	valor límite inferior
GAIN	valor de ganancia constante
A, B, V, TANH	variables internas utilizadas para definir la función de límite

La parte SOFTLIMIT proporciona una función de limitación muy parecida al dispositivo LIMIT, excepto que este utiliza una función limitada por una curva continua, en lugar de una función limitada discontinua. Esta parte toma una entrada y da una salida.

Filtros Chebyshev

El filtro Chebyshev permite un filtrado de la señal basándose en un conjunto de características de frecuencia. La salida del filtro Chebyshev depende del analisis que se esté realizando.

Note *PSpice A/D computa la respuesta del impulso de cada filtro Chebyshev utilizada en el análisis de transición durante la lectura del circuito. Esto puede requerir mucho tiempo para su cálculo. Se mostrará un mensaje en pantalla indicando que el cálculo está en proceso.*

Para DC y el punto de trabajo, la salida es la respuesta DC del filtro. Para el análisis AC, la salida para cada frecuencia es la respuesta en frecuencia a esa frecuencia. Para el análisis de transitorios, la salida es la circunvolución de las pasadas de los valores de la entrada con la respuesta del impulso del filtro. Estas reglas siguen el método estándar de uso de las transformadas de Fourier.

Note *Para obtener una lista de los coeficientes de filtros de Laplace para cada estado, seleccionar setup en el menú Analysis, clicar en Options y habilitar LIST en la caja de diálogo Options.*

Cada parte del filtro Chebyshev está descrita en las páginas siguientes.

LOPASS

FS	frecuencia de banda de parada
FP	frecuencia pasa banda
RIPPLE	rizado de la banda de paso en dB
STOP	atenuación de la banda de parada en dB

La parte LOPASS se caracteriza por dos frecuencias de corte que delimitan los límites del filtro pasa banda y banda de parada. Los valores de atenuación, RIPPLE y STOP, definen la máxima atenuación permisible en el pasa banda y la mínima atenuación permisible en la banda de parada, respectivamente. La parte LOPASS proporciona una entrada y una salida.

OrCAD Capture recomienda que se lean las referencias citadas en *Modelos de dispositivos con dominio de frecuencia* en la página 227, así como algunas de las referencias en el diseño del filtros analógicos:

1. Ghavsi, M.S. & Laker, K.R., *Modern Filter Design*, Prentice-Hall, 1981.
2. Gregorian, R. & Temes, G., *Analog MOS Integrated Circuits*, Wiley-Interscience, 1986.
3. Johnson, David E., *Introduction to Filter Theory*, Prentice-Hall, 1976.
4. Lindquist, Claude S., *Active Network Design with Signal Filtering Applications*, Steward & Sons, 1977.
5. Stephenson, F.W. (ed), *RC Active Filter Design Handbook*, Wiley, 1985.
6. Van Valkenburg, M.E., *Analog Filter Design*, Holt, Rinehart & Winston, 1982.
7. Williams, A.B., *Electronic Filter Design Handbook*, McGraw-Hill, 1981.

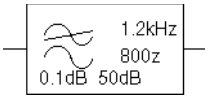


Figure 34 *Ejemplo de un filtro LOPASS.*

La Figura 34 muestra un ejemplo de un filtro LOPASS. El filtro permite pasar una frecuencia a partir de 800 KHz y corta a partir de 1.2 kHz. El rizado del pasa banda es de 0.1 dB y la mínima atenuación de la banda de corte es de 50 dB. Suponiendo que la entrada al filtro es la tensión en la conexión 10 y la salida es la tensión entre las conexiones 5 y 0, esto generará una declaración de lista de conexiones en PCpice A/D como esta:

```
ELOWPASS 5 0 CHEBYSHEV {V(10)} = LP 800 1.2K .1dB 50dB
```

HIPASS

FS	frecuencia de la banda de parada
FP	frecuencia del pasa banda
RIPPLE	rizado de la banda de paso en dB
STOP	atenuación de la banda de parada en dB

La parte HIPASS se caracteriza por dos frecuencias de corte que delimitan los límites del filtro pasa banda y del de corte. Los valores de atenuación, RIPPLE y STOP, definen la máxima atenuación posible en el pasa banda, y la mínima atenuación necesaria en el corte, respectivamente. La parte HIPASS proporciona una entrada y una salida.

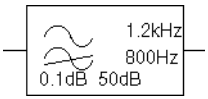


Figure 35 *Ejemplo de un filtro HIPASS.*

La Figura 35 muestra un ejemplo de un filtro HIPASS. Este es un filtro pasa alta con la pasa banda a partir de 1,2 Khz y un filtro de corte por debajo de 800 Hz. De nuevo, el rizado del pasa banda es de 0.1 dB y la mínima atenuación del corte es de 50 dB. Esto producirá una declaración de llista de conexiones en PCpice A/D como esta:

```
EHIGHPASS 5 0 CHEBYSHEV {V(10)} = HP 1.2K 800 .1dB 50dB
```

BANDPASS

RIPPLE	rizado de la banda de paso en dB
STOP	atenuación de la banda de parada en dB
F0, F1, F2, F3	frecuencias de corte

La parte BANDPASS se caracteriza por cuatro frecuencias de corte. Los valores de atenuación, RIPPLE y STOP, definen la máxima atenuación posible en el pasa banda, y la mínima

atenuación necesaria en el corte, respectivamente. La parte BANDPASS proporciona una entrada y una salida.

La Figura 36 muestra un ejemplo de un filtro BANDPASS. Este es un filtro pasa banda que permite el paso de las frecuencias comprendidas entre 1.2 kHz y 2 kHz, e impide el paso de las frecuencias por debajo de 800 Hz y por encima de 3 kHz. El rizado del pasa banda es de 0.1 dB y la mínima atenuación del corte es de 50 dB. Esto producirá una declaración de lista de conexiones en PCpice A/D como esta:

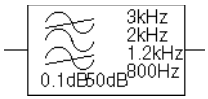


Figure 36 *Ejemplo de un filtro BANDPASS.*

```
EBANDPASS 5 0 CHEBYSHEV
+ {V(10)} = BP 800 1.2K 2K 3K .1dB 50dB
```

BANDREJ

RIPPLE	es el rizado de la banda de paso en dB
STOP	es la atenuación de la banda de parada en dB
F0, F1, F2, F3	son las frecuencias de corte

La parte BANDREJ se caracteriza por cuatro frecuencias de corte. Los valores de atenuación, RIPPLE y STOP, definen la máxima atenuación posible en el pasa banda, y la mínima atenuación necesaria en el corte, respectivamente. La parte BANDREJ proporciona una entrada y una salida.

La Figura 37 muestra un ejemplo de un filtro BANDREJ. Este es un filtro de rechazo de banda (o “notch”) que rechaza las frecuencias entre 1.2 kHz y2 kHz, y permite pasar las frecuencias por debajo de 800 Hz y por encima de 3 kHz. El rizado del pasa banda es de 0.1 dB y la mínima atenuación del corte es de 50 dB. Esto producirá una definición de lista de conexiones en PCpice A/D como esta:

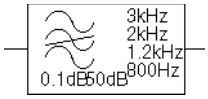


Figure 37 *Ejemplo de un filtro BANDREJ.*

```
ENOTCH 5 0 CHEBYSHEV {V(10)} = BR 1.2K 800 3K 2K .1dB 50dB
```

Integradores y diferenciación

Las partes integradoras y de diferenciación están descritas a continuación.

INTEG

IC	Condición inicial de la salida del integrador
GAIN	valor de la ganancia

La parte INTEG implementa un integrador simple. Se utiliza una fuente de corriente/condensador para dar soporte para fijar las condiciones iniciales.

DIFFER

GAIN	valor de la ganancia

La parte DIFFER implementa un diferenciador simple. Se utiliza una implementación de fuente de tensión/condensador. La parte DIFFER proporciona una entrada y una salida.

Partes de la tabla de bucle

Las partes TABLE y FTABLE proporcionan una tabla de bucle de corriente que se utiliza para correlacionar una entrada y una salida basadas en un conjunto de puntos de datos. Estas partes están descritas en las páginas siguientes.

TABLE

Si fueran necesarios más de cinco valores, la parte puede ser personalizada por medio del editor de partes. Insertar filas de variables adicionales y añadir propiedades ROW*n* si fuera necesario en la lista de propiedades.

ROW*n*	es una pareja (entrada, salida); por defecto, se permiten hasta cinco tercetos en donde *n*=1, 2, 3, 4, o 5

La parte TABLE permite que la respuesta pueda ser definida por una tabla de uno a cinco valores. Cada fila contiene una entrada y su correspondiente valor de salida. Se realiza una interpolación lineal entre las entradas.

Para valores que estén fuera de los rangos de la tabla, la salida del dispositivo es una constante con un valor igual a la entrada con la menor (o la mayor) entrada. Esta característica puede ser

utilizada para imponer un límite superior o inferior en la salida. La parte TABLE porporciona una entrada y una salida.

FTABLE

ROW*n*	tanto un terceto (frecuencia de entrada, magnitud , fase), o (frecuencia de entrada, parte real, parte imaginaria) describiendo un valor complejo, por defecto, se permiten hasta cinco tercetos en donde n=1, 2, 3, 4, o 5
DELAY	incremento del retardo del grupo, por defecto es 0 si se deja en blanco.
R_I	tipo de tabla; si se deja en blanco, la tabla de frecuencia se interpreta en el formato “entrada de frecuencia, magnitud o fase”; si se define con un valor (por ejemplo YES) la tabla se interpreta en el formato “frecuencia de entrada, parte real, parte imaginaria”.
MAGUNITS	unidades para magnitudes en donde el valor puede ser DB (decibelios) o MAG (magnitud raw); por defecto de DB si se deja en blanco
PHASEUNITS	unidades para fase en donde el valor puede ser DEG (grados) o RAD (radianes); por defecto en DEG si se deja en blanco.

Si fueran necesarios más de cinco valores, la parte puede ser personalizada por medio del editor de partes. Insertar filas de variables adicionales en la plantilla utilizando el mismo formato que las cinco primeras y añadir propiedades ROW*n* si fuera necesario en la lista de propiedades.

La parte FTABLE esta descrita por una tabla de respuesta en frecuencia tanto en el dominio de magnitud/fase (R_I=) o dominio en números complejos (R_I=YES). Toda la tabla es leída y convertida a una magnitud en dB en fase y grados.

Se realiza una interpolación entre las entradas. La magnitud se interpola logarítmicamente, la fase se interpola linealmente. Para frecuencias fuera del rango de la tabla, se utiliza una magnitud de 0 (cero). Esta característica puede ser utilizada para imponer un límite superior e inferior en la salida.

La propiedad DELAY incrementa el retardo del grupo de la tabla de frecuencias en la cantidad especificada. El término de retardo es especialmente útil cuando un dispositivo de la tabla de frecuencias genera un mensaje de aviso no causal durante el análisis de transitorios. Este mensaje de aviso da un valor de retardo que puede ser asignado a la propiedad de la parte DELAY para posteriores ejecuciones, sin tener que alterar la tabla.

La salida de la parte depende del análisis que se esté realizando. Para DC y el punto de trabajo, la salida es cero veces la magnitud de frecuencia de la tensión de entrada. Para un análisis AC, la tensión de entrada se linealiza alrededor del punto de trabajo (similar a las partes EVALUE y GVALUE, *Modelando interrelaciones matemáticas o instantáneas* en la página 222).

Para el análisis de transitorios, la tensión se evalúa a cada punto. La salida es entonces la convolución de los valores de pasadas con la respuesta del impulso de la respuesta en frecuencia. Estas reglas siguen el método estándar de uso de las transformadas de Fourier. recomendamos se lean una o más de las referencias citadas en *Modelos de dispositivos con dominio de frecuencia* en la página 227 para más información.

Note *Las frecuencias de la tabla deberán ir en orden del menor al mayor. La parte TABLE proporciona una entrada y una salida.*

Ejemplo

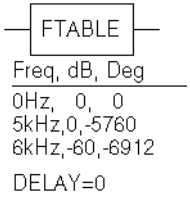


Figure 38 *Ejemplo de una parte FTABLE.*

Un dispositivo, ELOFILT, se utiliza como un filtro de frecuencia. La entrada a la respuesta en frecuencia es la tensión en la conexión 10. La salida es la tensión entre las conexiones 5 y 0. La tabla describe un filtro pasa bajo con una respuesta de 1 (0dB) para frecuencias por debajo de 5KHz y una respuesta de 0.001 (-60 dB) para frecuencias por encima de 6 KHz. La fase se retrasa linealmente con la frecuencia. esto es lo mismo que una constante de retardo de tiempo, La constante es necesaria de modo que la respuesta al impulso sea causal. Esto es, la respuesta al impulso no tenga componentes significativos antes del tiempo cero. Puede utilizarse la parte FTABLE en la figura Figura 38.

Esta parte se caracteriza por las siguientes propiedades:

```
ROW1 = 0Hz        0      0
ROW2 = 5kHz       0      -5760
ROW3 = 6kHz       -60    -6912
DELAY =
R_I =
MAGUNITS =
PHASEUNITS =
```

Como R_I, MAGUNITS, y PHASEUNITS son indefinidas, cada entrada a la tabla se interpreta como conteniendo frecuencia, valor de la magnitud en dB, y valores de fase en grados. El retardo por defecto es de 0.

Esto produce una declaración de netlist de PSpice A/D parecida a esta:

```
ELOFILT 5 0 FREQ {V(10)} = (0,0,0) (5kHz,0,-5760)
+ (6kHz,-60,-6912)
```

Como la constante de retardo del grupo se calcula a partir de los valores de una entrada a la tabla como:

group delay = phase / 360 / frequency

Puede definirse una copia equivalente FTABLE utilizando la propiedad DELAY. Para este ejemplo, el retardo del grupo es de 3.2 msec (6912 / 360 / 6k = 5760 / 360 / 6k = 3.2m). Asignaciones de propiedades equivalentes son:

```
ROW1 = 0Hz        0      0
ROW2 = 5kHz       0      0
ROW3 = 6kHz       -60    0
DELAY = 3.2ms
R_I =
MAGUNITS =
PHASEUNITS =
```

Esto produce una definición de lista de conexiones de PSpice A/D como esta:

```
ELOFILT 5 0 FREQ {V(10)} = (0,0,0) (5kHz,0,0) (6kHz,-60,0)
+ DELAY=3.2ms
```

Partes de transformadas de Laplace

La parte LAPLACE especifica una transformada de Laplace que se utiliza para determinar la salida para cada valor de entrada.

LAPLACE

NUM	numerador de la expresión Laplace
DENOM	denominador de la expresión Laplace

La parte LAPLACE utiliza la descripción de la transformada de Laplace. La entrada a la transformada es la tensión. El numerador y denominador de la función de la transformada de Laplace están definidos como propiedades para la parte.

Note *Tensiones, corrientes y TIME pueden no aparecer en la especificación de la transformada de Laplace.*

La salida de la parte depende del tipo de análisis que se esté realizando. Para DC y el punto de trabajo, la salida es cero veces la ganancia en frecuencia del valor de la entrada. La ganancia a frecuencia cero es el valor de la transformada de Laplace con s=0. El valor de la transformada de Laplace a una frecuencia se calcula sustituyendo $j \cdot \omega$ por s, en donde ω es $2\pi \cdot$ frecuencia. Para el análisis de transitorios, la salida es la convolución de la forma de onda de entrada con la respuesta al impulso de la transformada. Estas reglas siguen el método estándar de uso de las transformadas de Laplace.

Ejemplo uno

La entrada a la transformada de Laplace es la tensión en la conexión 10. La salida es una tensión y se aplica entre las conexiones 5 y 0. Para DC la salida es igual a la entrada, ya que la ganancia en s = 0 es 1. La transformada, $1/(1+.001 \cdot s)$, describe un sencillo integrador de pérdidas con una constante de tiempo de 1 milisegundo. Esto puede ser implementado con un par RC que posea una constante de tiempo de 1 milisegundo.

Para el análisis AC, la ganancia se calcula sustituyendo $j \cdot \omega$ por s. Esto da una respuesta plana a una frecuencia de $1000/(2\pi)$ = 159 herzios y un roll-off de 6 dB por octava después de 159 Hz. También hay un desplazamiento de fase centrado alrededor de

159 Hz. En otras palabras, la ganancia posee un componente real y otro imaginario. Para el análisis de transitorios, la salida es la convolución de la forma de onda de entrada con una respuesta del impulso de 1/(1+.001·s). La respuesta del impulso es una exponencial descendente con una constante de tiempo de 1 milisegundo. Esto significa que la salida es la "integral de pérdidas" de la entrada, en donde la pérdida posee una constante de tiempos de 1 milisegundo. La parte LAPLACE mostrada en la Figura 39 puede ser utilizada para este propósito.

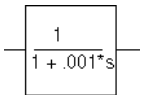


Figure 39 *Ejemplo uno de una parte LAPLACE.*

La función de transferencia es la transformada de Laplace (1/[1+.001*s]). Esta parte LAPLACE se caracteriza por las siguientes propiedades:

NUM = 1
DENOM = 1 + .001*s

Las características de ganancia y fase pueden verse en la Figura 40.

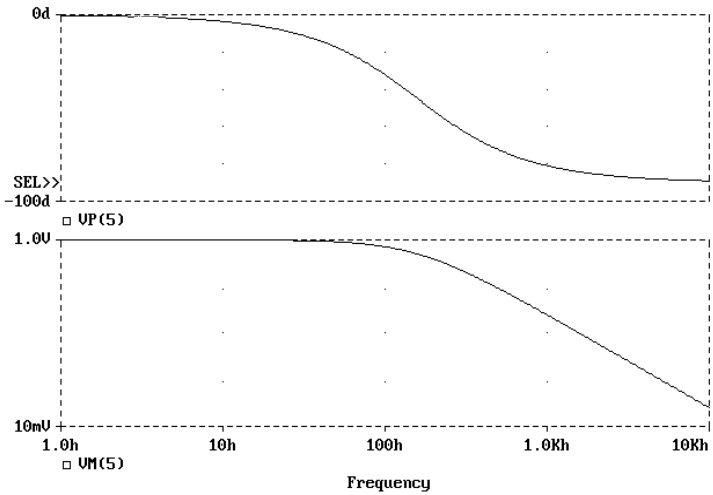


Figure 40 *Visualizando las características de ganancia y fase de un integrador con pérdidas.*

Esto produce una definición de lista de conexiones de PSpice A/D como esta:

```
ERC   5 0 LAPLACE {V(10)} = {1/(1+.001*s)}
```

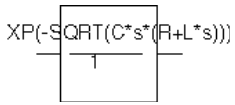


Figure 41 *Ejemplo dos de la parte LAPLACE.*

Ejemplo dos

La entrada es V(10). La salida es una corriente aplicada entre las conexiones 5 y 0. La transofmrada de Laplace describe una línea de transmisión con pérdidas. R, L y C, son la resistencia, la inductancia y la capacidad de la línea por unidad de longitud.

Si R es pequeña, las impedancia característica de la línea es $Z = ((R + j\cdot\omega\cdot L)/(j\cdot\omega\cdot C))^{1/2}$, el retardo por unidad de longitud es de $(L\ C)^{1/2}$, y la pérdida en decibelios por unidad de longitud de $23\cdot R/Z$. Esto puede ser representado por el dispositivo de la Figura 41.

Los parámetros R, L, y C pueden ser definidos en un estamento .PARAM contenido en un fichero de modelos. (Véase el *Manual de Referencia en Línea de OrCAD PSpice A/D* para más información sobre el uso de los estamentos .PARAM) Más útil es que R, L, y C sean argumentos pasados dentro de un subcircuito. Esta parte posee las siguientes características:

```
NUM = EXP(-SQRT(C*s*(R+L*s)))
DENOM = 1
```

Esto produce una declaración de lista de conexiones de PSpice A/D como esta:

```
GLOSSY 5 0 LAPLACE {V(10)} = {exp(-sqrt(C*s*(R + L*s)))}
```

Las partes de la transformada de Laplace son, de todas formas una forma nada eficaz, tanto en tiempo de ordenador como en memoria para implementar un retardo. Para retardos ideales, recomendamos utilizar en su lugar la parte de líneas de transmisión.

Funciones Math

Las partes de la función matemática ABM se muestran en la Tabla 16. Para cada dispositivo, se muestra la plantilla correspondiente, indicando el orden en el que son procesadas las entradas, si fuera aplicable.

Table 16 *Partes de la función matemática ABM*

Para este dispositivo...	**La salida es...**
ABS	valor absoluto de la entrada
SQRT	raiz cuadrada de la entrada
PWR	resultado de llevar en valor absoluto a la entrada del valor especificado por EXP
PWRS	resultado de llevar el valor de entrada (marcado) al especificado por EXP
LOG	LOG de la entrada
LOG10	LOG_{10} de la entrada
EXP	resultado de llevar *e al valor especificado por el valor de entrada* (e^x *en donde* x es la entrada)
SIN	*sin* de la entrada (entrada en radianes)
COS	*cos* de la entrada (entrada en radianes)
TAN	*tan* la entrada (entrada en radianes)
ATAN, ARCTAN	tan^{-1} la entrada (entrada en radianes)

Las partes de funciones matemáticas están basadas en el tipo de dispositivo “E” de PSpice A/D. Cada una proporciona una o más entradas y una función matemática que es aplicada a la entrada. El resultado se saca en la conexión de salida.

Partes de expresión ABM

La expresión parts se muestra en la Tabla 17. Estas partes pueden ser personalizadas para realizar una variedad de funciones dependiendo de sus necesidades. Cada una de estas partes posee un conjunto de propiedades de un bloque construido por *cuatro expresiones* de la forma:

EXP*n*

en donde *n* = 1, 2, 3, o 4.

Durante la generación de la lista de conexiones, la expresión completa se forma concatenando las expresiones de los bloques construidos en orden numérico, definiendo así la función de transferencia. Así, el fragmento de la primera expresión será asignado a la propiedad EXP1, el segundo fragmento a EXP2, y así sucesivamente.

Las propiedades de la expresión pueden ser definidas utilizando una combinación de operadores aritméticos y designadores de entrada. Puede utilizar cualquiera de los operadores aritméticos estándares de PSpice A/D (véase la Tabla 9 en la página 111) dentro del estamento de la expresión. También puede utilizar las propiedades EXP*n* como variables para representar conexiones o constantes.

Table 17 *Partes de la expresión ABM*

Parte	Entradas	Salida
ABM	ninguna	V
ABM1	1	V
ABM2	2	V
ABM3	3	V
ABM/I	ninguna	I
ABM1/I	1	I
ABM2/I	2	I
ABM3/I	3	I

El siguiente ejemplo ilustra una variedad de aplicaciones de las partes de la expresión ABM.

Ejemplo uno

Supongamos que queremos fijar una tensión de salida en la conexión 4 a 5 veces la raiz cuadrada de la tensión entre las conexiones 3 y 2. Puede utilizarse una parte ABM2 (que usa 2 entradas y da una tensión de salida) para definir una parte como la de la Figura 42.

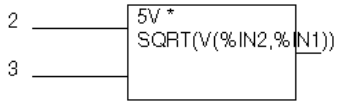


Figure 42 *Ejemplo uno de la parte de la expresión ABM.*

En este ejemplo de un dispositivo ABM, la tensión de salida se fija a 5 veces la tensión de la raiz cuadrada de la tensión entre las las conexiones 3 y 2. Los valores de propiedades para esta parte son los siguientes:

EXP1 = 5V *
EXP2 = SQRT(V(%IN2,%IN1))

Esto produce una declaración de lista de conexiones de PSpice A/D como esta:

```
ESQROOT 4 0 VALUE = {5V*SQRT(V(3,2))}
```

Ejemplo dos

GPSK es un oscilador para el modulador PSK (Phase Shift Keyed). La corriente va de la conexión 11 a través de la fuente a la conexión 6. Su valor es una onda senoidal con una amplitud de 15 mA y una frecuencia de 10 kHz. La tensión de la conexión 3 puede desplazar la fase de GPSK en 1 radian/volt. Fíjese en el uso del parámetro TIME en la expresión EXP2. Esta es la variable de barrido interna de PSpice A/D utilizada en el análisis de transitorios. Para cualquier otro barrido que no sea el de transitorios, TIME = 0. Esto puede ser representado con una parte ABM1/I una entrada, corriente de salida) como la mostrada en la Figura 43.

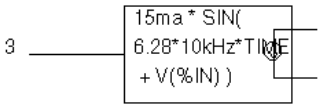


Figure 43 *Ejemplo dos de la parte de la expresión ABM.*

Esta parte se caracteriza por las siguientes propiedades:

EXP1 = 15ma * SIN(
EXP2 = 6.28*10kHz*TIME
EXP3 = + V(%IN))

Esto produce una definición de lista de conexiones de PSpice A/D como esta:

```
GPSK   11 6 VALUE = {15MA*SIN(6.28*10kHz*TIME+V(3))}
```

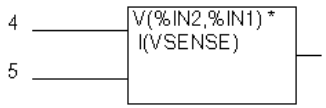


Figure 44 *Ejemplo tres de la parte de la expresión ABM.*

Ejemplo tres

Un dispositivo, EPWR, calcula la potencia instantánea multiplicando la tensión entre las conexiones 5 y 4 por la corriente que pasa a través de VSENSE. Las fuentes están controladas por expresiones que pueden contener tensiones, corrientes o ambas. La parte ABM2 (dos entradas, corriente de salida) en la Figura 44 puede representar esto.

Esta parte está caracterizada por las siguientes propiedades:

EXP1 = V(%IN2,%IN1) *
EXP2 = I(VSENSE)

Esto produce una declaración de lista de conexiones de PSpice A/D como esta:

```
EPWR   3 0 VALUE = {V(5,4)*I(VSENSE)}
```

Ejemplo cuatro

La salida de un componente, GRATIO, es una corriente cuyo valor (en amperios) es igual a ratio de las tensiones en las conexiones 13 y 2. Si V(2) = 0, la salida depende de V(13) así:

si V(13) = 0, salida = 0
si V(13) > 0, salida = MAXREAL
si V(13) < 0, salida = -MAXREAL

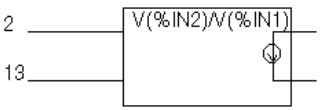


Figure 45 *Ejemplo cuatro de la parte de la expresión ABM.*

en donde MAXREAL es una constante interna de PSpice A/D representando un número muy grande (del orden de 1e30). En general, el resultado de evaluar una expresión está limitado a MAXREAL. Este está modelado con una parte ABM2/I (dos entradas, corriente de salida) como el de la Figura 45.

Esta parte se caracteriza por las siguientes propiedades:

EXP1 = V(%IN2)/V(%IN1)

Fíjese que la salida de GRATIO puede ser utilizada como parte de la función de control. Esto produce una definición de lista de conexiones de PSpice A/D como esta:

```
GRATIO 2 3 VALUE = {V(13)/V(2)}
```

Note *Dejar que la corriente se acerque a ±1e30 puede provocar ciertos problemas de convergencia. Para evitar esto, utilice la función limit para mantenerse dentro de unos límites razonables.*

Un ejemplo de un dispositivo instantáneo: modelando un triodo

Esta sección da un ejemplo de cómo utilizar varias partes ABM para modelar y triodo. El esquema del triodo se muestra en la Figura 46.

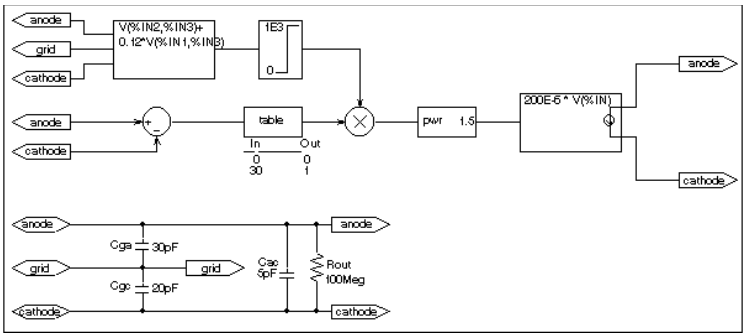


Figure 46 *Circuito triodo.*

En su zona de funcionamiento, la corriente del triodo es proporcional a 3/2 de la potencia de una combinación lineal de las tensiones de rejilla y ánodo:

$$ianode = k_0*(v_g + k_1*va)^{1.5}$$

Para un triodo típico, k_0 = 200e-6 y k_1 = 0.12.

En la parte superior izquierda del esquema, veremos una parte ABM de propósito general utilizada para tomar las tensiones de entrada del ánodo, rejilla y cátodo. Supongamos las asociaciones siguientes:

- V(ánodo) está asociado con V(%IN1)
- V(rejilla) está asociado con V(%IN2)
- V(cátodo) está asociado con V(%IN3)

La expresión EXP1 representa entonces V(rejilla, cátodo) y la expresión de la propiedad EXP2 representa 0.12[V(ánodo, cátodo)]. Cuando se realice la sustitución de la plantilla, el VALUE resultante es equivalente a:

V = V(rejilla, cátodo) + 0.12*V(ánodo, cátodo)

La parte deberá ser definida con las siguientes características:

EXP1 = V(%IN2,%IN3)+
EXP2 = 0.12*V(%IN1,%IN3)

Esto funciona en la zona de trabajo proncipal, pero no modela el caso en el que la corriente permanece a 0 cuando las tensiones combinadas de la rejilla y del ánodo son negativas. Podemos ver esa situación añadiendo la parte LIMIT con las siguientes características:

HI = 1E3
LO = 0

Esta parte, LIMIT1, convierte todos los valores negativos de v_g+.12*v_a a 0 y mantiene los valores positivos (hasta 1 kV) como antes. Para un modelo más realista, podríamos haber utilizado TABLE para modelar de forma correcta cómo el tubo se desactiva a 0 o a tensiones de rejilla ligeramente negativas.

También necesitamos asegurarnos que la corriente es cero cuando el ánodo es negativo. Para ello, podemos utilizar un dispositivo DIFF, (inmediatamente después del dispositivo ABM3) para monitorizar la diferencia entre V(ánodo) y V(cátodo), y sacar la diferencia a la parte TABLE. La tabla translada todos los valores por debajo de cero a cero, y todos los valores por encima de 30 a uno. Todos los valores entre 09 y 30 son interpolados de forma lineal. Las propiedades para la parte TABLE son las siguientes:

ROW1 = 00
ROW2 = 301

La parte TABLE es un uno, y asegura que sólo dará un cero al multiplicador para tensiones de ánodo negativas.

La salida de la parte TABLE y la parte LIMIT está combinada en la parte multiplicadora MULT. La salida de la parte MULT es el producto de las dos tensiones de entrada. Esta parte cae a los 3/2 o 1.5 de la potencia utilizando la parte PWR. La propiedad exponencial de la parte PWR está definida como sigue:

EXP = 1.5

El último componente principal es un componente de una expresión ABM que toma una tensión de entrada y la convierte en una corriente. La parte relevante de la propiedad ABM1/I es así:

EXP1 = 200E-6 * V(%IN)

El paso final en el modelo es añadir parásitos al dispositivo. Por ejemplo, una resistencia puede utilizarse para dar una impedancia de salida infinita. También son necesarias las capacidades entre la rejilla, el cátodo y el ánodo. La parte inferior del esquema de la Figura 46 muestra un posible método para incorporar estos efectos. Para completar el ejemplo, uno puede añadir un circuito que produzca la familia de curvas I-V (mostrada en la Figura 47).

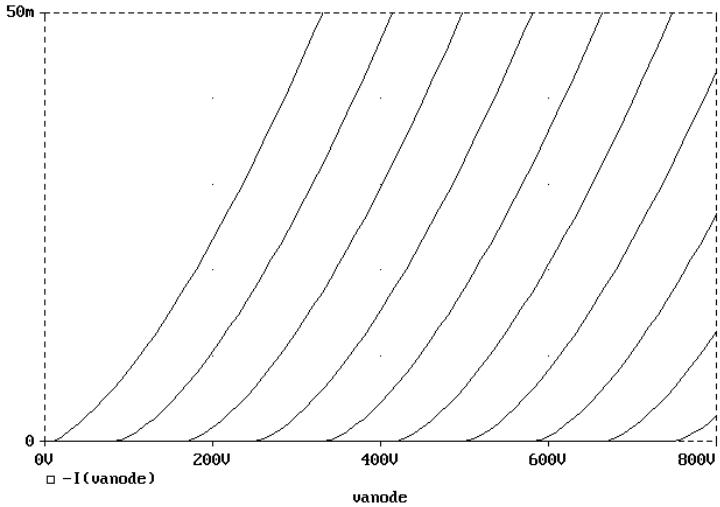


Figure 47 *Subcircuito de un triodo produciendo la familia de curvas I-V.*

Partes equivalentes de PSpice A/D

Las partes equivalentes de PSpice A/D responden a diferentes entradas y poseen una salida doble. Estas partes reflejan la estructura de los dispositivos E y G de PSpice A/D, ambos teniendo dos pines para cada entrada controlada y la salida en la parte. La Tabla 18 resume las partes equivalentes de PSpice A/D disponibles en la librería de partes.

Table 18 *Partes equivalentes de PSpice A/D*

Categoria	Parte	Descripción	Propiedades
Expresión matemática	EVALUE	propósito general	EXPR
	GVALUE		
	ESUM	propósito especial	(none)
	GSUM		
	EMULT		
	GMULT		
Tabla de bucle	ETABLE	propósito general	EXPR
	GTABLE		TABLE
Tabla de bucle de frecuencia	EFREQ	propósito general	EXPR
	GFREQ		TABLE
Transformada de Laplace	ELAPLACE	propósito general	EXPR
	GLAPLACE		XFORM

No hay equivalencia entre los tipos de partes "F" o "H" ya que " y "H" de PSpice A/D no soportan las extensiones ABM.

Las partes equivalentes ABM de PSpice A/D pueden ser clasificadas tanto como tipos de dispositivos "E" o "G". La parte "E" da una tensión de salida y la parte "G" da una corriente de salida. La función de transferencia del dispositivo puede contener cualquier mezcla de tensiones y corrientes como entradas. De ese modo no hay una separación grande entre partes controladas por tensión o por corriente. El tipo de parte está dictado únicamente por los requerimientos de salida. Si

fuera necesaria una tensión de salida, se utilizará una parte “E”. Si fuera necesaria una corriente de salida, se utilizará una parte “G”.

Cada parte E o G en el fichero de partes ABM.OLB está definida por una plantilla que da las especificaciones de la función de transferencia. También pueden editarse otras propiedades de la definición del modelo para personalizar la función de transferencia. Por defecto, la plantilla no puede ser modificada directamente seleccionando Properties en el menú Edit en Capture. En su lugar, los valores de otras propiedades (como pueden ser las expresiones utilizadas en la plantilla) normalmente son editadas, y después esos valores serán sustituidos en la plantilla. El editor de partes puede ser utilizado para modificar la plantilla o definir la plantilla como modificable desde Capture. De esta forma pueden crearse partes especiales para aplicaciones de propósito general.

Implementación de las partes equivalentes de Spice A/D

Si bien generalmente se utilizará Capture para posicionar y especificar partes ABM equivalentes en PSpice A/D, es muy útil conocer la sintaxis de comandos de PSpice A/D para dispositivos “E” y “G”. Esto es especialmente cierto cuando se creen partes personalizadas ABM que deberán cumplir con la sintasis de PSpice A/D.

Las formas generales para las extensiones “E” y “G” de PSpice A/D son:

E *<name> <connecting nodes> <ABM keyword> <ABM function>*

G *<name> <connecting nodes> <ABM keyword> <ABM function>*

En donde

<name>	es el nombre del dispositivo añadido al carácter de tipo de dispositivo E o G
<connecting nodes>	especifica el par <(+ *nombre_del_nodo*, - *nombre_del_nodo*)> entre los que se conecta el dispositivo

<ABM keyword>	Especifica la forma en que se utilizará la función de transferencia. Puede ser:	
	VALUE	espresión aritmética
	TABLE	lookup table
	LAPLACE	transformada de Laplace
	FREQ	frequency response table
	CHEBYSHEV	Chebyshev filter characteristics
<ABM function>	especifica la función de transferencia como una fórmula o tabla de bucle por la *<ABM keyword> especificada*	

Acuda al *Manual de Referencia en Línea de OrCAD PSpice A/D* para más información.

Modelando interrelaciones matemáticas o instantáneas

Los modelos instantáneos (utilizando las extensiones VALUE y TABLE en los dispositivos “E” y “G” de PSpice A/D “E” en las plantillas de partes) fuerzan una respuesta directa en la entrada a cada momento de tiempo. Por ejemplo, la salida puede ser igual a la raiz cuadrada de la entrada en cada momento. Este tipo de dispositivo no tiene memoria, o una respuesta en frecuencia plana. Estas técnicas pueden ser utilizadas para modelar respuestas en frecuencia lineales y no lineales.

Note *Para un análisis AC de un dispositivo no lineal, se linealiza primero alrededor del punto de trabajo, y después se utiliza el equivalente lineal.*

Partes EVALUE y GVALUE

Las partes EVALUE y GVALUE permiten que una función de transferencia instantánea sea escrita como una expresión matemática en notación estándar. Estas partes toman la señal de entrada, realizan la función especificada por la propiedad EXPR en la señal y devuelven el resultado a los pines de salida.

En fuentes controladas, EXPR puede contener constantes y parámetros así como tensiones, corrientes y tiempos. Las tensiones pueden ser la tensión de una conexión, como por ejemplo V(5), o la tensión entre dos conexiones, como por ejemplo V(4,5). Las corrientes deberán ser la corriente a través de una fuente de tensión (dispositivo V), por ejemplo, I(VSENSE). Las fuentes de tensión con un valor de 0 se utilizan como un sensor de corriente en estas expresiones.

Las funciones pueden ser utilizadas en expresiones, junto con operadores aritméticos (+, -, *, y /) y paréntesis. Las funciones ya construidas disponibles están resumidas en la Tabla 10 en la página 112.

Las partes EVALUE y GVALUE están definidas, en parte, por las siguientes propiedades (se muestran los valores por defecto):

EVALUE

EXPR V(%IN+, %IN-)

GVALUE

EXPR V(%IN+, %IN-)

Las fuentes están controladas por expresiones que pueden contener tensiones, corrientes o ambas. Los ejemplos siguientes ilustran partes personalizadas EVALUE y GVALUE.

Ejemplo 1

En el ejemplo del dispositivo EVALUE mostrado en la Figura 48, la tensión de salida se fija a 5 veces la raiz cuadrada de la tensión entre los pines %IN+ y %IN-.

Los valores de propiedades para este dispositivo son:

EXPR = 5v * SQRT(V(%IN+,%IN-))

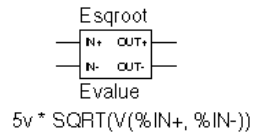


Figure 48 *Ejemplo de la parte EVALUE.*

Ejemplo 2

Consideremos el dispositivo de la Figura 49. Este dispositivo puede ser utilizado como un oscilador en un modulador PSK (Phase Shift Keyed).

Una corriente a través de una fuente es una onda senoilar con una amplitud de 15 mA y una frecuencia de 10KHz. La tensión en el pin de entrada puede desplazar la fase en 1 radian/voltio.

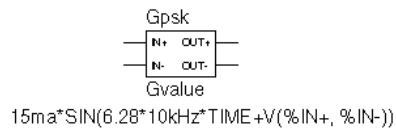


Figure 49 *Ejemplo de la parte GVALUE.*

Fíjese en el uso del parámetro TIME en esta expresión. Esta es la variable de barrido interna de PSpice A/D utilizada en el análisis de transistorios para cualquier otro análisis que no sea el de transitorios, TIME = 0. Los valores de propiedad resaltables para este dispositivo se muestran a continuación:

```
EXPR = 15ma*SIN(6.28*10kHz*TIME+V(%IN+,%IN-))
```

EMULT, GMULT, ESUM, y GSUM

Las partes EMULT y GMULT dan una salida que está basada en el producto de dos fuentes de entrada. Las partes ESUM y GSUM dan una salida que está basada en la suma de dos fuentes de entrada. La función de transferencia completa puede contener otras expresiones matemáticas.

Ejemplo 1

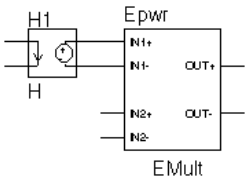


Figure 50 *Ejemplo de una parte EMULT.*

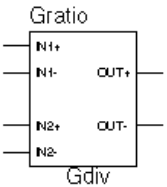
Consideremos el dispositivo de la Figura 50. Este dispositivo calcula la potencia instantánea multiplicando la tensión entre los pines %IN+ y %IN- por la corriente a través de VSENSE. Este comportamiento del dispositivo está construido en la propiedad PSPICETEMPLATE como sigue (aparece en una sola línea):

```
TEMPLATE=E^@REFDES %OUT+ %OUT- VALUE {V(%IN1+,%IN1-)
    *V(%IN2+,%IN2-)}
```

Puede utilizar el editor de partes para cambiar las características de la plantilla y ajustarla a funciones matemáticas adicionales, o para cambiar la naturaleza de la propia función de transferencia. Por ejemplo, puede querer crear un divisor de tensión, en lugar de un multiplicador. Esto puede verse en el ejemplo siguiente:

Ejemplo 2

Consideremos el dispositivo de la Figura 51.




```
G^@REFDES %OUT+ %OUT- VALUE {V(%IN1+,%IN1-)/V(%IN2+,%IN2-)}
```

Figure 51 *Ejemplo de una parte GMULT.*

Con este dispostivo, la salida es una corriente igual al ratio de las tensiones en los ponesde entrada 1 y 2. Si V(%IN2+, %IN2-) = 0, la salida depende de V(%IN1+, %IN1-) como se muestra:

Si V(%IN1+, %IN1-) = 0, salida = 0
Si V(%IN1+, %IN1-) > 0, salida = MAXREAL
Si V(%IN1+, %IN1-) < 0, salida = -MAXREAL

En donde MAXREAL es una constante interna representando un número muy grande (del orden de 1e30). En general, el resultado de evaluar una expresión está limitado a MAXREAL. Fíjese que la salida de la parte puede ser utilizada también como parte de la función controlada.

Para crear este dispositivo, deberá crear primero una nueva parte, GDIV, basada en la parte GMULT. Editar la plantilla GDIV para dividir los dos valores de entrada en lugar de multiplicarlos.

Tablas de bucles (ETABLE y GTABLE)

Las partes ETABLE y GTABLE utilizan una función de transferencia descrita por una tabla. Estos modelos de dispositivos son muy útiles para utilizarlos con datos medidos.

Las partes ETABLE y GTABLE están definidas en parte por las siguientes propiedades (se muestran los valores por):

ETABLE

TABLE	(-15, -15), (15,15)
EXPR	V(%IN+, %IN-)

GTABLE

TABLE	(-15, -15), (15,15)
EXPR	V(%IN+, %IN-)

Primero, se evalúa EXPR, y ese valor se utiliza para buscar una entrada en una tabla. EXPR es una función de la entrada (tensión o corriente) y sigue las mismas reglas que para las expresiones VALUE.

La tabla consiste en parejas de valores, el primero es la entrada, y el segundo su salida correspondiente. Entre las entradas se realiza una interpolación lineal. Para valores de EXPR fuera del rango de la tabla, la salida del dispostivo es una constante con un valor igual a la entrada que contenga la menor (o mayor) entrada. Esta característica puede ser utilizada para fijar un límite superior e inferior en la salida.

Un ejemplo de una declaración de tabla (utilizando la propiedad TABLE) podría ser lo siguiente:

```
TABLE =

+ (0, 0) (.02, 2.690E-03) (.04, 4.102E-03) (.06, 4.621E-03)

+ (.08, 4.460E-03) (.10, 3.860E-03) (.12, 3.079E-03) (.14,
+ 2.327E-03)

+ (.16, 1.726E-03) (.18, 1.308E-03) (.20, 1.042E-03) (.22,
+ 8.734E-04)

+ (.24, 7.544E-04) (.26, 6.566E-04) (.28, 5.718E-04) (.30,
+ 5.013E-04)

+ (.32, 4.464E-04) (.34, 4.053E-04) (.36, 3.781E-04) (.38,
+ 3.744E-04)

+ (.40, 4.127E-04) (.42, 5.053E-04) (.44, 6.380E-04) (.46,
+ 7.935E-04)

+ (.48, 1.139E-03) (.50, 2.605E-03) (.52, 8.259E-03) (.54,
+ 2.609E-02)

+ (.56, 7.418E-02) (.58, 1.895E-01) (.60, 4.426E-01)
```

Modelos de dispositivos con dominio de frecuencia

Los modelos con dominio en frecuencia (ELAPLACE, GLAPLACE, EFREQ, y GFREQ) se caracterizan por una salida que depende de la corriente de entrada así cómo del histórico de la entrada. La interrelación puede no ser instantánea. Por ejemplo, la salida puede ser igual a la integral de la entrada en el tiempo. En otras palabras, la respuesta depende de la frecuencia.

Durante el análisis AC, la respuesta en frecuencia determina la ganancia completa a cada frecuencia. Durante el análisis DC y el cálculo del punto de trabajo, la ganancia es la respuesta a frecuencia cero. Durante el análisis de transitorios, la salida del dispositivo es la convolución de la entrada y la respuesta del dispositivo al impulso.

Si nos movemos hacia adelante y atrás en el tiempo, pueden verse resultados sorprendentes. Los resultados pueden ser totalmente diferentes de lo que se espera. Por esta razón, recomendamos familiarizarse con las transformadas de Laplace y Fourier. Un buen manual es:

1 R. Bracewell, *Las transformadas de Fourier y sus aplicaciones*, McGraw-Hill, Revised Seguna Edición (1986)

Recomendamos también familiarizarse con el uso de transformadas en el análisis de sistemas lineales. Algunas referencias son:

2 W. H. Chen, *The Analysis of Linear Systems*, McGraw-Hill (1962)

3 J. A. Aseltine, *Transform Method in Linear System Analysis*, McGraw-Hill (1958)

4 G. R. Cooper and C. D. McGillen, *Methods of Signal and System Analysis*, Holt, Rinehart, and Winston (1967)

Transformadas de Laplace (LAPLACE)

Las partes ELAPLACE y GLAPLACE premiten describir una función de transferencia por medio de una transformada de Laplace. Las partes ELAPLACE y GLAPLACE están definidas en parte, por las siguientes propiedades (se muestran sus valores por defecto):

```
ELAPLACE

    EXPR        V(%IN+, %IN-)
    XFORM       1/s

GLAPLACE

    EXPR        V(%IN+, %IN-)
    XFORM       1/s
```

La parte LAPLACE utiliza una descripción de la transformada de Laplace. La entrada de la transformada es el valor de EXPR, en donde EXPR sigue las mismas reglas que las expresiones VALUE (véase *Partes EVALUE y GVALUE* en la página 222). XFORM es una expresión de la variable Laplace. Sigue las

Las tensiones, corrientes y TIME no pueden aparecer en una transformada de Laplace.

reglas de las expresiones estándares descritas para las expresiones VALUE con la adición de la variable s.

La salida del dispositivo depende del tipo de análisis que se esté realizando. Para DC y el punto de trabajo, la salida es la ganancia a frecuencia cero del valor de EXPR. La ganancia a frecuencia cero es el valor de XFORM con s=0. Para el análisis AC, EXPR está linealizado alrededor del punto. El valor de XFORM a una frecuencia se calcula sustituyendo j·w por s, en donde w es 2p·frecuencia. Para el análisis de transitorios, el valor de EXPR se evalúa en cada unidad de tiempo. La salida es entonces la convolución de los valores de pasada de EXPR con la respuesta al impulso de XFORM. Estas reglas siguen el método estándar de uso de las transformadas de Laplace. Recomendamos mirar una o más referencias citadas en *Modelos de dispositivos con dominio de frecuencia* en la página 227 para más información.

Example

La entrada a la transformada de Laplace es la tensión en los pines de entrada, o V(%IN+, %IN-). La propiedad EXPR puede ser editada para que incluya constantes o funciones, así como otras partes. La transformada, 1/(1+.001·s), describe un integrador de pérdidas con una constante de tiempo de 1 milisegundo. Esto puede ser implementado con una pareja RC que posea una constante de tiempo de 1 milisegundo.

Utilizando el editor de partes, definirá las propiedades XFORM y EXPR así:

```
XFORM = 1/(1+.001*s)
EXPR = V(%IN+, %IN-)
```

La plantilla por defecto permanece (aparece en una línea):

```
TEMPLATE= E^@REFDES %OUT+ %OUT- LAPLACE
{@EXPR}= (@XFORM)
```

Después de la sustitución de la lista de conexiones de la plantilla, la función de transferencia resultante será:

```
V(%OUT+, %OUT-) = LAPLACE {V(%IN+, %IN-)}= (1/1+.001*s))
```

La salida es una tensión y será aplicada entre los pines %OUT+ y %OUT-. Para DC, la salida es igual a la entrada, ya que la ganancia en s = 0 es 1.

Para el análisis AC, la ganancia se calcula sustituyendo j·ω por s. Esto da una respuesta plana en una frecuencia de 1000/(2π) = 159 Hz y un roll-of de 6 dB por octava después de 159 Hz. Hay también un desplazamiento de fase centrado alrededor de 159 Hz. En otras palabras, la ganancia posee una parte real y otra imaginaria. Las características de ganancia y fase son las mismas que las mostradas en el ejemplo del sistema de control utilizando la parte LAPLACE (Véase la Figura 40 en la página 211).

Para el análisis de transitorios, la salida es la convolución de la onda de entrada con la respuesta al impulso de 1/(1+.001·s). La respuesta al impulso es una exponencial decayente con una constante de tiempo de 1 milisegundo. Esto significa que la salida es la "integral de pérdidas" de la entrada, en donde la pérdida tiene una constante de tiempo de 1 milisegundo.

Esto produce una definición de lista de conexiones de PSpice A/D como esta:

```
ERC 5 0 LAPLACE {V(10)} = {1/(1+.001*s)}
```

Tablas de respuesta en frecuencia (EFREQ y GFREQ)

Las partes EFREQ y GFREQ están descritas por medio de una tabla de respuesta de frecuencia tanto con dominio en magnitud/fase como en números complejos. Toda la tabla se lee y se convierte a magnitudes en dB y fase en grados. La fase se interpola linealmente y la magnitud se interpola logarítmicamente. Para frecuencias más alla del rango de la tabla, se utiliza una magnitud de cero (0).

Las propiedades EFREQ y GFREQ están definidas así:

EXPR	valor utilizado por la tabla de bucle; por defecto a V(%IN+, %IN-) si se deja en blanco.
TABLE	Series de tercetos “frecuencia de entrada, magnitud, fase”, o “frecuencia de entrada, parte real, parte imaginaria” describiendo un valor complejo; por defecto a (0,0,0) (1Meg,-10,90) si se deja en blanco.
DELAY	incremento de retardo del grupo, por defecto a 0 si se deja en blanco.
R_I	tipo de tabla, si se deja en blanco, la tabla de frecuencias se interpreta en el formato (frecuencia de entrada, magnitud y fase); si se define con algún valor, (como YES) la tabla se interpretará en el formato (frecuencia de entrada, parte real y parte imaginaria).
MAGUNITS	unidades de magnitud, en donde el valor) o MAG (magnitud rew) por defecto en DB si se deja en blanco.
PHASEUNITS	Unidades de fase en donde el valor puede ser DEG (grados) o RAD (radianes). Por defecto en DEG si se deja en blanco.

La propiedad DELAY incrementa el retardo del grupo de la tabla de frecuencias en la cantidad especificada. El término de retardo es muy práctico cuando un dispositivo de tipo EFREQ o GFREQ genera un mensaje de no causalidad durante el análisis de transitorios. El mensaje de aviso genera un valor de retardo que puede ser asignado a la propiedad DELAY de la parte para posteriores ejecuciones, sin tener que alterar la tabla.

La salida del dispositivo depende del análisis que se esté realizando. Para DC y punto de trabajo, la salida es las veces del valor de EXPR de la magnitud de frecuencia cero. Para el análisis AC, EXPR se linealiza alrededor del punto de trabajo (parecido a las partes EVALUE y GVALUE). La salida para cada frecuencia será la entrada por la ganancia de EXPR veces el valor de la tabla a esa frecuencia. Para el análisis de

transitorios, el valor de EXPR se evalúa en cada momento. La salida será la convolución de los valores pasados de EXPR con la respuesta al impulso de la respuesta en frecuencia. Estas reglas siguen el método estándar de uso de las transformadas de Fourier transforms. Recomendamos mirar una o más de las referencias citadas en *Modelos de dispositivos con dominio de frecuencia* en la página 227 para más información.

Note *La tabla de frecuencias deberá estar ordenadas de menor a mayor.*

La Figura 52 muestra un dispositivo EFREQ utilizado como un filtro pasa baja. La entrada de la respuesta en frecuencia es la tensión entre los pines de entrada. La tabla describe un filtro pasa baja con una respuesta de 1 (0 dB) para frecuencias por debajo de 5 kilohertz y una respuesta de .001 (-60 dB) para frecuencias por encima de 6 kilohertz. La salida es la tensión entre los pines de salida.

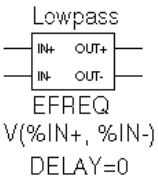


Figure 52 *Ejemplo de una parte EFREQ.*

Esta parte está definida por las siguientes propiedades

```
TABLE = (0, 0, 0) (5kHz, 0, -5760) (6kHz, -60, -6912)
DELAY =
R_I =
MAGUNITS =
PHASEUNITS =
```

Como R_I, MAGUNITS, y PHASEUNITS están indefinidas, cada entrada a la tabla se interpreta como conteniendo frecuencia, valor de la magnitud en dB y valores de fase en grados. El retardo por defecto es 0.

La fase va retrasada linealmente con la frecuencia, indicando que esta tabla tiene un retardo de tiempo constante (grupo). El retardo es necesario para que la respuesta al impulso sea causal. Esto es, que la respuesta al impulso no posea componentes significativos antes del tiempo cero.

La constante de retardo del grupo se calcula a partir de los valores para una determinada entrada de la tabla como sigue:

group delay = phase / 360 / frequency

Para este ejemplo, el retardo del grupo es de 3.2 msec (6912 / 360 / 6k = 5760 / 360 / 6k = 3.2m). Una especificación alternativa para esta tabla puede ser:

```
TABLE = (0, 0, 0) (5kHz, 0, 0) (6kHz, -60, 0)
DELAY = 3.2ms
```

```
R_I =
MAGUNITS =
PHASEUNITS =
```

Esto produce una definición de lista de conexiones de PSpice A/D como esta:

```
ELOWPASS 5 0 FREQ {V(10)} = (0,0,0) (5kHz,0,0) (6kHz-60,0)
+ DELAY = 3.2ms
```

Precauciones y recomendaciones para la simulación y el análisis

Modelado de dispositivos instantáneos

Durante el análisis AC, las funciones de transferencia no lineales se manejan del mismo modo que otras partes no lineales; cada función se linealiza alrededor del punto de trabajo y se utiliza el equivalente de pequeña señal resultante.

Consideremos el multiplicador de tensión (mezclador) mostrado en la Figura 53. Este circuito tiene las siguientes características:

Vin1:	DC=0v	AC=1v
Vin2:	DC=0v	AC=1v

En donde la salida en la conexión 3 es V(1)*V(2).

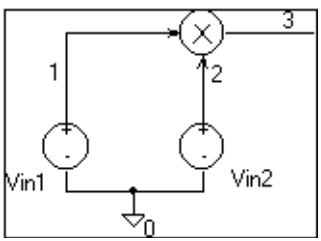


Figure 53 *Circuito multiplicador de tensión*

Durante el análisis AC, V(3) = 0 debido a los 0 voltios del punto de trabajo en las conexiones 1, 2 y 3. El equivalente de pequeña señal tiene una ganancia de 0 (la derivada de V(1)*V(2) respecto a V(1) y V(2) cuando V(1)=V(2)=0). La salida del mezclador durante el análisis AC será 0 sin que afecten los valores AC de V(1) y V(2).

Otra forma de ver esto es que el mezclador es un dispositivo no lineal y el análisis AC es un análisis lineal. La salida del mezclador tiene una amplitud de 0 como fundamental (La salida

no es cero entre DC y dos veces la frecuencia de entrada, pero esto no está incluido en un análisis lineal.

Si necesitara analizar funciones no lineales, como un mezclador, utilice el análisis de transitorios. El análisis de transitorios resuelve completamente las ecuaciones de circuitos no lineales. También le permite utilizar formas de ondas con diferentes frecuencias (por ejemplo VIN1 puede ser de 90 MHz y VIN2 puede ser de 89.8 MHz). El análisis AC no tiene esta flexibilidad pero en cambio utiliza mucho menos tiempo de cálculo.

Partes con dominio en frecuencia

Hay que tener cuidado cuando se mueva entre dominios de frecuencia y tiempo. Esta sección explica varios puntos que están envueltos en la implementación de partes con dominio en frecuencia. Todas estas atañen al análisis de transitorios, ya que tanto el análisis AC como el DC son sencillos.

El primer punto es que hay límites en los valores máximos y en la resolución tanto del tiempo como de la frecuencia. Estos están relacionados: la resolución de la frecuencia es la inversa del tiempo máximo y viceversa. El tiempo máximo es la longitud del análisis de transitorios, TSTOP. Por lo tanto, la resolución de la frecuencia es 1/TSTOP.

Transformadas de Laplace

Para las transformadas de Laplace, PSpice A/D se inicia con vínculos iniciales en la resolución de la frecuencia y la frecuencia máxima determinada por los parámetros del análisis de transitorios como sigue. La resolución de la frecuencia se fija inicialmente por debajo del límite teórico a (.25/TSTOP) y se aumenta tanto como sea posible sin inducir a errores de muestreo. La frecuencia máxima tiene un límite superior inicial de (1/(RELTOL*TMAX)), en donde TMAX es el valor del análisis de transitorios del límite del paso (Step Ceiling), y RELTOL es la precisión relativa de todas las tensiones y corrientes calculadas. Si no se especifica un valor para el límite

Note *Los valores TSTOP, TMAX, y TSTEP están configurados utilizando Transient en el menú Setup. La propiedad RELTOL se fija utilizando Options en el menú Setup.*

del paso (Step Ceiling), PSpice A/D utiliza en su lugar el escalón de impresión del análisis de transitorios, TSTEP.

PSpice A/D trata de reducir la frecuencia máxima buscando la frecuencia en la que la respuesta cae a RELTOL veces la máxima respuesta. Por ejemplo, para la transformada:

$$1/(1+s)$$

La respuesta máxima, 1.0, es en $s = j\cdot\omega = 0$ (DC). La frecuencia de corte usada cuando RELTOL=.001, es aproximadamente $1000/(2\pi) = 159$ Hz. A 159 Hz, la respuesta está por debajo de .001 (60 db). Como algunas transformadas no tiene semejante límite, hay también un límite de 10/RELTOL veces la resolución de frecuencia, 10/(RELTOL·TSTOP). Por ejemplo, consideremos la transformada:

$$e^{-0.001\cdot s}$$

Este es un retardo ideal de 1 milisegundo y no tiene frecuencia de corte. Si TSTOP = 10 milisegundos y RELTOL=.001, entonces PSpice A/D impone una frecuencia de corte de 10 MHz. Como la resolución del tiempo es la inversa de la frecuencia máxima, esto es equivalente a decir que el retardo no puede resolver cambios en la entrada con una velocidad mayor de .1 microsegundo. En general el tiempo de resolución estará limitado a RELTOL·TSTOP/10.

Una consideración computacional final para las partes de Laplace es que la respuesta del impulso está determinada por medio de un FFT de la expresión de Laplace. El FFT está limitado a 8192 para mantenerlo traceable, y esto coloca un límite adicional en la frecuencia máxima, con ninguna parte mayor de 8192 veces la resolución de la frecuencia.

Si su circuito contiene varias partes de la place que pueden ser combinadas en un solo dispositivo más complejo, es preferible hacerlo. Esto ahorra tiempo de cálculo y memoria ya que hay menos respuestas de impulsos. También reduce el número de oportunidades para artefactos numéricos que pueden reducir la precisión del análisis de transitorios.

Las transformadas de Laplace pueden contener polos en la mitad izquierda del plano. Tales polos provocarán una respuesta al impulso que se incrementa con el tiempo en lugar de disminuir. Como el análisis de transitorios se realiza siempre para un

espacio de tiempo finito, PSpice A/D no tiene problemas al calcular la respuesta del transitorio (o DC). Sin embargo, los polos harán que oscile el dispositivo real.

No causalidad y transformadas de Laplace

PSpice A/D aplica una inversa FFT a la expresión de Laplace para obtener una respuesta al impulso, y después envuelve la respuesta al impulso con la entrada fuente dependiente para obtener la salida. Algunas respuestas a impulsos comunes son inherentemente no causales. Esto significa que la convolución deberá ser aplicada tanto a ejemplos pasados como futuros para ordenar correctamente la inversa de la expresión de Laplace.

Por ejemplo, la expresión {S} corresponde a la diferenciación en el dominio del tiempo. La respuesta del impulso para {S} es una pareja de impulsos separados por una distancia infinitesimal en el tiempo. Los impulsos tienen signos opuestos, y están situados uno en el pasado infinitesimal y otro en el futuro infinitesimal. En otras palabras, la convolución con esto corresponde a aplicar una diferencia dividida finita en el dominio del tiempo.

El problema con esto para PSpice A/D es que el simulador tiene únicamente los valores presentes y pasados de la entrada simulada, de modo que solo puede aplicar la mitad del par de impulsos durante la convolución. Obviamente esto no funcionará en una diferenciación con dominio en el tiempo. PSpice A/D puede detectar, pero no fijar esta condición, y muestra un mensaje de aviso de no causalidad cuando esto suceda. El mensaje indica que el porcentaje del impulso es no causal, y qué retardo sería necesario añadir para llevar la parte no causal a una zona causal. {S} es teóricamente un 50% no causal. Una no causalidad del orden del 1% o menor no suele ser crítica en los resultados de la simulación.

Puede retardar {S} para mantenerla causal, pero la separación entre impulsos es infinitesimal. Esto significa que es necesario un salto de tiempos muy pequeño. Por esta razón, normalmente es mejor utilizar un macromodelo para implementar la diferenciación.

He aquí algunas recomendaciones:

- En el caso de un dispositivo de Laplace (ELAPLACE), multiplique la expresión de Laplace por *e* a (-*s* * <el retardo sugerido>).
- En el caso de una tabla de frecuencia (EFREQ o GFREQ), hacer uno de los siguientes puntos:
  - Especificar la tabla con DELAY=<el retardo sugerido>.
  - Calcule el retardo añadiendo un cambio de fase.

Filtros Chebyshev

Todas las consideraciones dadas para las partes Laplace, pueden aplicarse a los filtros Chebyshev. A pesar de eso, PSpice A/D también intenta manejar las imprecisiones debidas al muestreo mediante la aplicación de los criterios de Nyquist basados en el filtro de la frecuencia de corte máxima. Esto se realiza comprobando el valor de TMAX. Si TMAX tiene especificado que se le ha asignado un valor o si este está definido puede reducirse.

Para filtros pasa bajo y pasa banda, TMAX esta fijado a (0.5/FS), en donde FS es el corte de la banda de parada en el caso de un filtro pasa bajo, o la banda de corte superior en el caso de un filtro pasa banda.

Para filtros pasa alta y de rechazo de banda, no hay una forma clara para aplicar directamente el criterio de Nyquist, de modo que se lanza un factor adicional de dos como margen de seguridad. Así, TMAX se fija a (0.25/FP), en donde FP es el corte del pasa banda para el caso del pasa alta o el corte de banda superior para el caso del rechazo de banda. Puede ser necesario fijar TMAX a algo menor si la entrada del filtro tiene un contenido de frecuencia significativo fuera de esos límites.

Tablas de frecuencia

Para tablas de respuesta en frecuencia, la frecuencia máxima será dos veces el valor máximo. Esta será reducida a 10/(RELTOL·TSTOP) o 8192 veces la resolución en frecuencia si el valor fuera menor.

La resolución de frecuencia para tablas de respesta en frecuencia se toma para que sea tanto el mínimo incremento de frecuencia en la tabla como la velocidad más rápida de cambio de tensión. Cualquiera que fuera, PSpice A/D lo comprobará para ver si pudiera reducirse sin provocar errores de muestreo.

Modificando los recursos del ordenador para mejorar la precisión

Hay un significativo equilibrio entre la precisión y el tiempo de cálculo en partes modeladas en el dominio del tiempo. La cantidad de memoria y tiempo de ordenador es inversamente proporcional a RELTOL. Así, si puede utilizar RELTOL=.01 en lugar del valor por defecto .001, se mejorarán los cálculos. Esto no afectará de forma negativa a la respuesta del impulso. También puede querer variar TMAX y TSTOP, ya que también entran dentro de estos cálculos.

Como el compromiso entre esos dos puntos es algo complejo, es recomendable que primero realice una simulación de un pequeño circuito conteniendo sólo el dispositivo con dominio en el tiempo, y entonces, después de realizar la validación, proceder a incorporarlo a un diseño más grande. Los valores por defecto de PSpice A/D son apropiados la mayor parte de las veces, si la precisión es el objetivo principal, pero aun así, merece la pena comprobarlo.

Note *No fijar RELTOL a un valor inferior a 0.01. Puede comprometer seriamente la precisión de la simulación.*

Fuentes controladas básicas

Al igual que el SPICE básico, PSpice A/D posee fuentes controladas básicas derivadas de los dispositivos estándares de SPICE E, F, G, y H. La Tabla 19 resume los tipos de fuentes controladas lineales contenidas en la librería estándar de partes.

Table 19 *Fuentes controladas básicas en ANALOG.OLB*

Tipo de dispositivo	Nombre de la parte
Fuente controlada de tensión (Dispositivo E de PSpice A/D)	E
Fuente de correinte controlada por corriente (Dispositivo F de PSpice A/D)	F
Fuente de corriente controlada (Dispositivo D de PSpice A/D)	G
Fuente de tensión controlada por corriente (Dispositivo H de PSpice A/D)	H

Creando partes ABM personalizadas

Véase la *Guía de Usuario de OrCAD Capture* para obtener una descripción sobre cómo crear una parte personalizada.

Cree una parte personalizada cuando necesite una fuente controlada que no venga en el conjunto de propósito general o que sea más complicada de las que pueden realizarse con las partes de propósito general (por ejemplo, que controlen múltiples entradas).

La función de transferencia puede contruirse en la parte de dos formas diferentes:

- directamente en la definición PSPICETEMPLATE.
- definiendo las partes EXPR y propiedades relacionadas (si hubiera).

La sintasis de PSpice A/D para la definición de dispositivos E y G pueden ayudarle a formar una definición PSPICETEMPLATE.

Véase el *Manual de Referencia en Línea de OrCAD PSpice A/D* para más información sobre los G.

Modelado de dispositivos digitales

7

Presentación general

Este capítulo proporciona información sobre el modelado digital, e incluye las siguientes secciones:

- *Introducción* en la página 242
- *Comportamiento funcional* en la página 243
- *Características de tiempos* en la página 251
- *Características de entrada/salida* en la página 257

Introducción

Las librerías de partes estándar contienen un conjunto comprensible de partes digitales con muchas tecnologías diferentes. Cada parte digital está descrita eléctricamente por un modelo de dispositivo digital en forma de una definición de subcircuito almacenada en una librería de modelos. El nombre del subcircuito correspondiente está definido por el valor del atributo MODEL de la parte. Otros atributos, MNTYMXDLY, IO_LEVEL, y el conjunto PSPICEDEFAULTNET, están pasados al subcircuito, dando así unos medios de alto nivel para influenciar en el comportamiento del modelo del dispositvo digital.

Generalmente, las partes digitales suministradas en las librerías de partes son válidas para la mayoría de los diseños de circuitos. Sin embargo, si el diseño requiere partes digitales que no hayan sido suministradas por las librerías de modelos y partes de OrCAD, necesitará definir modelos de dispositivos digitales correspondientes a las nuevas partes digitales.

Un dispositivo digital completo, posee tres características principales:

- Comportamiento funcional: descrito por las primitivas digitales a nivel de puertas y comportamiento que forman el subcircuito.
- Comportamiento I/O: descrito por el modelo I/O, los subcircuitos de interface, y la fuente de alimentación relacionada con la familia lógica.
- Comportamiento de tiempos: descrito por uno o más modelos de tiempos, o primitivas de retardo entre pines, primitivas del chequeador de restricciones.

Estas características están descritas en este capítulo con un ejemplo mostrando el uso de primitivas a nivel de puertas.

Comportamiento funcional

El comportamiento funcional de un modelo de dispositivo digital está definido por una o más primitivas digitales interconectadas. Normalmente, se puede implementar un diagrama lógico en un libro de datos utilizando las primitivas suministradas por PSpice A/D. La siguiente tabla de un resumen de las primitivas digitales.

Table 20 *Resumen de las primitivas digitales*

Tipo	Descripción
puertas estándar	
BUF	buffer
INV	inversor
AND	puerta AND
NAND	puerta NAND
OR	puerta OR
NOR	puerta NOR
XOR	puerta OR exclusiva
NXOR	puerta NOR exclusiva
BUFA	conjunto de buffers
INVA	conjunto de inversores
ANDA	conjunto de puertas AND
NANDA	conjunto de puertas NAND
ORA	conjunto de puertas OR
NORA	conjunto de puertas NOR
XORA	conjunto de puertas OR exclusiva
NXORA	conjunto de puertas NOR exclusiva
AO	puerta compuesta AND-OR
OA	puerta compuesta OR-AND
AOI	puerta compuesta AND-NOR
OA	puerta compuesta OR-NAND

Table 20 *Resumen de las primitivas digitales (continuación)*

Tipo	Descripción
Puertas triestado	
BUF3	buffer
INV3	inversor
AND3	puerta AND
NAND3	puerta NAND
OR3	puerta OR
NOR3	puerta NOR
XOR3	puerta OR exclusiva
NXOR3	puerta NOR exclusiva
BUF3A	conjunto de buffers
INV3A	conjunto de inversores
AND3A	conjunto de puertas AND
NAND3A	conjunto de puertas NAND
OR3A	conjunto de puertas OR
NOR3A	conjunto de puertas NOR
XOR3A	conjunto de puertas OR exclusiva
NXOR3A	conjunto de puertas NOR exclusiva
puertas de transferencia bidireccionales	
NBTG	puerta de transferencia de canal N
PBTG	puerta de transferencia de canal P
biestables y latches	
JKFF	tipo J-K, negativo-disparado por flanco
DFF	tipo D, positivo, disparado por flanco
SRFF	latch de puertas S-R
DLTCH	latch de puertas D
Resistencias de Pullup/pulldown	
PULLUP	conjunto de resistencias de pullup
PULLDN	conjunto de resistencias de pulldown
Líneas de retardo	
DLYLINE	línea de retardo

Table 20 *Resumen de las primitivas digitales (continuación)*

Tipo	Descripción
Conjuntos de lógica programable	
PLAND	conjunto AND
PLOR	conjunto OR
PLXOR	conjunto OR exclusiva
PLNAND	conjunto NAND
PLNOR	conjunto NOR
PLNXOR	conjunto NOR exclusiva
PLANDC	conjunto AND, verdad y complemento
PLORC	conjunto OR, verdad y complemento
PLXORC	exclusive OR, verdad y complemento
PLNANDC	conjunto NAND, verdad y complemento
PLNORC	conjunto NOR, verdad y complemento
PLNXORC	conjunto NOR exclusiva, verdad y complemento
Memoria	
ROM	memoria de solo lectura
RAM	memoria de acceso aleatorio de lectura/escritura
convertidores Multi-Bit A/D & D/A	
ADC	convertidor multi-bit A/D
DAC	convertidor multi-bit D/A
Comportamiento	
LOGICEXP	expresión lógica
PINDLY	retardo entre pines
CONSTRAINT	restricciones de chequeo

El formato para las primitivas digitales es parecido al de los dispositivos analógicos. Una diferencia es que la mayoría de las primitivas digitales necesitan dos modelos en vez de uno:

- El *modelo de tiempos*, que especifica los retardos en la propagación y constricciones de tiempos tales como el tiempo de inicio y el de mantenimiento.
- El *modelo I/O*, que especifica la información propia de las características de entrada/salida del dispositivo.

La razón para tener dos modelos es que, mientras que la información de tiempos es específica de un dispositivo, las características de entrada/salida son específicas de toda una familia lógica, Así, muchos dispositivos de la misma familia, referencian al mismo modelo I/O, pero cada dispositivo posee su propio modelos de tiempos.

La Figura 54 da una visión general de la definición del dispositivo digital en términos de sus primitivas y los atributos del modelos adyacentes. Estos modelos se explicarán más adelante en *Modelos de tiempos* en la página 251 y *Modelos de entrada/salida* en la página 257.

Para más información sobre cada tipo de primitiva véase el *Manual de Referencia en línea de OrCAD PSpice A/D*.

Fíjese que algunas primitivas digitales, como pueden ser pullups, no tienen modelos de tiempos. Véase *Modelos de tiempos* en la página 251 para más información.

Sintasis de las primitivas digitales

El formato general de las primitivas digitales se muestra a continuación.

U<*name*> <*primitive type*> [(<*parameter value*>*)]
+ <*digital power node*> <*digital ground node*>
+ <*node*>*
+ <*Timing Model name*> <*I/O Model name*>
+ [MNTYMXDLY=<*delay select value*>]
+ [IO_LEVEL=<*interface subckt select value*>]

en donde

<*primitive type*> [(<*parameter value*>*)]

es el tipo de dispositivo digital, como por ejemplo NAND, JKFF, o INV. Está seguido por cero o más parámetros especificando el tipo de primitiva, como es el número de entradas. El número y significado de los parámetros depende del tipo de primitiva.

<*digital power node*> <*digital ground node*>

son los nodos utilizados por los subcircuitos de interfece que conectan nodos analógicos con nodos digitales o viceversa.

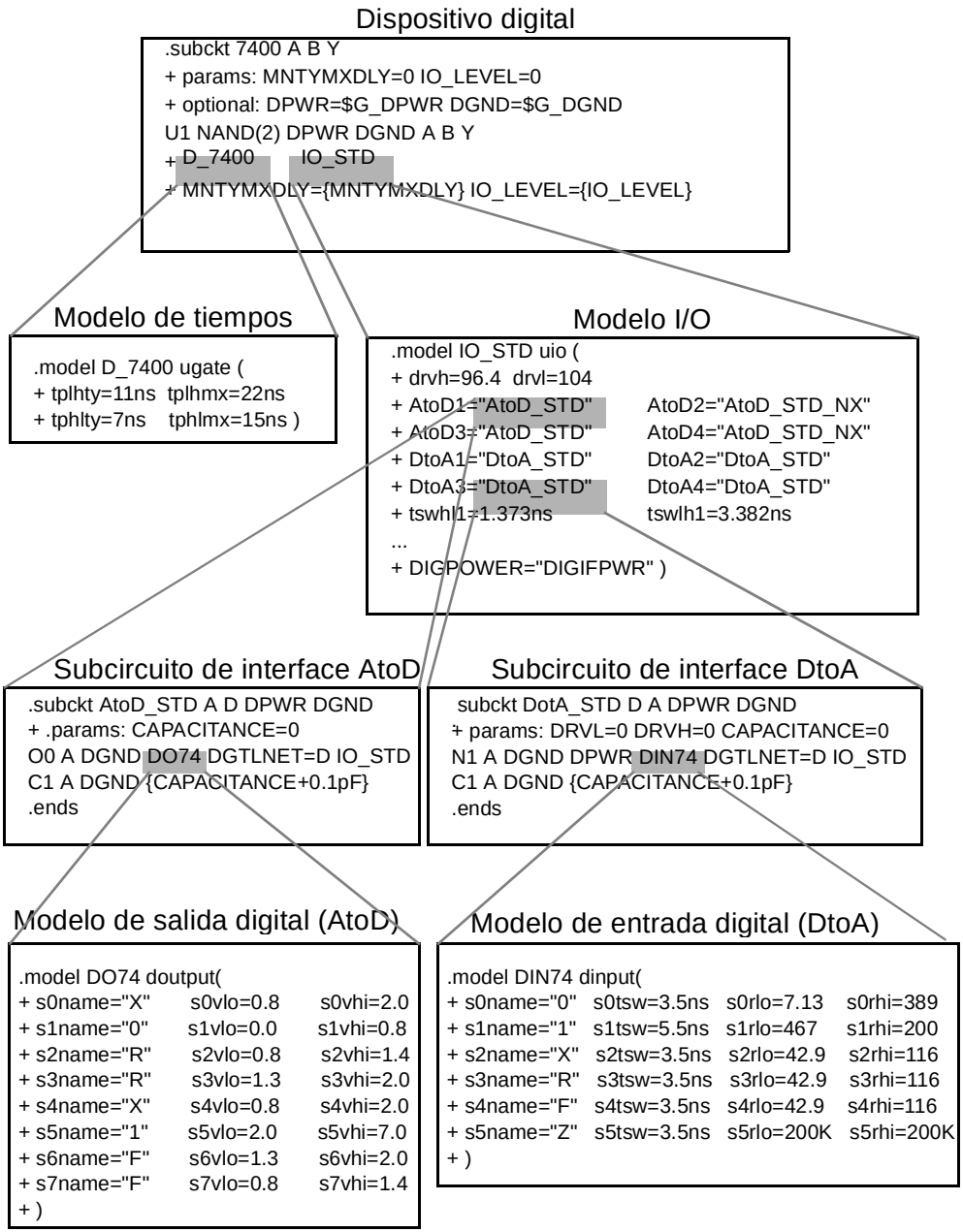


Figure 54 *Elementos de la definición de un dispositivo digital*

*<nodo>**

Es uno o más nodos de entrada y salida. El número de nodos depende del tipo de primitiva y sus parámetros. Los dispositivos analógicos, digitales o ambos pueden ser conectados a un nodo. Si un nodo posee conexiones digitales y analógicas, PSpice A/D inserta automáticamente un subcircuito para moverse entre los estados de salida digitales y las tensiones.

El tipo de modelo de tiempos y sus parámetros son específicos de cada primitiva y se explican en el *Manual de Referencia en línea de OrCAD PSpice A/D*.

<Timing model name>

Es el nombre de un modelo de tiempos que describe las características de tiempos del dispositivo, como son el retardo en la propagación, y los tiempos de preparación y mantenimiento. Cada parámetro de tiempos posee un valor mínimo, típico y máximo que puede ser seleccionado durante la configuración del análisis.

Véase *Modelos de entrada/salida* en la página 257 para más información.

<I/O model name>

Es el nombre de un modelo I/O que describe las características de carga y conducción del dispositivo. Los modelos I/O también contienen los nombres de hasta cuatro subcircuitos de interface DtoA y AtoD, que son llamados automáticamente por PSpice A/D para manejar los nodos del interface analógico/digital.

MNTYMXDLY

Es un parámetro de dispositivo opcional que selecciona los valores de retardo mínimos, típicos y máximos del modelo de tiempos del dispositivo. Si no se especificara, el valor por defecto de MNTYMXDLY sería 0. Valores válidos son:

0	=	valor actual de la opción DIGMNTYMX de la anchura del circuito (por defecto=2)
1	=	mínimo
2	=	típico
3	=	máximo
4	=	tiempos en el peor de los casos (min-max)

IO_LEVEL

Es un parámetro opcional que selecciona uno de los cuatro subcircuitos de interface AtoD o DtoA desde el modelo I/O del dispositivo. PSpice A/D llama al subcircuito seleccionado de forma automática en el caso que un nodo conectando a una primitiva también se conecte a un dispositivo analógico. Si no se especificara, el valor de IO_LEVEL por defecto sería 0. Valores válidos son:

0	=	valor actual de la opción DIGIOLVL de la anchura del circuito (por defecto=1)
1	=	AtoD1/DtoA1
2	=	AtoD2/DtoA2
3	=	AtoD3/DtoA3
4	=	AtoD4/DtoA4

A continuación hay algunos ejemplos de definiciónes de dispositivos “U”:

```
U1 NAND(2) $G_DPWR $G_DGND 1 2 10 D0_GATE IO_DFT
U2 JKFF(1) $G_DPWR $G_DGND 3 5 200 3 3 10 2 D_293ASTD
+ IO_STD
U3 INV $G_DPWR $G_DGND IN OUT D_INV IO_INV
MNTYMXDLY=3
+ IO_LEVEL=2
```

Por ejemplo, la parte 74393 puede ser definida como un subcircuito compuesto por dispositivos “U” como se muestra a continuación.

```
.subckt 74393  A CLR QA QB QC QD
+    optional: DPWR=$G_DPWR DGND=$G_DGND
+    params: MNTYMXDLY=0 IO_LEVEL=0
UINV inv DPWR DGND
+    CLR   CLRBAR D0_GATE IO_STD
+    IO_LEVEL={IO_LEVEL}
U1 jkff(1) DPWR DGND
+    $D_HI CLRBAR A   $D_HI $D_HI
+    QA_BUF $D_NC D_393_1 IO_STD
+    MNTYMXDLY={MNTYMXDLY}
+    IO_LEVEL={IO_LEVEL}
U2 jkff(1) DPWR DGND
+    $D_HI CLRBAR QA_BUF   $D_HI $D_HI
```

```
+    QB_BUF $D_NC D_393_2 IO_STD
+    MNTYMXDLY={MNTYMXDLY}
U3 jkff(1) DPWR DGND
+    $D_HI CLRBAR QB_BUF   $D_HI $D_HI
+    QC_BUF $D_NC D_393_2 IO_STD
+    MNTYMXDLY={MNTYMXDLY}
U4 jkff(1) DPWR DGND
+    $D_HI CLRBAR QC_BUF   $D_HI $D_HI
+    QD_BUF $D_NC D_393_3 IO_STD
+    MNTYMXDLY={MNTYMXDLY}
UBUFF bufa(4) DPWR DGND
+    QA_BUF QB_BUF QC_BUF QD_BUF
+    QA QB QC QD D_393_4 IO_STD
+    MNTYMXDLY={MNTYMXDLY}
+    IO_LEVEL={IO_LEVEL}
.ends
```

Cuando se añaden partes digitales a las librerías de partes, se deberán crear los modelos de dispositivos digitales corespondientes conectando dispositivos U en una definición de subcircuito parecida a la mostrada antes. OrCAD recomienda que se salven en las librerías de modelos personalizadas que posteriormente pueden ser configuradas para ser utilizadas en un determinado diseño.

Características de tiempos

El comportamiento de un modelo de tiempos de un dispositivo digital, puede ser definido de dos formas:

- La mayoría de las primitivas poseen un modelo de tiempos asociado, en el que se especifican los retardos de propagación y las restricciones de tiempos (como pueden ser los tiempos de configuración y de mantenimiento). Este método se utiliza cuando es fácil separar retardos en primitivas individuales, típicamente cuando el número de primitivas es pequeño.
- Utilice las primitivas PINDLY y CONSTRAINT, que pueden modelar directamente retardos entre pines y restricciones de tiempos para todo el modelo del dispositivo. Con este método, el resto de las primitivas funcionales operan con retardo cero.

Además de los retardos de propagación explícitos, otros factores, como por ejemplo la carga en la salida, pueden afectar al retardo de propagación total del dispositivo.

Vaya al *Manual de Referencia en línea de OrCAD PSpice A/D* para más información sobre estas dos primitivas.

Modelos de tiempos

Con la excepción de los dispositivos PULLUP, PULLDN, y PINDLY, todas las primitivas digitales poseen un modelo de tiempos que da parámetros de tiempos al simulador. El modelo de tiempos es único para cada dispositivo. Esto es, el nombre del modelos y los parámetros que pueden ser definidos para ese modelo pueden variar con el tipo de primitiva.

Dentro de un modelo de tiempos, pueden haber uno o más tipos de parámetros:

- Retardos en la propagación (TP).
- Tiempos de configuración (TSU).
- Tiempos de mantenimiento (TH).
- Anchura del pulso (TW).
- Tiempos de conmutación (TSW).

Cada parámetro está dividido en tres valores: mínimo (MN), típico (TY), y máximo (MX). Por ejemplo el retardo de propagación típico de bajo a alto de una puerta está especificado por el parámetro TPLHTY. El tiempo de configuración mínimo dato-reloj en un biestable (flip-flop) está especificado por el parámetro TSUDCLKMN.

Se utilizan varios modelos de tiempos para el dispositivo digital 74393 en las librerías de modelos. Uno de ellos, D_393_1, se muestra a continuación para un biestable disparado por flanco.

```
.model D_393_1 ueff (
+   tppcqhlty=18ns          tppcqhlmx=33ns
+   tpclkqlhty=6ns          tpclkqlhmx=14ns
+   tpclkqhlty=7ns          tpclkqhlmx=14ns
+   twclkhmn=20ns           twclklmn=20ns
+   twpclmn=20ns            tsudclkmn=25ns
+   )
```

Para una descripción de los parámetros de modelos de tiempos, véase el tipo de primitiva específico en los dispositivos tipo U en el Manual de Referencia en línea de OrCAD PSpice A/D.

Cuando se crean sus propios modelos de dispositivos digitales, puede crear modelos de tiempos diferentes a los de las primitivas que está utilizando. OrCAD recomienda que se salven estos en sus librerías personalizadas, que puede configurarlas para utilizarlas en un determinado diseño.

En la definición del modelo de tiempos puede faltar uno o más parámetros. Los libros de datos no siempre poseen las tres especificaciones de tiempos (minima, típica y máxima). La forma en la que el simulador maneja los parámetros que faltan depende del tipo de parámetro.

Note *Esta discursión se aplica únicamente a los parámetros de retardo en la propagación (TP). El resto de parámetros de tiempos, como el tiempo de configuración y mantenimiento y la anchura del pulso, se explican en la siguiente sección.*

Tratamiento de los retardos de propagación no especificados

La mayoría de las veces, en los libros de datos, únicamente se especifican los retardos máximo y típico. Si, en este caso, el simulador tuviera que considerar un retardo mínimo por defecto de cero, la lógica de determinados circuitos no funcionaría.

Por esta razón, el simulador proporciona dos opciones configurables, DIGMNTYSCALE y DIGTYMXSCALE, que se utilizan para extrapolar retardos de propagación no especificados en los modelos de tiempos.

DIGMNTYSCALE

Esta opción calcula el retardo mínimo cuando se conoce el retardo típico, utilizando la fórmula:

$$TP_{xx}MN = DIGMNTYSCALE \cdot TP_{xx}TY$$

DIGMNTYSCALE toma por defecto el valor 0.4, o 40% del retardo típico. Este valor deberá estar comprendido entre 0.0 y 1.0.

DIGTYMXSCALE

Esta opción calcula el retardo máximo a partir del retardo típico, utilizando la fórmula:

$$TP_{xx}MX = DIGTYMXSCALE \cdot TP_{xx}TY$$

DIGTYMXSCALE toma por defecto el valor 1.6. Este valor deberá ser mayor de 1.0.

Cuando no se especifica un retardo típico, su valor se deriva de los retardos mínimo y/o máximo, de una de las formas siguientes: Si se conocen los retardos máximo y mínimo, el retardo típico será la media de ambos valores. Si se conoce únicamente el retardo mínimo, el retardo típico se calculará utilizando el valor de la opción DIGMNTYSCALE. Del mismo modo, si únicamente se conoce el valor del retardo máximo, el típico se calculará utilizando DIGTYMXSCALE. Obviamente, si no se conoce ningún valor, los tres retardos serán cero.

Tratamiento de restricciones de tiempos no especificadas

El resto de los parámetros de restricciones de tiempos se manejan de forma diferente a los retardos en la propagación. A menudo, los libros de datos presentan la anchura de pulso, los tiempos de establecimiento y los tiempos de mantenimiento con el valor mínimo. Estos parámetros no permiten utilizar los métodos de extrapolación utilizados para los retardos en la propagación.

En su lugar, cuando se omiten una o más restricciones de tiempos, el simulador utiliza los pasos siguientes para rellenar los valores que faltan:

- Si se omite el valor mínimo, por defecto se considera cero.
- Si se omite el valor máximo, toma el del valor típico si este hubiera sido especificado, en caso contrario toma el del valor mínimo.
- Si se omite el valor típico, este se calcula como la media de los valores máximo y mínimo.

Calculo de los retardos en la propagación

Las características de tiempos de las primitivas digitales están determinadas tanto por los modelos de tiempos como por los modelos I/O. Los modelos de tiempos especifican los retardos en la propagación tales como los tiempos de establecimiento y de mantenimiento. Los modelos I/O especifican la carga de entrada y salida, las resistencias de control y los tiempos de conmutación.

Cuando la salida de un dispositivo se conecta con otro dispositivo digital, el retardo total en la propagación a través de un dispositivo se determina añadiendo el retardo en la carga (del terminal de salida) al retardo especificado en el modelo de tiempos del dispositivo. El retardo en la carga se calcula desde la carga total de la salida y las resistencias de control del dispositivo. La carga total de una salida se calcula sumando las cargas de entrada y salida (OUTLD y INLD en el modelo I/O) de todos los dispositivos conectados a esa salida. Esta carga total, combinada con las resistencias de control del dispositivo (DRVL y DRVH en el modelo I/O), permiten calcular el retardo en la carga:

$$\text{Loading delay} = R_{DRIVE} \cdot C_{TOTAL} \cdot \ln(2)$$

El retardo en la carga se calcula para cada terminal de salida de cada dispositivo antes de comenzar la simulación. El retardo total en la propagación se calcula fácilmente durante la simulación añadiendo el retardo en la carga calculado

previamente al retardo de tiempos del dispositivo. De todas formas, para cualquier especificación de retardo de tiempos individual (por ejemplo, TPLH) que tenga un valor de cero, no se utilizará el retardo en la carga.

Cuando la salida se conecta a dispositivos analógicos, el retardo en la propagación se reduce por los tiempos de commutación especificados en el modelo I/O.

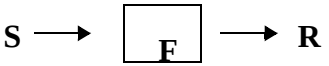
Véase *Características de entrada/salida* en la página 257 para más información.

Retardo inercial y en el transporte

El simulador utiliza dos tipos diferentes de funciones de retardo interna cuando se simula la parte digital del circuito: *retardo inercial* y *retardo en el transporte*. La aplicación de estos conceptos está expresada dentro de la implementación de las primitivas digitales en el simulador. Por lo tanto no pueden ser seleccionados por el usuario.

Retardo inercial

La simulación de un dispositivo puede ser descrita como la aplicación de algún *impulso* (S) a la *función* (F) y predecir la *respuesta* (R).



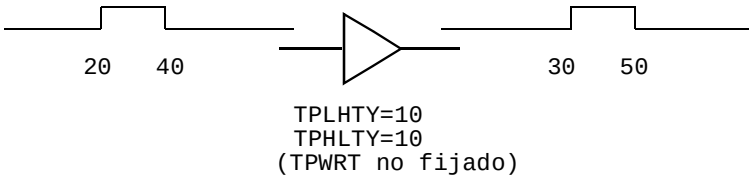
Si el dispositivo es eléctrico en naturaleza, la aplicación de los impulsos implica que la energía será impartida en el dispositivo para cambiarlo de estado. La cantidad de energía será una función de la amplitud y duración de la señal. Si el impulso se aplica al dispositivo durante un espacio de tiempo que sea demasiado corto, el dispositivo no cambiará. La duración mínima requerida para que un cambio en la entrada tenga un efecto en el estado de salida del dispositivo se llama *retardo inercial* del dispositivo. En la simulación digital todos los parámetros de retardo especificados en los modelos de tiempos son considerados inerciales, con la excepción de la primitiva de línea de retardo, DLYLINE.

Para modelar correctamente el comportamiento de inmunidad al ruido en los dispositivos digitales, puede fijarse el parámetro TPWRT en el modelo I/O del dispositivo digital. Cuando *anchura del pulso* ≥ TPWRT y *achura del pulso* < *retardo en*

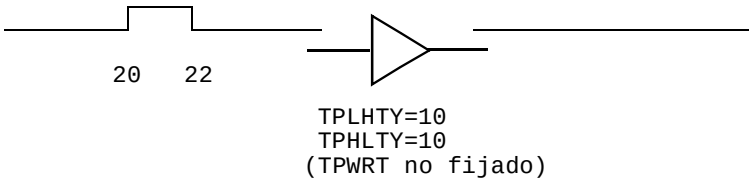
la propagación, el dispositivo generará un pulso 0-R-0, 1-F-1, o una X.

Este ejemplo muestra una función en la que se aplica un pulso con una anchura de 20 nsec a una primitiva BUF que tiene un retardo en la propagación de 10 nsec. TPWRT no está fijado.

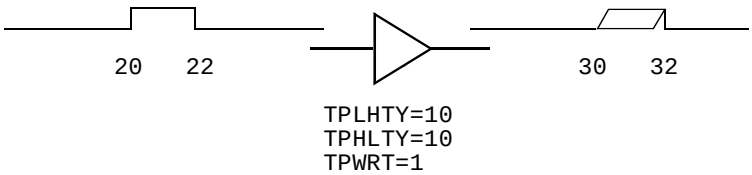
El mismo dispositivo con un corto impulso aplicado no produce



un cambio en la salida.



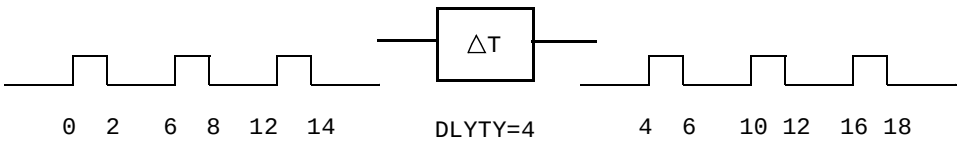
Sin embargo, si TPWRT tiene asignado un valor numérico (1 o 2 para este ejemplo), la salida del dispositivo saca un fallo.



Véase la primitiva digital DLYLINE en el *Manual de Referencia en línea de OrCAD PSpice A/D.*

Retardo en el transporte

La primitiva de línea de retardo es el único modelo del simulador que puede propagar cualquier anchura de pulso aplicada a su entrada. Su función es desviar el impulso aplicado por medio de alguna constante de tiempo. Por ejemplo



Características de entrada/salida

Las características de entrada/salida de un modelo de dispositivo digital están definidas por el modelo I/O al que referencian. Algunas características, como la resistencia de control de salida y las capacidades de carga, se aplican a la simulación digital. Otras, como los subcircuitos de interface y las fuentes de alimentación se aplican únicamente a la simulación mixta analógica/digital.

Esta sección describe en detalle:

- el modelo I/O
- la relación entre las resistencias de control y las intensidad de salida
- almacenamiento de carga en conexiones digitales
- el formato de los subcircuitos de interface

Modelos de entrada/salida

Los modelos I/O son comunes a toda una familia lógica. Por ejemplo, en las librerías de modelos hay cuatro modelos I/O para toda la familia 74LS: IO_LS, para entradas y salidas estándares; IO_LS_OC, para entradas estándares y salidas en colector abierto; IO_LS_ST, para entradas de tipo trigger Schmitt y salidas estándares, y IO_LS_OC_ST, para entradas de tipo trigger Schmitt y salidas en colector abierto. Al contrario, los modelos de tiempos son únicos para cada dispositivo.

Los modelos I/O se especifican como:

.MODEL <*I/O model name*> UIO [*model parameters*]*

en donde los parámetros de modelos válidos están descritos en la Tabla 21.

INLD y OUTLD

Se utiliza en el cálculo de la capacidad de carga, cuyos factores en el retardo en la propagación se explicaron en *Modelos de tiempos* en la página 251. Fíjese que INLD no se aplica a los generadores de impulsos ya que estos no tienen nodos de entrada.

DRVH y DRVL

Se utilizan para determinar la intensidad o fuerza de la salida. Las fuerzas se explican el *Definiendo fuerzas de salida* en la página 261.

DRVZ, INR, y TSTOREMN

Se utilizan para determinar qué conexiones serán simuladas como conexiones de almacenamiento de carga. Estas se explican en *Conexiones de almacenamiento de carga* en la página 263.

TPWRT

Se utiliza para especificar la anchura del pulso por encima de la que se considerará el comportamiento a la inmunidad de ruidos del dispositivo. Véase *Retardo inercial* en la página 255 para más detalles.

Los siguientes parámetros de modelos UIO son necesarios únicamente en simulaciones de señales mixtas, por lo que sólo se aplican en simulaciones A/D.

AtoD1 hasta AtoD4, y DtoA1 hasta DtoA4

Se utilizan para mantener los nombres de los subcircuitos digitales. Fíjese que AtoD1 hasta AtoD4 no se aplican a los generadores de impulsos ya que los impulsos digitales no poseen nodos de entrada.

DIGPOWER

Se utiliza para especificar el nombre de la fuente de alimentación digital a la que llamará PSpice A/D si se llama a uno de los subcircuitos digitales AtoD o DtoA.

TSWLH*n* y TSWHL*n*

Estos tiempos de conmutación se restan de los retardos en la propagación del dispositivo en las salidas que conectan con los nodos de interface. Esto compensa el tiempo que lleva al dispositivo DtoA cambiar su tensión de salida desde su nivel actual al del umbral de conmutación. Restando el tiempo de conmutación del de propagación, la señal analógica llega al umbral de conmutación en el tiempo correcto (esto es, el tiempo exacto de la transmisión digital). Los valores para estos parámetros de modelos pueden ser obtenidos midiendo el tiempo que llega a la salida analógica de DtoA (a la que hay unida una carga analógica) a cambiar al umbral de conmutación después que cambie su entrada digital. Si el tiempo de conmutación es mayor que el de propagación, no se mostrará mensaje de aviso alguno y se utilizará un retardo cero.

Cuando cree sus propios modelos de dispositivos digitales, puede crear modelos I/O como los de las primitivas que esté utilizando. OrCAD recomienda que los salve en sus propias librerías personalizadas, que puede configurar para utilizarlas en un determinado diseño.

Véase el *Manual de Referencia en línea de OrCAD PSpice A/D* para más información sobre las unidades y valores por defecto para estos parámetros.

Note *Los parámetros de tiempos de conmutación no se utilizan cuando la salida maneja un nodo digital.*

Table 21 *Parámetros de un modelo I/O digital*

Parámetro del modelo UIO	Descripción
INLD	capacidad de carga de la entrada
OUTLD	capacidad de carga de la salida
DRVH	resistencia a nivel alto de la salida
DRVL	resistencia a nivel bajo de la salida
DRVZ	resistencia de fugas de la salida en alta impedancia
INR	resistencia de fugas de la entrada

Table 21 *Parámetros de un modelo I/O digital (continuación)*

Parámetro del modelo UIO	Descripción
TSTOREMN	tiempo mínimo de almacenamiento para que la conexión sea simulada como una carga
TPWRT	umbral de rechazo de la anchura del pulso
AtoD1 (Level 1)	nombre del subcircuito de interface de AtoD
DtoA1 (Level 1)	nombre del subcircuito de interface de DtoA
AtoD2 (Level 2)	nombre del subcircuito de interface AtoD
DtoA2 (Level 2)	nombre del subcircuito de interface DtoA
AtoD3 (Level 3)	nombre del subcircuito de interface AtoD
DtoA3 (Level 3)	nombre del subcircuito de interface DtoA
AtoD4 (Level 4)	nombre del subcircuito de interface AtoD
DtoA4 (Level 4)	nombre del subcircuito de interface DtoA
DIGPOWER	nombre del subcircuito de la fuente de alimentación
TSWLH1	tiempo de conmutación bajo-alto de DtoA1
TSWLH2	tiempo de conmutación bajo-alto de DtoA2
TSWLH3	tiempo de conmutación bajo-alto de DtoA3
TSWLH4	tiempo de conmutación bajo-alto de DtoA4
TSWHL1	tiempo de conmutación bajo-alto de DtoA1
TSWHL2	tiempo de conmutación bajo-alto de DtoA2
TSWHL3	tiempo de conmutación bajo-alto de DtoA3
TSWHL4	tiempo de conmutación bajo-alto de DtoA4

A continuación se muestran las primitivas digitales que comprenden la referencia de parte 74393 y el modelo IO_STD I/O en las librerías de modelos:

```
.model IO_STD uio (
+    drvh=96.4          drvl=104
+    AtoD1="AtoD_STD"       AtoD2="AtoD_STD_NX"
+    AtoD3="AtoD_STD"       AtoD4="AtoD_STD_NX"
+    DtoA1="DtoA_STD"       DtoA2="DtoA_STD"
+    DtoA3="DtoA_STD"       DtoA4="DtoA_STD"
+    tswhl1=1.373ns         tswlh1=3.382ns
+    tswhl2=1.346ns         tswlh2=3.424ns
+    tswhl3=1.511ns         tswlh3=3.517ns
+    tswhl4=1.487ns         tswlh4=3.564ns
+    )
```

Definiendo fuerzas de salida

El propósito de ejecutar simulaciones es calcular los valores para cada nodo del circuito. Para nodos analógicos, estos valores son *estados*. El estado de un nodo digital se calcula desde las *fuerzas* de salida de los dispositivos que controlan el nodo y el nivel lógico del nodo.

Los cálculos de la fuerza del nodo están descritos en el Capítulo 14, *Simulación digital*.

El propósito de las fuerzas es permitir al simulador que encuentre el valor de un nodo cuando este es manejado por más de una salida. Un ejemplo común es una línea de bus que está controlada por más de un controlador triestado. En condiciones normales, todos los controladores menos uno se llevan a la fuerza Z (alta impedancia). Así, la línea del bus tomará el valor de aquella puerta que esté manejada por la fuerza mayor (baja impedancia).

Otro ejemplo es una línea de bus conectada a varios dispositivos de salida en colector abierto y una resistencia de pullup digital. La resistencia de salida genera un nivel 1 en una fuerza débil (pero no Z). Si todos los dispositivos de colector abierto están sacando una fuerza Z, el nodo tendrá un nivel 1 debido a la resistencia de pullup. Si cualquiera de las salidas en colector abierto saca un cero, con una fuerza mayor que la resistencia de pullup, el cero tendrá prioridad sobre el 1 del pullup y el nodo pasará a nivel cero.

Configurando la escala de fuerzas

Puede fijar estas opciones en la caja de diálogo Simulation Settings en PSpice A/D.

Las 64 fuerzas están determinadas por dos opciones configurables: DIGDRVZ y DIGDRVF. DIGDRVZ define la impedancia de la fuerza Z, y DIGDRVF define la impedancia de la fuerza impulsora. Estos dos valores definen una escala logarítmica consistente en 64 *rangos* de valores de impedancias. Por defecto, DIGDRVZ es de 20 kohms y DIGDRVF es de 2 ohms. Cuanto más grande sea el rango entre DIGDRVZ y DIGDRVF, mayor será el rango de valores de impedancia en cada una de las 64 fuerzas.

Determinando la fuerza de la salida de un dispositivo

Véase *Modelos de entrada/salida* en la página 257 para más información.

El simulador utiliza el valor de los parámetros DRVH (resistencia de control de alto nivel) o DRVL (resistencia de control de bajo nivel) del modelo I/O del dispositivo. Si el nivel de la salida es un 1, el simulador obtiene la fuerza localizando el *bin* que contiene el valor del parámetro DRVH. Asimismo, si el nivel es 0, el simulador utiliza el valor del parámetro DRVL para obtener la fuerza.

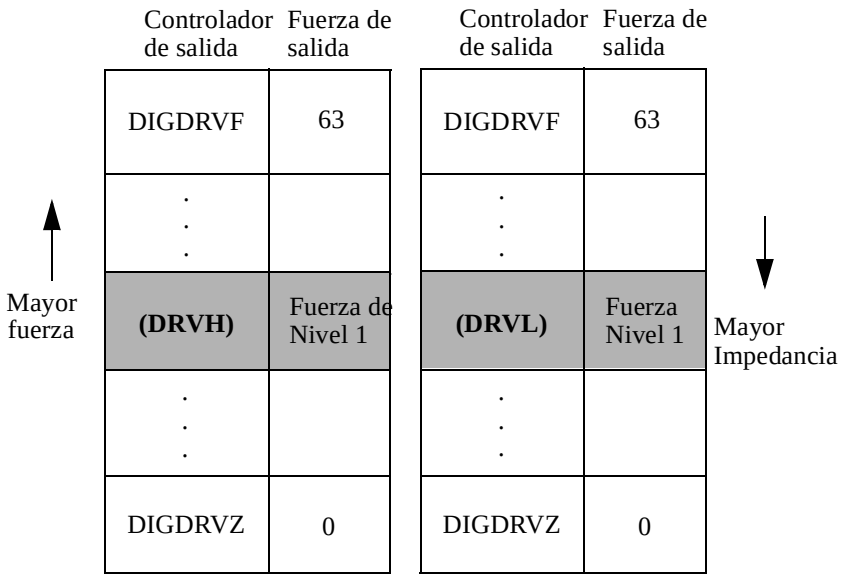


Figure 55 *Determinación de fuerza en el nivel 1 y 0.*

Fíjese que los valores de DRVH y DRVL en el modelo I/O son diferentes, esto es posible para que los niveles 1 y 0 posean fuerzas diferentes. Es muy útil para dispositivos en colector abierto, en donde el nivel cero tiene más fuerza que el nivel 1 (que está controlado por la fuerza Z).

Las impedancias de control que son mayores que el valor de DIGDRVZ tienen asignada la fuerza Z(0). Del mismo modo, las impedancias menores que el valor de DIGDRVF tienen asignada la fuerza impulsora Z(63).

Controlando la sobreconducción

Durante la simulación, el simulador utiliza únicamente el número del rango de la fuerza (0-63) para comparar las fuerzas de control de las salidas. El simulador le permite controlar cuan *fuerte* deberá ser una salida antes de sobrecontrolar el resto de salidas en el mismo nodo. Esto está controlado por la opción configurable DIGOVRDRV. Por defecto, DIGOVRDRV es 3, significando que el valor de fuerza asignado a la salida deberá ser al menos 3 veces mayor que la del resto de los controladores antes de determinar el nivel de un nodo.

Puede fijar estas opciones en la caja de diálogo Simulation Settings en PSpice A/D.

La precisión de la comparación de la fuerza DIGOVRDRV está limitada por el tamaño del rango de fuerzas, DIGDRVZ hasta DIGDRVF. En rango de control por defecto de 2 ohms a 20,000 ohms da unos rangos de fuerza del 7.5%. La precisión de la comparación de fuerzas es del 15%. En otras palabras, dependiendo de los valores individuales de DRVH y DRVL, puede tomar como mucho un factor de 3.45 para sobrecontrolar una señal y tan pequeño como un factor de 2.55. La precisión de la comparación se incrementa conforme la diferencia entre DIGDRVF y DIGDRVZ se decrementa.

Conexiones de almacenamiento de carga

La habilidad para modelar el almacenamiento de carga en conexiones digitales es muy útil para ingenieros que estén diseñando circuitos integrados MOS dinámicos. En estos

circuito, es común para el diseñador guardar temporalmente un uno o un cero en una conexión llevando esta a la tensión apropiada y después desactivando el controlador. La carga que se guarda en la conexión provoca que la tensión de la conexión permanezca sin cambios durante algún tiempo después que esta no sea controlada. Esta técnica no se utiliza normalmente en conexiones PCB debido a que se necesitaría almacenamiento de corrientes de entrada y salida por debajo de nanoamperios, así como un bajo acoplamiento entre las señales adjacentes.

El simulador modela las conexiones de almacenamiento de carga utilizando una técnica de simulación a *nivel de conmutación*. Se calcula una corriente de carga o descarga normalizada (respecto a la fuente de alimentación) para cada salida o puerta de transferencia unida a la conexión. Esta corriente, dividida por la capacidad total de la conexión, se integra y calcula de nuevo a intervalos apropiados para cada conexión en particular. El nivel digital de la conexión se determina por la tensión normalizada de esta. Únicamente se utiliza el nivel digital (1, 0, R, F, X) de la conexión por entradas de los dispositivos unidos a la conexión.

Esta técnica permite mejorar la simulación de las redes de las puertas de transferencia y cargas capacitivas. La compartición de la carga a lo largo de varias conexiones que están conectadas por medio de puertas de transferencia se maneja correctamente ya que el método de simulación calcula la carga transferida entre las conexiones y mantiene un valor de punto flotante para la carga de la conexión (no un uno o un cero justos). Debido al incremento del cálculo, lleva al simulador mucho más tiempo simular las conexiones de almacenamiento que las conexiones digitales normales. De todas formas las conexiones de almacenamiento de carga se simulan mucho más rápido que las conexiones analógicas.

Los parámetros del modelo I/O INR, DRVZ, y TSTOREMN (véase la Tabla 21 en la página 259) son utilizados por el simulador para determinar qué conexiones deberán ser simuladas como conexiones de almacenamiento de carga. El simulador simulará el almacenamiento de carga únicamente para una conexión que posea algún dispositivo unido a ella y que pueda estar en alta impedancia (Z), y cuyo tiempo de almacenamiento sea mayor o igual al menor TSTOREMN de

todas las entradas unidas a la conexión. El tiempo de almacenamiento se calcula como la capacidad total (suma de todos los valores INLD y OUTLD de las entradas y salidas unidas) multiplicado por la resistencia de fugas total de la conexión (la combinación en paralelo de todos los valores INR y DRVZ para entradas y salidas unidas).

Note *Los valores por defecto proporcionados por el modelo UIO* ***no*** *permiten el uso de técnicas de simulación de almacenamiento de carga, incluso con circuitos que utilicen librerías de dispositivivos digitales que no son de OrCAD. Esto es apropiado, ya que estas librerías se utilizan normalmente para diseños de PCBs.*

Creando sus propios subcircuitos de interface para tecnologías adicionales

Si está creando partes digitales personalizadas para una tecnología que no esté en las librerías de modelos, necesitará también crear subcircuitos AtoD y DtoA. Los nuevos subcircuitos necesitarán ser referenciados por los modelos I/O para esa tecnología. Los interfaces AtoD y DtoA poseen formatos específicos, tales como el orden del nodo y los parámetros, que son necesarios por PSpice A/D para la simulación de señales mixtas.

Si está creando partes en una de las familias lógicas que *ya existan* en las librerías de modelos, deberá referenciar los modelos existentes I/O apropiados a cada familia. Los modelos I/O, por orden, referencian automáticamente los subcircuitos de interface correctos para esta familia. Estos, también, están ya contenidos en las librerías de modelos.

El formato del subcircuito de interface AtoD es el siguiente:

.SUBCKT ATOD *<name suffix>*
+ *<analog input node>*
+ *<digital output node>*
+ *<digital power supply node>*
+ *<digital ground node>*

```
+ PARAMS: CAPACITANCE=<input load value>
+ {O device, loading capacitor, and other
+ declarations}
.ENDS
```

Posee cuatro nodos como se describe. El subcircuito AtoD posee un parámetro, CAPACITANCE, que corresponde a la carga de la entrada. PSpice A/D pasa el valor del modelo I/O del parámetro INLD a este parámetro cuando se llama al subcircuito de interface.

El formato del subcircuito de interface DtoA se muestra aquí:

```
.SUBCKT DTOA <name suffix>
+ <digital input node> <analog output node>
+ <digital power supply node> <digital
+ ground node>
+ PARAMS:   DRVL=<0 level driving resistance>
+ DRVH=<1 level driving resistance>
+ CAPACITANCE=<output load value>
+ {N device, loading capacitor, and other
+ declarations}
.ENDS
```

También tiene cuatro nodos. Al contrario que el subcircuito AtoD, este posee tres parámetros DtoA. PSpice A/D pasará los valores de los modelos I/O de los parámetros DRVL, DRVH, y OUTLD a los parámetros DRVL, DRVH, y CAPACITANCE de los subcircuitos de interface cuando se le llame.

El fichero de librería DIG_IO.LIB contiene los modelos I/O y los subcircuitos de interface para todas las familias lógicas soportadas en las librerías de modelos. Deberá revisar este fichero en busca de ejemplos de modelos I/O, subcircuitos de interface, y el uso correcto de los dispositivos N y O.

A continuación se muestra la definición I/O y el subcircuito de interface AtoD utilizado por las primitivas que describen la parte 74393.

```
.model IO_STD uio (
+    drvh=96.4          drvl=104
+    AtoD1="AtoD_STD"       AtoD2="AtoD_STD_NX"
+    AtoD3="AtoD_STD"       AtoD4="AtoD_STD_NX"
+    DtoA1="DtoA_STD"       DtoA2="DtoA_STD"
+    DtoA3="DtoA_STD"       DtoA4="DtoA_STD"
+    tswhl1=1.373ns         tswlh1=3.382ns
+    tswhl2=1.346ns         tswlh2=3.424ns
+    tswhl3=1.511ns         tswlh3=3.517ns
+    tswhl4=1.487ns         tswlh4=3.564ns
+    )

.subckt AtoD_STD  A D  DPWR DGND
+    params: CAPACITANCE=0
*
O0  A DGND DO74 DGTLNET=D IO_STD
C1  A 0 {CAPACITANCE+0.1pF}
.ends
```

Si se conecta una copia de la parte 74393 a una parte analógica por medio del nodo AD_NODE, PSpice A/D generará un bloque de interface utilizando el modelo I/O especificado por la primitiva digital actualmente en el interface. Supongamos que U1 es la primitiva conectada en AD_NODE (véase la definición del subcircuito 74393 en la página 249), y que IO_LEVEL se fija a 1. PSpice A/D determina que IO_STD es el modelo I/O utilizado por U1. Fíjese cómo IO_STD identifica los nombres del subcircuito de interface AtoD_STD y DtoA_STD que serán utilizados para la selección del subcircuito de nivel 1. Si la conexión con U1 es una entrada (como por ejemplo una línea de reloj), PSpice A/D crea una copia del subcircuito AtoD_STD:

```
X$AD_NODE_AtoD1 AD_NODE AD_NODE$AtoD $G_DPWR
$G_DGND
+ AtoD_STD
+ PARAMS: CAPACITANCE=0
```

El subcuircuito AtoD_STD referencia el modelo DO74 en la declaración del dispositivo O de PSpice A/D O. Este modelo, fijado en cualquier otra parte de las librerías de modelos, describe cómo trasladar una señal analógica del lado analógico de un nodo de interface a un estado digital en el lado digital de un nodo de interface.

Los parámetros del modelo DOUTPUT se describen en dispositivos O en el *Manual de Referencia en línea de OrCAD PSpice A/D.*

```
.model DO74 doutput
+    s0name="X"      s0vlo=0.8       s0vhi=2.0
+    s1name="0"      s1vlo=-1.5      s1vhi=0.8
+    s2name="R"      s2vlo=0.8       s2vhi=1.4
+    s3name="R"      s3vlo=1.3       s3vhi=2.0
+    s4name="X"      s4vlo=0.8       s4vhi=2.0
+    s5name="1"      s5vlo=2.0       s5vhi=7.0
+    s6name="F"      s6vlo=1.3       s6vhi=2.0
+    s7name="F"      s7vlo=0.8       s7vhi=1.4
+
```

Supongamos que la salida del 74393 está conectada a una parte analógica a través de la primitiva digital UBUFF. Con IO_LEVEL fijado a 1, PSpice A/D determina que deberá utilizarse el subcircuito de interface DtoA_STD identificado en el modelo IO_STD.

```
.subckt DtoA_STD  D A  DPWR DGND
+ params: DRVL=0 DRVH=0 CAPACITANCE=0
*
N1  A DGND DPWR DIN74 DGTLNET=D IO_STD
C1  A DGND {CAPACITANCE+0.1pF}
.ends
```

Para este subcircuito, los valores de los parámetros DRVH y DRVL especificados en el modelo IO_STD deberán ser pasados a él. (Los subcircuitos de interface en las librerías de modelos no utilizan actualmente estos valores).

El subcircuito de interface DtoA_STD referencia el modelo DIN74 en la declaración del dispositivo N de PSpice A/D. Este modelo, que está en cualquiera de las librerías, describe cómo trasladar un estado digital en una tensión e impedancia.

Los parámetros del modelo DINPUT se describen en los dispositivos N de PSpice A/D en el *Manual de Referencia en línea de OrCAD PSpice A/D*.

```
.model DIN74 dinput (
+ s0name="0" s0tsw=3.5ns s0rlo=7.13
+ s0rhi=389 ; 7ohm, 0.09v
+ s1name="1" s1tsw=5.5ns s1rlo=467
+ s1rhi=200 ; 140ohm, 3.5v
+ s2name="X" s2tsw=3.5ns s2rlo=42.9
+ s2rhi=116 ; 31.3ohm, 1.35v
+ s3name="R" s3tsw=3.5ns s3rlo=42.9
+ s3rhi=116 ; 31.3ohm, 1.35v
+ s4name="F" s4tsw=3.5ns s4rlo=42.9
+ s4rhi=116 ; 31.3ohm, 1.35v
+ s5name="Z" s5tsw=3.5ns s5rlo=200K
+ s5rhi=200K
+)
```

Cada estado se lleva entre una pareja de resistencias de pullup y pulldown para proporcionar la tensión e impedancias correctas. El estado Z se considera como los niveles lógicos 0, 1 y X.

Puede crear sus propios circuitos de interface, modelos DINPUT, DOUTPUT, e I/O como aquellos para tecnologías no soportadas actualmente en las librerías de modelos. OrCAD recomienda que se salven en su propia librería de modelos personalizada, que puede entonces configurarla para utilizarla en un diseño dado.

cero que están suministrados en DIG_IO.LIB. Los modelos de tiempos por defecto pueden localizarse de la misma forma que los modelos I/O estándares. La primitiva PINDLY también incorpora restricciones de chequeo que le permiten introducir datos tales como anchura del pulso y tiempos de configuración y de mantenimiento desde las hojas de datos. Después, el simulador puede verificar que se cumplan estas condiciones durante la simulación.

Primitivas digitales

Las primitivas en el simulador son dispositivos o funciones compiladas directamente en el código. Las primitivas sirven como bloques de construcción basicos para modelos de macros más complejos.

Hay dos tipos de primitivas en el simulador: a nivel de puertas y de comportamiento. Una primitiva a nivel de puertas normalmente hace referencia a un dispositivo físico (como buffers, puertas AND, inversores, etc.). Una primitiva de comportamiento no es un dispositivo físico, pero ayuda a definir parámetros en un modelo de alto nivel. Al igual que las primitivas a nivel de puerta, las primitivas de comportamiento son funciones intrínsecas en el simulador y son tratadas de la misma forma. Estas están incluidas en el número de puertas para el tamaño del circuito y no pueden ser descritas por ningún modelo de menor nivel.

En nuestro ejemplo del 74160 (Véase *El libro de Datos de TTL* de Texas Instruments para esquemas y descripción). Los cuatro biestables J-K son cuatro primitivas a nivel de puertas, mientras que los biestables son físicamente más complejos que las puertas a nivel de modelado, estos están definidos al mismo nivel que el de una puerta (por ejemplos, los biestables son un dispositivo básico en el simulador). Como los cuatro comparten las señales de Reset, Clear y Clock comunes, pueden ser combinados en un estamento como una formación de biestables. Podrían haber sido escritos separadamente, pero el método de formación es más compacto. Véase el capítulo *Dispositivos Digitales* en el *Manual de Referencia en línea de OrCAD PSpice A/D* para más información.

Expresión lógica (primitiva LOGICEXP)

Mirando el listado del *Ejemplo del 74160* en la página 279 y la representación del esquema del subcircuito 74160, puede ver que hay tres partes principales en el sucircuito. Siguiendo la información usual de la cabecera, palabra clave .SUBCKT, nombre del subcircuito, lista de pines del interface, y lista de parámetros es la primitiva LOGICEXP. Contiene todo lo que puede ser expresado del componente en términos de una sencilla lógica combinacional. La expresión lógica del dispositivo también sirve como buffer a otras señales de entrada que irán a la primitiva PINDLY. En este caso, LOGICEXP bufferea ENP_I, ENT_I, CLK_I, CLRBAR_I, LOADBAR_I, y las cuatro señales de datos. Véase el capítulo *Dispositivos Digitales* en el *Manual de Referencia en línea de OrCAD PSpice A/D* para más información.

Para nuestro ejemplo 74160, la expresión lógica (LOGICEXP) tiene catorce entradas y veinte salidas. Las entradas son los nueve pines del interface en el subcircuito mas cinco señales de realimentación que provienen de los biestables (QA, QB, QC, QD, y QDBAR). Los biestables son dispositivos primitivos por sí mismos y no son parte de la expresión lógica. Las salidas son las ocho entradas J-K de los biestables, RCO, las cuatro líneas de datos utilizadas internamente en la expresión lógica (A, B, C, D), y las siete líneas de control: CLK, CLKBAR, EN, ENT, ENP, CLRBAR, y LOADBAR.

La representación esquemática del dispositivo muestra buffers en cada señal de entrada del modelo, mientras que el diagrama lógico del dispositivo en las hojas de datos muestra buffers o inversores únicamente en las señales CLRBAR_I, CLK_I, y LOADBAR_I. Hemos añadido buffers a las entradas para reducir la inserción de interfaces A-a-D cuando el dispositivo se controla por medio de una circuitería analógica. El mejor ejemplo es la señal CLK. Con el buffer colocado, si la señal CLK es analógica, se insertará un dispositivo de interface A-a-D en el circuito por el simulador. Si el buffer no está presente, se deberá insertar un interface entre el pin de CLK de cada uno de los biestables. Los buffers no tienen retardos asociados, pero reduciendo el número de interfaces A-a-D, aumentaremos la simulación de señales mixtas reduciendo el número de cálculos

necesarios. Para situaciones en las que un dispositivo está conectado únicamente a otros nodos digitales, los buffers no tienen efecto en la simulación.

La puerta D0_GATE, mostrada en el listado, es un modelo de tiempos de una primitiva de una puerta con retardo cero. para la mayoría de las aplicaciones de modelos TTL, esto únicamente sirve como marcador de posición y no es una parte activa del modelo, su función ha sido reemplazada por la primitiva PINDLY. El modelo D0_GATE puede verse en la librería DIG_IO.LIB. Para una descripción más detallada de las primitivas digitales, véase el capítulo *Dispositivos Digitales* en el *Manual de Referencia en línea de OrCAD PSpice A/D*.

IO_STD, que se muestra en el listado, es el modelo I/O estándar. Este determina las características de interface A-a-D y D-a-A para el subcircuito. El dispositivo contiene información específica de la familia, pero los modelos han sido creados para casi todas las familias. Los diversos modelos I/O pueden ser encontrados en la librería DIG_IO.LIB.

La expresión lógica por sí misma es recursiva. Los nueve primeros están buffereando las señales de entrada desde fuera del subcircuito. El resto describe la lógica del dispositivo actual hasta los biestables. Traceando los diversos caminos en el diseño, puede derivar cada una de las ecuaciones lógicas.

El modelo de tiempos D0_EFF, en el listado, es un modelo por defecto con retardo 0 ya definido en DIG_IO.LIB para utilizar con biestables. Todos los retardos del dispositivo están definidos en la sección PINDLY. El modelo I/O es IO_STD como se identificó previamente. No hemos especificado el parámetro MNTYMXDLY o IO_LEVEL, así que se utilizarán los valores por defecto. Para una descripción más detallada sobre las primitivas digitales generales MNTYMXDLY y IO_LEVEL, véase el capítulo *Dispositivos Digitales* en el *Manual de Referencia en línea de OrCAD PSpice A/D*.

La primitiva MNTYMXDLY indica si se usarán los valores de tiempos en el peor de los casos mínimo, típico o máximo para el modelo de tiempos del dispositivo. (en este caso el dispositivo PINDLY). Para el 74160, MNTYMXDLY se fija a 0. Esto indica que toma el valor actual del parámetro DIGMNTYMX. DIGMNTYMX es por defecto 2 (tiempo típico) a no ser que se cambie utilizando el comando .OPTIONS.

La primitiva IO_LEVEL selecciona uno de los cuatro posibles subcircuitos de interface A-a-D y D-a-A del modelo I/O del dispositivo. En la cabecera de este subcircuito, IO_LEVEL se fija a 0. Esto indica que toma el valor del parámetro DIGIOLVL. DIGIOLVL vale por defecto 1 a no ser que se cambie utilizando el comando .OPTIONS.

Retardo entre pines (primitiva PINDLY)

Las especificaciones de retardo y restricciones para el modelo se definen utilizando la primitiva PINDLY. Esta primitiva se evalúa cada vez que cambian cualquiera de sus entradas o salidas. Véase el capítulo *Dispositivos Digitales* en el *Manual de Referencia en línea de OrCAD PSpice A/D* para más información.

Para el 74160, tenemos cinco caminos de retardos, las cuatro salidas de los biestables a las salidas del subcircuito QA...QD a QA_O...QD_O, y RCO a RCO_O. Los cinco caminos pueden verse en la sección Retardos y Restricciones en el diseño. Para los caminos de retardos, el número de entradas deberá ser igual al número de salidas. Como el 74160 no tiene salidas TRIESTADO, no hay señales disponibles para este ejemplo, pero hay diez nodos de referencia. Los cuatro primeros (CLK, LOADBAR, ENT, y CLRBAR) se utilizan tanto para la especificación de retardos entre pines como para las restricciones de chequeo. Los seis últimos (ENP, A, B, C, D, y EN) se utilizan únicamente para las restricciones de chequeo.

La primitiva PINDLY también permite restricciones de chequeo del modelo. Puede verificar la configuración, los tiempos de mantenimiento, la anchura del pulso y su frecuencia. También posee un mecanismo general para permitir que se informe de condiciones definidas por el usuario. La restricción de chequeo únicamente informa de violaciones de tiempos, no afecta al retardo en la propagación o los estados lógicos del dispositivo. Como los parámetros de tiempos están generalmente definidos a nivel de pines del dispositivo actual, el chequeo se realiza

normalmente en los pines del interface del subcircuito después de haberse colocado los buffers apropiados.

BOOLEAN

La palabra clave BOOLEAN comienza las asignaciones de boole que definen variables temporales que pueden ser utilizadas posteriormente en la primitiva PINDLY. La forma es:

variable booleana = {expresión booleana}

Los corchetes son necesarios.

En el modelo 74160, las expresiones de boole son actualmente funciones de referencia. Hay tres funciones de referencia disponibles: CHANGED, CHANGED_LH, y CHANGED_HL. El formato es:

nombre de función(nodo, tiempo de incremento)

Para nuestro ejemplo, definiremos la variable VLOCK como una VERDAD lógica si ha habido una transición BAJO a ALTO de la señal CLK en el tiempo de la simulación. Definiremos CNTENT como VERDAD si ha habido una transición de la señal ENT en el tiempo de la simulación.

Los operadores booleanos toman los siguientes valores como operandos:

- funciones de referencia
- funciones de transición
- variables de Boole previamente asignadas
- constantes TRUE y FALSE de Boole

Las funciones de transición tienen la forma general:

TRN_pn

Para una lista completa de funciones de referencia y funciones de transición, véase el capítulo *Dispositivos Digitales* en el *Manual de Referencia en línea de OrCAD PSpice A/D*.

PINDLY

PINDLY contiene el retardo actual y las expresiones de restricciones para cada una de las salidas.

La función CASE define una regla mucho más compleja basada en <*expresión de retardo*> y trabaja como un mecanismo de sección de reglas para establecer retardos en los caminos. Cada expresión de boole en la función CASE se evalúa por orden hasta que se encuentre una que produzca un resultado VERDAD, la parte de la expresión del retardo de la regla queda asociada con el nodo de salida que se está evaluando, y el resto de la función CASE es ignorada. Como es posible que ninguna de las expresiones se evalúe a VERDAD, se deberá escribir un retardo por defecto en cada expresión CASE. También fíjese que las expresiones deberán estar separadas por una coma.

En la sección PINDLY de la primitiva PINDLY del listado de modelos, los cuatro nodos de salida (QA_O a QD_O) utilizan todos los mismos retardos de tiempos. La función CASE se evalúa de forma independiente para cada una de las salidas por orden. La primera expresión de retardo es:

```
CLOCK & LOADBAR=='1 & TRN_LH, DELAY(-1,13NS,20NS)
```

Esto significa que si CLOCK es CIERTO, y LOADBAR es igual a 1, y QA_O está cambiando de 0 a 1, entonces los valores de -1, 13ns, y 20ns serán utilizados como los retardos de propagación MINIMUM, TYPICAL, y MAXIMUM para la salida de datos CLK-a-QA del chip. En este caso, el fabricante no suministró un retardo mínimo, de modo que se utilizó el retardo de -1 para indicar al simulador que calcule el valor. Si este estamento es VERDAD, entonces el simulador asignaría los valores de la función CASE para QB_O y eventualmente para RCO_O.

Para copias en las que hubiera uno o más retardos en la propagación no suministrados por las hojas de datos, el simulador calcula un valor a partir de lo ya conocido y de los valores especificados para .OPTION DIGMNTYSCALE y DIGTYMXSCALE.

Cuando se conoce el valor típico para un parámetro de retardo, pero no el mínimo, el simulador utiliza la fórmula:

```
TPxxMN = DIGMNTYSCALE  X  TPxxTY
```

En donde el valor de DIGMNTYSCALE está entre 0.1 y 1.0 con un valor por defecto de 0.4. Si se conoce el valor típico, pero no el máximo, el simulador utilizará la fórmula:

TPxxMX = DIGTYMXSCALE X TPxxTY

en donde el valor de DIGTYMXSCALE es mayor de 1.0 con un valor por defecto de 1.6. Si no se conoce el valor típico pero si el mínimo y el máximo, el valor típico que utilizará el simulador será la media de los retardos en la propagación máximo y mínimo. Si únicamente se conoce un valor máximo o mínimo, el valor típico se calcula utilizando la formula listada. Si no se conoce ningún valor, por defecto se utilizará un valor de cero.

Restricciones de chequeo (primitiva CONSTRAINT)

La primitiva CONSTRAINT proporciona un mecanismo de restricciones de chequeo general para el modelador del dispositivo digital. Realiza chequeos de los tiempos de configuración y mantenimiendo, de la anchura del pulso, chequea la frecuencia, e incluye un mecanismo general para permitir que se informe de condiciones definidas por el usuario. Véase el capítulo *Dispositivos Digital* en el *Manual de Referencia en línea de OrCAD PSpice A/D* para más información.

Configuración_Mantenimiento

Las expresiones en la especificación SETUP_HOLD pueden ser listadas en cualquier orden.

CLOCK define el nodo que se utilizará como referencia para la especificación configuración/mantenimiento/release. La declaración deberá ser LH o HL (por ejemplo, una transición desde el estado 0 al 1 o desde el estado 1 al 0).

DATA define en qué nodo(s) se van a medir los tiempos de configuración/mantenimiento.

SETUPTIME define el tiempo mínimo en el que todos los nodos DATA deberán permanecer estables antes del flanco del reloj. El tiempo deberá ser una constante no negativa y se mide en segundos. Si el dispositivo posee diferentes tiempos de configuración/mantenimiento dependiendo de si los datos son ALTO o BAJO y el reloj cambia, puede utilizar cualquiera de las dos formas siguientes:

SETUPTIME_LO = <time value>
SETUPTIME_HI = <time value>

Si ambos valores de tiempos fueran 0, no se realizará chequeo para este caso.

HOLDTIME se utiliza del mismo modo que SETUPTIME y también tiene los formatos alternativos _LH y _HL y la condición de valor 0.

RELEASETIME hace que el simulador realiza un chequeo de configuración con un propósito especial. El tiempo de release (también definido como el tiempo de recuperación en algunas hojas de datos), se refiere al mínimo tiempo que la señal puede permanecer inactiva antes de activar el flanco del reloj. De nuevo, están disponibles las formas _LH y _HL. La diferencia entre RELEASETIME y SETUPTIME es que no se permiten transiciones simultáneas CLOCK/DATA (esto supondría un tiempo de mantenimiento distinto de cero). RELEASETIME no se utiliza normalmente junto con SETUPTIME o HOLDTIME.

Width

WIDTH realiza el chequeo de la mínima anchura del pulso. MIN_HI/MIN_LO es el tiempo mínimo que el nodo puede permanecer en HI/LOW. El valor deberá ser una constante no negativa o una expresión. Un valor de cero significa que se permite cualquier anchura de pulso. Se deberá utilizar al menos un MIN_HI o MIN_LO dentro de la sección WIDTH.

Freq

FREQ revisa la frecuencia. MINFREQ/MAXFREQ es la frecuencia máxima/mínima permitida en el nodo en cuestión. El valor deberá ser una constante no negativa o una expresión medida en herzios. Al menos deberá utilizarse MINFREQ o MAXFREQ dentro de una sección FREQ.

Las claúsulas AFFECTS (no usadas en este ejemplo) pueden ser incluidas en restricciones para describir cómo asociará el simulador el fallo del chequeo de una restricción con las salidas (caminos a través del dispositivo) de PINDLY. Esta información no afectará al estado lógico de las salidas, pero da un detalle de la causalidad utilizada por el mecanismo de errores en el análisis de formas de onda de PSpice A/D.

Ejemplo del 74160

En el ejemplo 74160, estamos revisando que la máxima frecuencia del reloj (CLK) no supere los 25 MHz y que la anchura del pulso sea de 25 ns.También estamos revisando que la señal CLRBAR posea una anchura de pulso mínima LO 20 ns, y que las 4 entradas de datos (A, B, C, D) tengan un tiempo de configuración/mantenimiento de 20 ns en referencia a la señal CLK. También estamos revisando que ENP y ENT tengan un tiempo de configuración/mantenimiento de 20 ns respecto a la señal CLK, pero sólo cuando se cumplan las condiciones del estamento WHEN. Todos los valores de retardos y restricciones de chequeo han sido tomados directamente de las hojas de datos actuales. Esto hace el modelado más fácil y preciso.

Todas las primitivas y métodos de modelado anteriores, así como unos pocos casos especiales que no están cubiertos aquí, pueden ser encontrados en el capítulo *Dispositivos Digitales* del *Manual de Referencia en línea de OrCAD PSpice A/D*.

```
* 74160  Synchronous 4-bit Decade Counters with asynchronous clear

* Modeled using LOGICEXP, PINDLY, & CONSTRAINT devices

.SUBCKT 74160 CLK_I ENP_I ENT_I CLRBAR_I LOADBAR_I A_I B_I C_I D_I
+ QA_O QB_O QC_O QD_O RCO_O
```

```
+ OPTIONAL: DPWR=$G_DPWR DGND=$G_DGND
+ PARAMS: MNTYMXDLY=0 IO_LEVEL=0
*
U160LOG LOGICEXP(14,20) DPWR DGND
+ CLK_I ENP_I ENT_I CLRBAR_I LOADBAR_I A_I B_I C_I D_I
+    QDBAR QA QB QC QD
+ CLK ENP ENT CLRBAR LOADBAR A B C D
+ CLKBAR RCO JA JB JC JD KA KB KC KD EN
+ D0_GATE IO_STD IO_LEVEL={IO_LEVEL}
+ LOGIC:
+   CLK = { CLK_I }                          ;Buffering
+   ENP = { ENP_I }
+   ENT = { ENT_I }
+   CLRBAR = { CLRBAR_I }
+   LOADBAR = { LOADBAR_I }
+   A = { A_I }
+   B = { B_I }
+   C = { C_I }
+   D = { D_I }
+   CLKBAR = { ~CLK }                        ;Logic expressions
+   LOAD = { ~LOADBAR }
+   EN = { ENP & ENT }
+   I1A = { LOAD | EN }
+   I2A = { ~(LOAD & A) }
+   JA = { I1A & ~(LOAD & I2A) }
+   KA = { I1A & I2A }
+   I1B = { (QA & EN & QDBAR) | LOAD }
+   I2B = { ~(LOAD & B) }
+   JB = { I1B & ~(LOAD & I2B) }
+   KB = { I1B & I2B }
+   I1C = { (QA & EN & QB) | LOAD }
+   I2C = { ~(LOAD & C) }
+   JC = { I1C & ~(LOAD & I2C) }
+   KC = { I1C & I2C }
+   I1D = { ((QC & QB & QA & EN) | (EN & QA & QD)) | LOAD }
+   I2D = { ~(LOAD & D) }
+   JD = { I1D & ~(LOAD & I2D) }
+   KD = { I1D & I2D }
+   RCO = { QD & QA & ENT }
*
UJKFF JKFF(4) DPWR DGND $D_HI CLRBAR CLKBAR JA JB JC JD KA KB KC
KD
+ QA QB QC QD QABAR QBBAR QCBAR QDBAR D0_EFF IO_STD
U160DLY PINDLY (5,0,10) DPWR DGND
+ RCO QA QB QC QD
+ CLK LOADBAR ENT CLRBAR ENP A B C D EN
+ RCO_O QA_O QB_O QC_O QD_O
+ IO_STD MNTYMXDLY={MNTYMXDLY} IO_LEVEL={IO_LEVEL}
+ BOOLEAN:
+   CLOCK = { CHANGED_LH(CLK,0) }
+   CNTENT = { CHANGED(ENT,0) }
+ PINDLY:
+   QA_O QB_O QC_O QD_O = {
+    CASE(
+      CLOCK & LOADBAR=='1 & TRN_LH, DELAY(-1,13NS,20NS),
```

```
+     CLOCK & LOADBAR=='1 & TRN_HL, DELAY(-1,15NS,23NS),
+     CLOCK & LOADBAR=='0 & TRN_LH, DELAY(-1,17NS,25NS),
+     CLOCK & LOADBAR=='0 & TRN_HL, DELAY(-1,19NS,29NS),
+     CHANGED_HL(CLRBAR,0), DELAY(-1,26NS,38NS),
+     DELAY(-1,26NS,38NS)
+      )
+    }
+  RCO_O = {
+    CASE(
+     CNTENT, DELAY(-1,11NS,16NS),
+     CLOCK, DELAY(-1,23NS,35NS),
+     DELAY(-1,23NS,35NS)
+     )
+    }
+ FREQ:
+   NODE = CLK
+   MAXFREQ = 25MEG
+ WIDTH:
+   NODE = CLK
+   MIN_LO = 25NS
+   MIN_HI = 25NS
+ WIDTH:
+   NODE = CLRBAR
+   MIN_LO = 20NS
+ SETUP_HOLD:
+   DATA(4) = A B C D
+   CLOCK LH = CLK
+   SETUPTIME = 20NS
+   WHEN = { (LOADBAR!='1 ^ CHANGED(LOADBAR,0)) &
+        CLRBAR!='0 }
+ SETUP_HOLD:
+   DATA(2) = ENP ENT
+   CLOCK LH = CLK
+   SETUPTIME = 20NS
+   WHEN = { CLRBAR!='0 & (LOADBAR!='0 ^
+        CHANGED(LOADBAR,0))
+    & CHANGED(EN,20NS) }
+ SETUP_HOLD:
+   DATA(1) = LOADBAR
+   CLOCK LH = CLK
+   SETUPTIME = 25NS
+   WHEN = { CLRBAR!='0 }
+ SETUP_HOLD:
+   DATA(1) = CLRBAR
+   CLOCK LH = CLK
+   RELEASETIME_LH = 20NS
.ENDS
```

Parte tres

Preparando y ejecutando el análisis

La Parte Tres describe cómo preparar y ejecutar el análisis y da información específica sobre cada tipo de análisis.

- *Capítulo 8, Preparando el análisis e iniciando la simulación*, explica el procedimiento general para todo tipo de análisis para configurar e iniciar la simulación.
- *Capítulo 9, Análisis DC*, describe cómo preparar el análisis DC, incluyendo el barrido DC, el detalle del punto de trabajo, la transferencia de pequeña señal DC, y sensitividad DC.
- *Capítulo 10, Análisis AC*, describe cómo preparar el barrido AC y análisis de ruidos.
- *Capítulo 11, Análisis de transitorios*, describe cómo preparar el análisis de transitorios y opcionalmente componentes de Fourier. Este capítulo también explica cómo utilizar el Editor de Impulsos (Stimulus Editor) para crear entradas basadas en el tiempo.
- *Capítulo 12, Análisis paramétrico y de temperatura*, describe cómo preparar análisis paramétricos y de temperatura, y cómo ejecutar análisis de prestaciones

después de la simulación en Probe sobre los resultados de esos análisis.

- *Capítulo 13, Análisis de Monte Carlo y del peor de los casos*, describe cómo preparar análisis de Monte Carlo y el peor de los casos para obtener una interpretación estadística del comportamiento del circuito.
- *Capítulo 14, Simulación digital*, describe cómo preparar un análisis de simulación digital tanto en un circuito mixto como en uno totalmente digital.
- *Capítulo 15, Simulación mixta analógica/digital*, explica cómo procesa PSpice A/D los interfaces analógico y digitales en circuitos con señales mixtas.
- *Capítulo 16, Análisis digital de tiempos en el peor de los casos*, describe cómo realiza PSpice A/D análisis de tiempo digital en el peor de los casos y los tipos de fallos que este análisis puede ayudarle a detectar.

Preparando el análisis e iniciando la simulación

8

Presentación general del capítulo

Este capítulo da una visión general de la configuración de los análisis y el inicio de la simulación que se aplica a cualquier tipo de análisis. El resto de los capítulos de la *Parte tres, Preparando y ejecutando el análisis* dan información sobre la configuración de cada tipo de análisis.

Este capítulo incluye las siguientes secciones:

- *Tipos de análisis* en la página 286
- *Preparando el análisis* en la página 288
- *Iniciando una simulación* en la página 296

Tipos de análisis

PSpice A/D soporta análisis que puedan simular circuitos sólo digitales, sólo analógicos y mixtos.

PSpice A/D soporta análisis digitales completos simulando el comportamiento en el tiempo de dispositivos digitales con un análisis de transitorios estándar, incluyendo tiempos en el peor de los casos (mínimo y máximo). Para circuitos mixtos analógico-digitales, pueden ejecutarse todos los análisis arriba mencionados. Si el circuito es solo digital, únicamente puede realizarse el análisis de transitorios.

La Tabla 22 da un resumen de los análisis de PSpice A/D disponibles y las opciones de tipos de análisis correspondientes cuando se especifiquen los parámetros de análisis. En Capture, cambiar a la presentación PSpice, después, desde el menú PSpice, seleccionar New Simulation Profile.

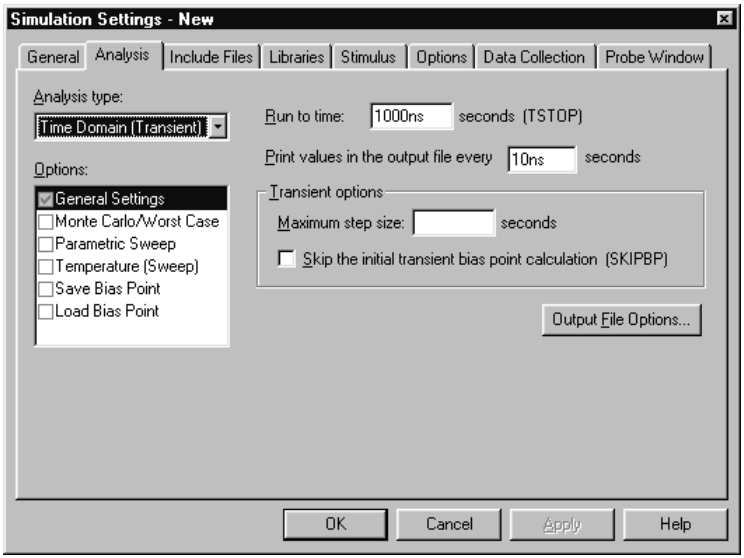
Véase la *Parte cuarta, Visualizando resultados*, para más información sobre el uso del análisis de formas de onda en PSpice A/D.

Preparando el análisis

Información específica sobre la configuración de cada tipo de análisis se explicará en los capítulos siguientes.

Para preparar uno o más análisis

1. En el menú PSpice, seleccionar New Simulation Profile.
2. Introducir el nombre del perfil y clicar OK.
3. Clicar sobre la pestaña Analysis si todavía no es la pestaña activa en la caja de diálogo.



Véase *Variables de salida* en la página 290 para una descripción de las variables de salida que pueden ser introducidas en la caja de diálogo Simulation Settings mostrada para cada tipo de análisis.

Información específica sobre la configuración de cada tipo de análisis se explicará en los siguientes capítulos.

4. Introducir los valores de parámetros necesarios y seleccionar las cajas de chequeo apropiadas para completar la especificación del análisis.
5. Configurar cualquier otro análisis que quiera realizar en el circuito seleccionando cualquiera del resto de tipos de análisis y opciones, después completar sus cajas de diálogo de configuración.

Orden de Ejecución para análisis estándares

En simulaciones normales que se ejecuten desde un perfil de simulación, o en modo bath, sólo será ejecutado el tipo de análisis que se haya especificado.

Durante la simulación de un circuito, los tipos de análisis se realizarán en el orden mostrado en la Tabla 23. Cada tipo de análisis será realizado sólo una vez por ejecución.

Varios de los análisis (transferencia de pequeña señal, sensitividad DC, y respuesta en frecuencia) depende del cálculo del punto de trabajo. Debido a eso, muchos análisis utilizan el punto de trabajo. PSpice A/D calcula esto de forma automática. El cálculo del punto de trabajo de PSpice A/D computa los estados iniciales de los componentes digitales así como el de los componentes analógicos.

Table 23 *Orden de ejecución para una análisis estándar*

1. Barrido DC
2. Punto de trabajo
3. Respuesta en frecuencia
4. Ruido
5. Sensitividad DC
6. Transferencia DC de pequeña señal
7. Respuesta de transitorios
8. Componentes de Fourier

Variables de salida

Algunos análisis (como pueden ser Ruidos, Monte Carlo, Sensitividad/peor de los casos, Sensitividad DC, Fourier, y Función de transferencia DC de pequeña señal) necesitan que se especifiquen variables de salida en puntos específicos del esquema. Dependiendo del tipo de análisis, puede necesitar lo siguiente:

- Tensión en una conexión, pin o en un terminal de un semiconductor.
- Corriente a través de una parte o en un terminal de un semiconductor.
- Un nombre de dispositivo.

Si fueran necesarias variables de salida o cualquier otra información, seleccionar Output File Options en la caja de diálogo Monte Carlo/Worst Case e introducir los parámetros requeridos.

Tensión

Especificar la tensión en el siguiente formato:

v[*modifiers*](<*out id*>[,<*out id*>]) (1)

en donde <*out id* > es:

<*net id*> o <*pin id*> (2)

<*net id*> es un nombre de conexión válido (3)

<*pin id*> es <*fully qualified device name*>:<*pin name*> (4)

Un nombre de conexión válido (referido arriba en la línea 3) está formado prefijando el nombre de la conexión visible (desde una etiqueta aplicada a uno de los segmentos de un hilo o de un bus, o a un conector de salida de página conectado a la conexión) con el path jerárquico completo, separado por puntos. A nivel superior de la jerarquía es justo el nombre visible.

Un nombre de dispositivo válido (en la línea 4 arriba) se distingue especificando el path jerárquico completo seguido por la referencia de parte del dispositivo, separados por puntos. Por ejemplo, una resistencia con la referencia R34 dentro de la parte

Y1 colocada en la página superior de una jerarquía será referida como Y1.R34 cuando sea utilizada como variable de salida.

Un <*pin id*> (en la línea 4) se distingue de forma inequívoca especificando el nombre completo de la parte (como se explicó antes) seguido de dos puntos y el nombre del pin. Por ejemplo, los pines de un condensador con el designador de referencia C31, colocado en una página en el nivel superior y con nombres de pines 1 y 2, será identificado como C31:1 y C31:2 respectivamente.

Corriente

Especifique la corriente en el siguiente formato:

i[*modifiers*](<*out device*>[:*modifiers*])

en donde <*out device*> es un nombre de dispositivo válido.

Modificadores

La sintasis básica para las variables de salida puede ser modificada para indicar terminales de semiconductores o especificaciones AC. Los modificadores vienen antes de <*out id*> o <*out device*>. O, cuando se especifiquen terminales (como fuente o drenador), el modificador es el nombre del pin contenido en <*out id*>, o está añadido a <*out device*> separado por un punto.

Los modificadores pueden ser especificados como sigue:

- Para tensión:

  v[*AC suffix*](<*out id*>[, *out id*])
  v[*terminal*]*(<*out device*>)

- Para corriente:

  i[*AC suffix*](<*out device*>[:*terminal*])
  i[*terminal*][*AC suffix*](<*out device*>])

en donde

terminal especifica uno o dos terminales para dispositivos con más de dos terminales, como por ejemplo D (drenador), G (puerta), S (fuente)

AC suffix especifica la cantidad que será reportada para el análisis AC, como puede ser M (magnitud), P (fase), G (retardo de grupo)

out id especifica tanto el <*net id*> o <*pin id*> (<*fully qualified device name*>:<*pin name*>)

out device especifica el <*fully qualified device name*>

Estos bloques de construcción pueden ser utilizados para especificar variables de salida como se muestra en la Tabla 24 (que resume los formatos de variables de salida aceptados) y las tablas de la 25 hasta la 28 (que listan los elementos válidos para dipositivos de dos, tres o cuatro terminales, dispositivos de líneas de transmisión y especificaciones AC).

Table 24 *Formatos de variables de salida de PSpice A/D*

Formatos	**Significado**
V[*ac*](< + *out id* >)	tensión en *out id*
V[*ac*](< +*out id* >,< - *out id* >)	tensión a través + y - *out id's*
V[*ac*](< *2-terminal device out id* >)	tensión en la salida de un dispositivo de 2 *terminales*
V[*ac*](< *3 or 4-terminal device out id* >) or V<*x*>[*ac*](< *3 or 4-terminal out device* >)	tensión en un terminal no tierra *x de un dispositivo de 3 o 4 terminales*
V<*x*><*y*>[*ac*](< *3 or 4-terminal out device* >)	tensión entre los terminales *x* e *y* de un dispositivo de 3 o 4 terminales
V[*ac*](< *transmission line out id* >) or V<*z*>[*ac*](< *transmission line out device* >)	tensión en un extremo *z* de una línea de transmisión
I[*ac*](< *3 or 4-terminal out device* >:<*x*>) or I<*x*>[*ac*](< *3 or 4-terminal out device* >)	corriente a través de un terminal x no tierra de un dispositivo de 3 o 4 terminales
I[*ac*](< *transmission line out device* >:<*z*>) or I<*z*>[*ac*](< *3 or 4-terminal out device* >)	corriente a través de un extremo *z* de la salida de una línea de transmisión
< *DC sweep variable* >	nombre de la fuente de tensión o corriente

Table 25 *Definición de elementos para dispositivos de dos terminales*

Tipo de dispositivo	*<out id>* **o** *<out device>* **indicador del dispositivo**	**Ejemplos de variables de salida**
condensador	C	V(CAP:1) I(CAP)
diodo	D	V(D23:1) I(D23)
fuente de tensión controlada por tensión	E	V(E14:1) I(E14)
fuente de corriente controlada por corriente	F	V(F1:1) I(F1)
fuente de corriente controlada por tensión	G	V(G2:1) I(G2)
fuente de tensión controlada por corriente	H	V(HSOURCE:1) I(HSOURCE)
fuente de corriente independiente	I	V(IDRIV:+) I(IDRIV)
bobina	L	V(L1:1) I(L1)
resistencia	R	V(RC1:1) I(RC1)
conmutador controlado por tensión	S	V(SWITCH:+) I(SWITCH)
fuente de tensión independiente	V	V(VSRC:+) I(VSRC)
conmutador controlado por corriente	W	V(W22:-) I(W22)

Table 28 *Definiciones de elementos específicos para el análisis AC*

<ac suffix> **símbolo del dispositivo**	**Significado**	**Ejemplos de variables de salida**
(none)	magnitud (por defecto)	V(V1) I(V1)
M	magnitud	VM(CAP1:1) IM(CAP1:1)
DB	magnitud en decibelios	VDB(R1)
P	fase	IP(R1)
R	parte real	VR(R1)
I	parte imaginaria	VI(R1)

Las variables de salida INOISE, ONOISE, DB(INOISE), y DB(ONOISE) están predefinidas para ser utilizadas en análisis de ruidos (Barrido AC).

Iniciando una simulación

Después de utilizar Capture para acceder al diseño del circuito y haber configurado el análisis, puede iniciar una simulación seleccionando Run en el menú PSpice. Cuando acceda y prepare el circuito de esta forma, Capture generará de forma automática los ficheros de la simulación e iniciará PSpice A/D.

Puede haber situaciones, de todas formas, en las que puede querer ejecutar PSpice A/D fuera de Capture. Por ejemplo, puede querer simular un circuito que no haya sido creado en Capture, por ejemplo, o puede querer ejecutar simulaciones de múltiples circuitos en modo batch.

Esta sección incluye lo siguiente:

- *Iniciando una simulación desde Capture*, abajo
- *Iniciando la simulación desde fuera de Capture* en la página 297
- *Preparando simulaciones en modo batch* en la página 297
- *La ventana de simulación de PSpice A/D* en la página 299

Iniciando una simulación desde Capture

Después de haber preparado el análisis para el circuito, puede iniciar la simulación desde Capture de varias formas:

- En el menú PSpice, seleccionar Run.
- Clicar sobre el botón Simulate en la barra de herramientas de PSpice.

Iniciando la simulación desde fuera de Capture

Para iniciar PSpice A/D fuera de Capture

1. En el menú Start, apuntar al grupo de programas de OrCAD, después seleccionar PSpice A/D.
2. En el menú File, seleccionar Open Simulation.
3. Realizar una de las siguientes acciones:
   - Hacer doble clic sobre el nombre de fichero del perfil de la simulación (*.SIM) en la caja de listas.
   - Introducir el nombre de fichero del perfil de la simulación (*.SIM) en la caja de textos File name y clicar Open.
4. En el menú Simulation, seleccionar Edit Settings para modificar cualquiera de los parámetros de configuración de la simulación.
5. En el menú Simulation, seleccionar Run (o clicar sobre el botón Run de la barra de herramientas) para iniciar la simulación.

Preparando simulaciones en modo batch

Cuando se inicia PSpice A/D directamente desde una entrada de un fichero de circuitos, pueden realizarse múltiples simulaciones en modo bath. Puede utilizar este modo, por ejemplo, para realizar un número de simulaciones por la noche. Hay dos formas de realizar esto, como se explica abajo.

Configuraciones de múltiples simulaciones con un fichero de circuito

Pueden concatenarse descripciones de simulación de múltiples circuitos en un solo fichero de circuito y simular todas a la vez con PSpice A/D. Cada descripción de la simulación del circuito

en el fichero deberá comenzar con una línea de título y terminar con el estado .END.

El simulador lee todos los circuitos en el fichero de circuito y El fichero de datos y el fichero de salida de la simulación contendrá las salidas de cada circuito en el mismo orden en el que aparecen en el fichero de circuito. El efecto es el mismo que si se hubiese ejecutado cada circuito de forma separada y posteriormente se hubiesen concatenado todas las salidas.

Ejecutando simulaciones con múltiples ficheros de circuitos

Puede dirigir PSpice A/D para que simule múltiples ficheros de circuitos utilizando cualquiera de los métodos siguientes.

Método 1

1 En el menú Start, apuntar al grupo de programas de OrCAD, después seleccionar PSpice A/D.

2 En el menú file de la ventana de PSpice A/D, seleccionar Open Simulation.

3 Realizar una de las siguientes acciones:

- Teclear cada nombre de fichero en la caja de texto File Name separados por un espacio.
- Utilizar una combinación de teclas y clics del ratón en la caja de lista como sigue: C+click para seleccionar los nombres de ficheros uno cada vez, y V+click para seleccionar grupos de ficheros.

Método 2

1 En el menú Start, apuntar al grupo de programas de OrCAD, después seleccionar PSpice A/D.

2 Actualizar la línea de comandos de la forma siguiente:

- Incluir una lista de nombres de ficheros de circuito separados por espacios.

Los nombres de los ficheros de los circuitos pueden escribirse al completo o pueden contener (* y ?).

La ventana de simulación de PSpice A/D

La ventana Simulation de PSpice A/D es una aplicación MDI (Multiple Document Interface). Esto significa que pueden abrirse múltiples ficheros a la vez en esta ventana. Por ejemplo, puede tener un fichero de formas de onda (.DAT), un fichero de circuito (.CIR), y un fichero de salida de la simulación (.OUT) abierto y mostrado en diferentes ventanas hijas dentro de esta ventana.

La ventana Simulation de PSpice A/D está formada por tres secciones: la ventana pricipal en donde se ven los ficheros abiertos. La ventana de salida, en donde se ve información de salida tales como mensajes informativos, de aviso y de error del simulador, y la ventana de estado de la simulación, en donde se muestra un estado detallado del simulador. Estas tres secciones se muestran en la figura 56.

Las ventanas en esta sección pueden ser redimensionadas, movidas y reordenadas como sea necesario.

La ventana de simulación también incluye una barra de menús y una barras de herramientas para controlar la simulación y la presentación de las formas de ondas.

Barra de Título

La barra de título de la ventana de simulación (el área en la parte superior de la ventana) identifica el nombre de la simulación actualmente abierta (tanto el perfil de la simulación como el fichero del circuito) y el nombre del documento abierto actualmente y mostrado en el área de la ventana principal. Por ejemplo, la ventana de simulación mostrada en la figura 56 indica que está abierto el ejemplo del perfil de la simulación TRAN y el documento mostrado es Example-Example-TRAN.DAT.

Menús y Barras de Herramientas

Los menús de la barra de menús incluyen comandos para configurar y controlar el simulador, para personalizar las características de presentación de la ventana, y configurar cómo se mostrarán las ondas. Los botones de la barra de herramientas duplican muchos de los comandos utilizados más frecuentemente.

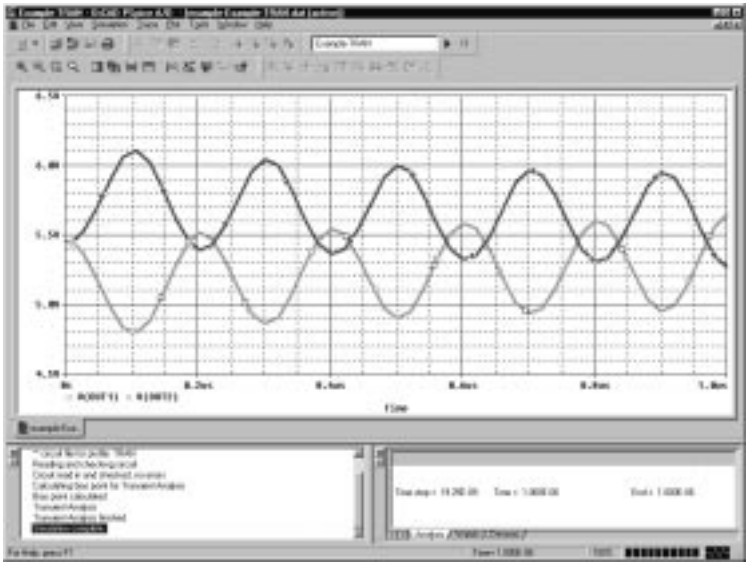


Figure 56 *Ventana de simulación de PSpice A/D*

Sección de la ventana principal La parte superior central (por defecto) es la sección de la ventana principal en donde se muestran documentos (como formas de onda, descripciones de circuitos, información de salida, etc) dentro de ventanas hija. Estas ventanas están tabuladas por defecto. Los tabuladores en la parte inferior izquierda muestran los nombres de los documentos que contiene cada ventana hija. Clicando sobre un tabulador traerá esa ventana hija a primer término. La Figura 56 muestra las ventanas de documentos tabuladas para: Ejemplo-TRAN.DAT y

Ejemplo-TRAN.OUT.

Puede configurar la presentación de estas ventanas para que se ajusten a sus preferencias y realizar el análisis del circuito de forma rápida y fácilmente comprensible. Estas ventanas pueden redimensionarse, moverse y reordenarse para ajustarse a sus necesidades.

Sección Output window La parte inferior izquierda de la ventana de simulación proporciona una lista de la salida de la simulación. Muestra mensajes de información de aviso y de

error desde la simulación. Para hacer más fácil su lectura, puede redimensionar y mover la ventana.

Sección de la ventana de estado de la Simulación La parte inferior derecha de la ventana de simulación presenta un conjunto de ventanas tabuladas que muestran un estado detallado de la simulación. Hay tres ventanas tabuladas en esta sección: La ventana de Análisis, La de Observación de variables, y la de Dispositivos. La Ventana de Análisis proporciona un informe de ejecución de variables de las variables de Simulación (parámetros tales como la Temperatura, Saltos de tiempo y Tiempo). La ventana de Observacion de Variables muestra las variables de Observacion y sus variables. Estas son las variables configuradas que pueden monitorizarse durante la simulación. La ventana de dispositivos muestra los dispositivos que están siendo simulados.

Análisis DC

9

Presentación general

Este capítulo describe cómo preparar el análisis DC, e incluye las siguientes secciones:

- *Barrido DC* en la página 304
- *Punto de trabajo* en la página 312
- *Transferencia de pequeñas señales de continua* en la página 314
- *Sensitividad DC* en la página 317

Barrido DC

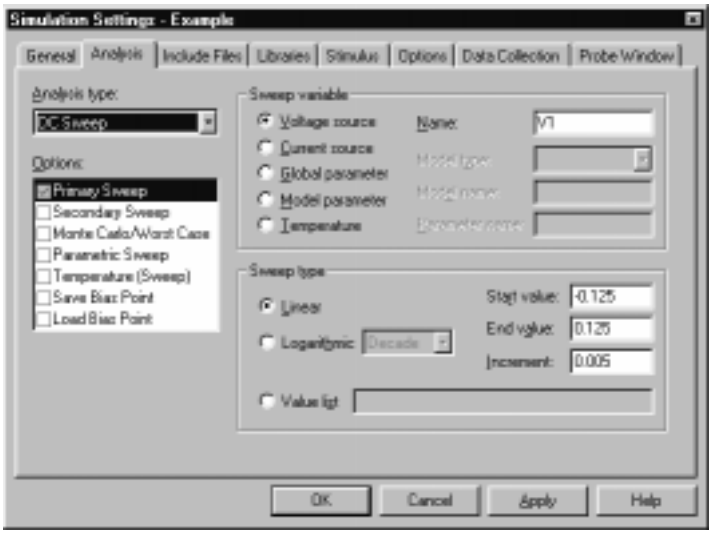
Requerimientos mínimos para ejecutar un análisis de barrido DC

Requerimientos del diseño del circuito mínimos

Table 29 *Requerimientos de diseño de un circuito para un barrido DC*

Tipo de variable de barrido	Requerimientos
fuente de tensión	Fuente de tensión con una especificación DC (por ejemplo, VDC)
temperatura	Ninguno
fuente de corriente	Fuente de corriente con una especificación DC (por ejemplo, IDC)
parámetros de modelo	Modelo A/D de PSpice (.MODEL)
parámetros globales	Parámetros globales definidos con un bloque de parámetros (.PARAM)

Requerimientos mínimos de configuración del programa



1 En Capture, seleccionar New Simulation Profile o Edit Simulation Settings en el menú PSpice. (Si fuera una nueva simulación, introducir el nombre en el perfil y clicar OK.)

Se mostrará la caja de diálogo de Simulation Settings.

2 En Analysis type, seleccionar DC Sweep.

3 Para la opción Primary Sweep, introducir los valores de parámetros necesarios y seleccionar las cajas de chequeo apropiadas para completar las especificaciones del análisis.

4 Clicar OK para salvar el perfil de la simulación.

5 Seleccionar Run en el menú PSpice para iniciar la simulación.

Note *No especificar un barrido DC y un análisis de parámetros para la misma variable.*

Presentación general del barrido DC

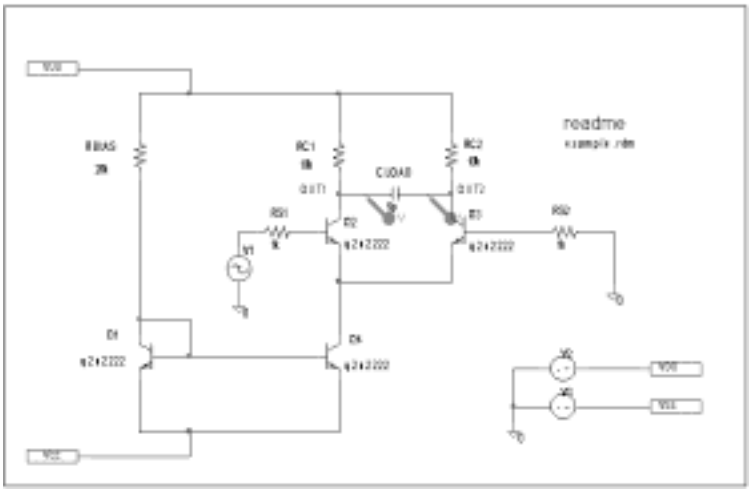
El análisis del barrido DC hace que se realice un barrido DC en el circuito. El barrido DC le permite realizar un barrido de una fuente (de tensión o de corriente), un parámetro global, un parámetro de modelo, o la temperatura a través de un rango de valores. El punto de trabajo del circuito es calculado para cada valor del barrido. Esto es muy útil para localizar la función de transferencia de un amplificador, los umbrales alto y bajo de una puerta lógica, etc.

Para el análisis del barrido DC especificado en la Figura 57, la fuente de tensión V1 va desde -0.125 voltios a 0.125 voltios en saltos de 0.005. Esto significa que la salida tiene (0.125+0.125)/0.005 +1 = 51 pasos o puntos de simulación.

Si la nueva variable de barrido es una tensión o una fuente de corriente, deberá ser utilizada una fuente con una especificación DC (como pueden ser VDC o IDC). Para fijar el valor DC, seleccionar Properties en el menú Edit, después clicar sobre la columna DC y teclear su valor.

El valor por defecto DC de V1 será ignorado durante el barrido DC y se convertirá en el valor del barrido. El resto de las demás fuentes mantendrán sus valores.

Después de ejecutar el análisis, el fichero de salida de la simulación (EXAMPLE.OUT para el circuito EXAMPLE.OPJ en la Figura 57) contendrá una tabla de tensiones relaccionando V1 el nodo OUT1 y el nodo OUT2.



El circuito de ejemplo EXAMPLE.OPJ viene con el programa de instalación de OrCAD.

Figure 57 *Esquema de ejemplo EXAMPLE.OPJ.*

Para calcular la respuesta en continua de un circuito analógico, PSpice A/D elimina tiempos en el circuito. Esto se hace tratando todos los condensadores como circuitos abiertos, las bobinas como cortos, y utilizando únicamente los valores de continua de las fuentes de tensión y corriente. Se utiliza una aproximación parecida para los dispositivos digitales: todos los retardos en la propagación se fijan a cero, y todos los generadores de impulsos se fijan a sus valores en el tiempo cero.

Para resolver las ecuaciones del circuito, PSpice A/D utiliza un algoritmo interactivo. Para dispositivos analógicos, las ecuaciones son continuas, y para dispositivos digitales, las ecuaciones son booleanas. Si PSpice A/D no puede obtener un resultado consistente después de un cierto número de intentos, los dispositivos analógico/digitales son forzados al valor X, y se realizarán nuevos intentos. Como una X como entrada en un componente digital da una X como salida, las ecuaciones de Boole siempre pueden ser resueltas de esta forma.

Si un nodo digital no pudiera ser llevado a valores conocidos durante los intentos DC (por ejemplo la salida de un biestable con la línea del reloj mantenida a nivel bajo), su estado DC será X. Dependiendo del circuito, algunos, ninguno o todos los nodos digitales pueden tener el estado X cuando se calcula su punto de trabajo.

Preparando un impulso DC

Para realizar un barrido DC o un análisis de de transferencia DC de pequeña señal, deberá colocar y conectar una o más fuentes independientes y fijar la tensión o corriente para cada fuente.

Para preparar símbolos DC

1 Colocar y conectar uno de estos símbolos al esquema:

Para tensión de entrada	
Utilice...	**Cuando esté ejecutando...**
VDC	Un análisis únicamente de un barrido DC y/o punto de trabajo (función de transferencia)
VSRC	Varios tipos de análisis y un barrido DC y/o punto de trabajo (función de transferencia)

Para corriente de entrada	
Utilice...	**Cuando esté ejecutando...**
IDC	Un análisis únicamente de un barrido DC y/o punto de trabajo (función de transferencia).
ISRC	Varios tipos de análisis y un barrido DC y/o punto de trabajo (función de transferencia)

Si va a realizar un análisis de transitorios o AC además del análisis DC, véase lo siguiente:

- *Utilizando partes con impulsos basados en tiempos con propiedades AC y DC* en la página 119 para otros símbolos fuente que puede utilizar.
- *Utilizando partes VSRC o ISRC* en la página 120 para ver cómo especificar el atributo TRAN para una señal de entrada basada en tiempos utilizando los símbolos VSRC o ISRC.

2 Clicar dos veces sobre el símbolo para ver la hoja de cálculo Parts.

3 Clicar sobre la celda en la columna DC para editar el valor.

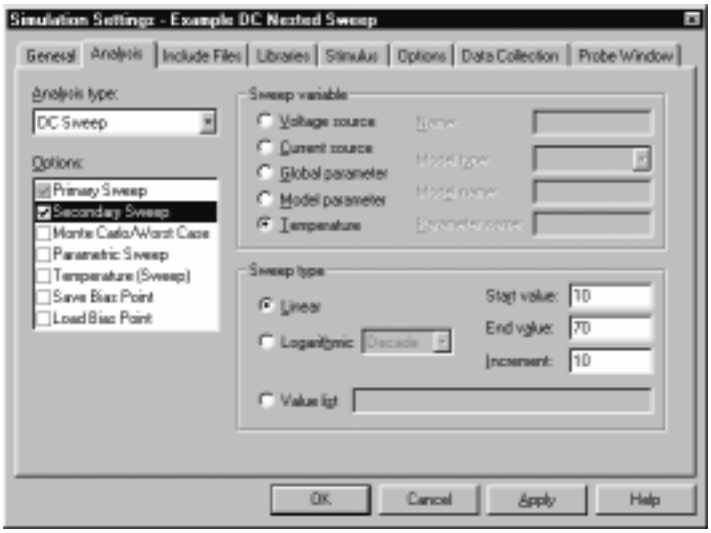
4 Definir la especificación DC así:

Utilice...	**A este valor...**
DC	*DC_level* donde *DC_level* está en voltios o amperios (las unidades son opcionales).

5 Clicar OK dos veces para salir de la caja de diálogo.

Barridos DC anidados

Puede seleccionarse una segunda variable de barrido después de haber definido el primer barrido en la caja de diálogo DC Sweep. Cuando se especifica una segunda variable de barrido, esta busca el bucle más exterior del análisis. Esto es, para cada incremento de la segunda variable de barrido, la primera variable se escala a lo largo de todo su rango de valores.



Para configurar un barrido anidado

1 En Options, seleccionar la caja Secondary Sweep para el tipo de análisis DC Sweep.

2 Introducir los valores de parámetros necesarios y seleccionar las cajas de chequeo apropiadas para completar las especificaciones del análisis.

Familias de curvas en barridos DC

Cuando se realiza un barrido DC anidado, se mostrará toda la familia de curvas. Esto es, el barrido DC anidado es tratado como una sola sección de datos (o puede considerarlo como una sola ejecución de PSpice A/D).

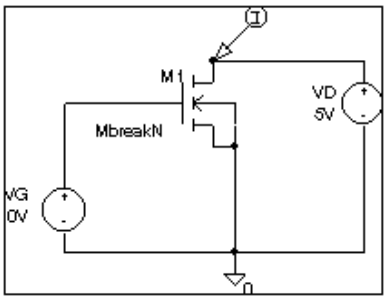


Figure 58 *Ejemplo de la familia de curvas de un esquema.*

Para el circuito mostrado en la Figura 58, puede preparar una análisis de un barrido DC con el barrido más exterior de la fuente de tensión VD y el barrido más interior de la fuente de tensión VG como se lista en la Tabla 30.

Table 30 *Ejemplo de configuración de una familia de curvas*

	barrido exterior	**barrido anidado**
tipo de variable de barrido	fuente de tensión	fuente de tensión
Tipo de barrido	lineal	lineal
Nombre	VD	VG
Valor de inicio	0	0
Valor final	5	2
Incremento	0.1	0.5

En Capture, en el menú PSpice, a puntar a Markers, y seleccionar Mark Current Into Pin para añadir un marcador de corriente.

Cuando se ejecuta el análisis del barrido DC, se añadirá un marcador en el pin del drenador de M1 y se mostrarán los resultados de la simulación en PSpice A/D. El resultado será similar a la Figura 59.

V_VD es el nombre jerárquico VD creado generando la lista de conexiones del esquema.

Para añadir una línea de carga para una resistencia, añadir una traza que calcule la línea de carga desde la tensión del barrido. Se asume que la variable en el eje X es la tensión del barrido V_VD, que se ejecuta desde 0 a 5 voltios. La expresión que añadirá una traza que es la línea de carga para una resistencia de 50 kohm es:

(5V-V_VD)/50K

Esto puede ser muy útil para determinar el punto de trabajo para cada número de una familia de curvas como puede verse en la Figura 60.

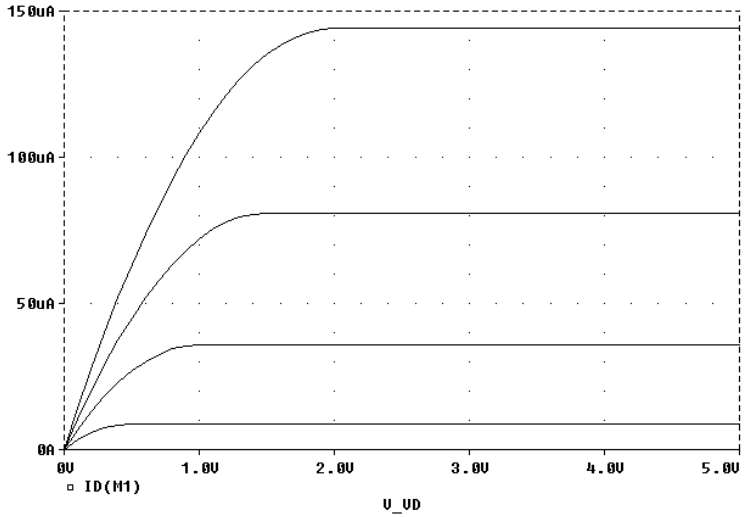


Figure 59 *Familia de curvas del dispositivo.*

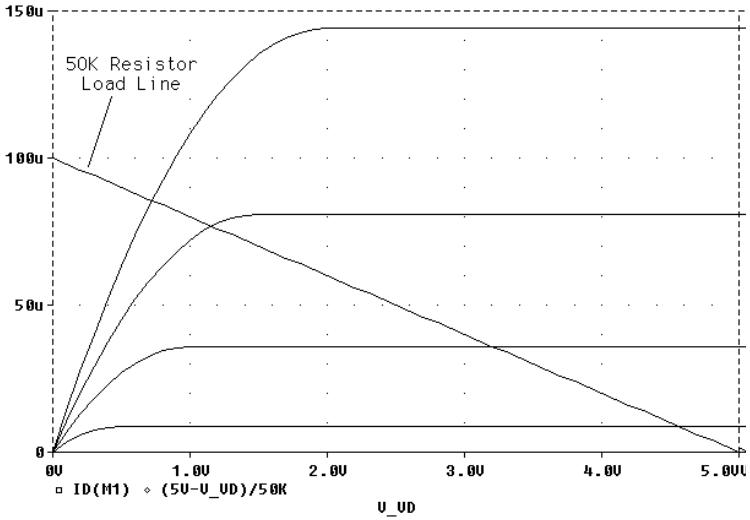


Figure 60 *Determinación del punto de trabajo para cada miembro de la familia de curvas.*

Punto de trabajo

Requerimientos mínimos para ejecutar un análisis del punto de trabajo

Requerimientos mínimos del diseño del circuito

Ninguno.

Requerimientos mínimos de configuración del programa

1. En Analysis type en la caja de diálogo Simulation Settings, seleccionar Bias Point.
2. En la opción General Settings, introducir los valores de parámetros necesarios y seleccionar las cajas de chequeo apropiadas para completar las especificaciones del análisis.
3. Clicar sobre OK para salvar el perfil de la simulación.
4. En Capture, en el menú PSpice, seleccionar Run para iniciar la simulación.

Visión general de los puntos de trabajo

Véase también *Salvando y cargando el punto de trabajo* en la página 540.

El punto de trabajo se calcula para cualquier análisis, esté o no habilitado el análisis del punto de trabajo en la caja de diálogo Simulation Settings. Cuando el análisis del punto de trabajo esté habilitado se mostrará información adicional.

Cuando no está habilitado el análisis del punto de trabajo, únicamente serán mostrados los estados de los nodos digitales y las tensiones de los nodos analógicos.

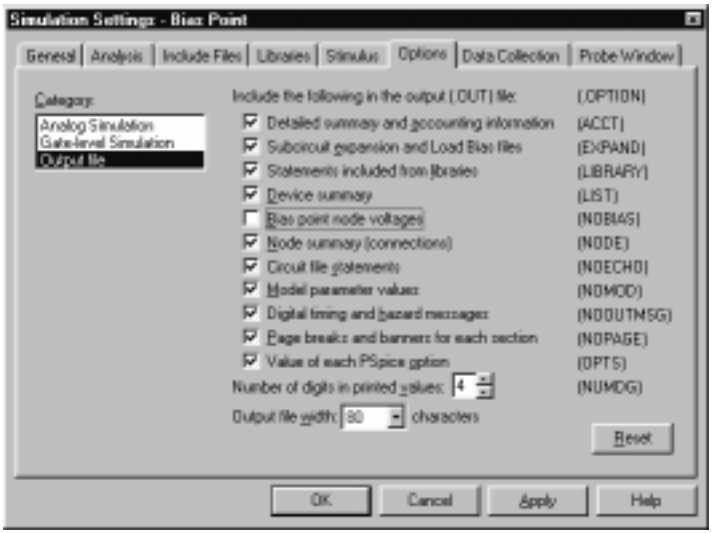
Cuando el análisis del punto de trabajo esté habilitado, se mostrará la siguiente información en el fichero de salida:

- Una lista de todos los nodos de tensión analógicos.
- Una lista de todos los estados de los nodos digitales.
- Las corrientes de todas las fuentes de tensión y su tensión actual.
- Una lista de los parámetros de pequeña señal para todos los dispositivos.

Si está habilitado el punto de trabajo, puede suprimir el informe de los valores de los nodos digitales y del punto de trabajo analógico como sigue:

1 En la pestaña Options en la caja de diálogo Simulation Settings, seleccionar Output file en la caja Category.

2 Desmarcar la caja Bias point node voltages (NOBIAS).



Transferencia de pequeñas señales de continua

Requerimientos mínimos para ejecutar un análisis de transferencia DC de pequeña señal

Requerimientos mínimos del diseño del circuito

- El circuito deberá contener una fuente de entrada, como por ejemplo VSRC.

Requerimientos mínimos de configuración del programa

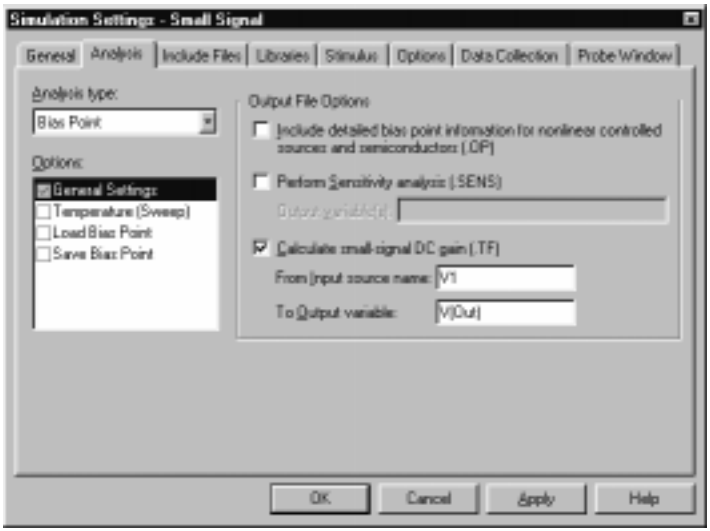
1. En Analysis type en la caja de diálogo Simulation Settings, seleccionar Bias Point.
2. Especificar el nombre de la fuente de entrada deseada. Véase *Variables de salida* en la página 290 para una descripción de los formatos de variables de salida.
3. Clicar OK para salvar el perfil de la simulación.
4. En Capture, en el menú PSpice, seleccionar Run para iniciar la simulación.

Visión general de la transferencia DC de pequeña señal

El análisis de transferencia DC de pequeña señal calcula la función de transferencia a pequeña señal transformando el circuito alrededor del punto de trabajo y tratándolo como un circuito lineal. La ganancia a pequeña señal, la resistencia de entrada, y la resistencia de salida serán calculadas y mostradas.

Por sí mismos, los dispositivos digitales no están incluidos en el análisis de pequeña señal. Una puerta, por ejemplo, no tiene una respuesta en frecuencia. En vez de eso, todos los dispositivos digitales mantienen los estados que fueron calculados para el punto de trabajo. Así, para los dispositivos N y O en los subcircuitos de interface analógico/digitales, el lado analógico posee un equivalente lineal perfectamente definido.

Para calcular la ganancia de pequeña señal, la resistencia de entrada y la resistencia de salida



1 En la caja de diálogo Bias Point, seleccionar Calculate small-signal DC gain (.TF).

2 Especificar el valor tanto para la tensión o corriente de salida a través de la fuente de tensión en la caja To Output variable.

Por ejemplo, introduciendo V(a,b) como la variable de salida se indica que la variable de salida es la tensión entre dos conexiones a y b. Introduciendo I(VDRIV) como variable de salida, se indica que la variable de salida es la corriente a través de la fuente de tensión VDRIV.

3 Definir el nombre de la fuente de entrada en la parte Calculate small-signal DC gain (.TF) de la caja de diálogo Bias Point.

La ganancia de la fuente de tensión a la variable de salida se calcula junto con las resistencias de entrada y de salida.

Por ejemplo, si introduce V(OUT2) como la variable de salida y V1 como la variable de entrada, se calculará la resistencia de salida para V(OUT2), y la ganancia desde V1 a V(OUT2). Todos los cálculos serán mostrados en el fichero de salida de la simulación.

Sensitividad DC

Requerimientos mínimos para ejecutar un análisis de sensitividad DC

Requerimientos mínimos del diseño del circuito

1 Ninguno.

Requerimientos mínimos de configuración del programa

1 En la caja de diálogo Bias Point, seleccionar Perform Sensitivity analysis (.SENS).

2 Introducir el valor(es) requerido en la caja de variables de salida.

3 Clicar sobre OK para salvar el perfil de la simulación. (Asegúrese que se da al nuevo perfil un nombre apropiado en la pestaña General antes de salvarlo).

4 En Capture, en el menú PSpice, seleccionar Run para iniciar la simulación.

Presentación de la sensitividad DC

El análisis de sensitividad DC calcula e informa de la sensibilidad de la tensión de un nodo en cada parámetro del dispositivo para los siguientes tipos de dispositivos:

- resistencias.
- impedancia de las fuentes de tensión y corriente.
- conmutadores controlados por tensión y corriente.
- diodos.
- transistores bipolares.

La sensitividad se calcula linealizando todos los dispositivos alrededor del punto de trabajo. Los dispositivos puramente digitales mantienen los estados calculados cuando se resolvía el punto de trabajo en *Transferencia de pequeñas señales de continua* en la página 314.

Análisis AC

10

Presentación general del capítulo

Este capítulo describe cómo preparar un análisis de un barrido AC y un análisis de ruidos.

- *Análisis de barridos AC* en la página 320 describe cómo preparar un análisis para calcular la respuesta en frecuencia de un circuito. Esta sección también explica cómo definir un impulso AC y cómo PSpice trata dispositivos no lineales durante un barrido AC.
- *Análisis de ruidos* en la página 329 describe cómo preparar un análisis para calcular las contribuciones al ruido de un dispositivo y el ruido total a la entrada y a la salida.

Análisis de barridos AC

Preparando y ejecutando un barrido AC

El siguiente procedimiento describe los requerimientos mínimos de configuración para ejecutar un análisis de un barrido AC. Para más información sobre cada paso veanse las páginas referenciadas en los lados.

Para preparar y ejecutar un barrido AC

Para más información, véase *Preparando un impulso AC* en la página 321.

1. Posicionar y conectar una fuente de tensión o corriente en una señal de entrada AC.
2. En el menú PSpice, seleccionar New Simulation Profile o Edit Simulation Settings. (Si fuera una nueva simulación, introducir el nombre del perfil y clicar sobre OK).

   Se mostrará la caja de diálogo Simulation Settings.
3. En Analysis type, seleccionar AC Sweep / Noise.

Para más información, véase *Preparando un análisis AC* en la página 323.

4. Especificar los parámetros requeridos para el barrido AC o análisis de ruidos que quiera ejecutar.
5. Clicar sobre OK para salvar el perfil de la simulación.
6. En el menú PSpice, seleccionar Run para iniciar la simulación.

¿Qué es un barrido AC?

El barrido AC es un análisis de respuesta en frecuencia. A / D calcula la respuesta de pequeña señal del circuito a una combinación de entradas transformándolas alrededor del punto de trabajo y tratándolas como un circuito lineal. He aquí unos pocas cosas en que fijarse:

Para más información, véase *Como trata PSpice A/D dispositivos no lineales* en la página 327.

- los dispositivos no lineales, como conmutadores controlados por tensión o corriente, son

transformados a circuitos lineales alrededor de su punto de trabajo antes que PSpice A/D ejecute el análisis lineal (pequeña señal).

- Los dispositivos digitales mantienen los estados que calculó PSpice A/D cuando se resolvió el punto de trabajo.
- Como el análisis del barrido AC es un análisis lineal, únicamente considera la respuesta a ganancia y fase del circuito, no limita tensiones ni corrientes.

La mejor forma de utilizar el análisis del barrido AC es de esta forma, la salida medida será igual a la ganancia, relativa a la fuente de entrada de esa salida.

Preparando un impulso AC

Para ejecutar un análisis de un barrido AC, necesitará colocar y conectar una o más fuentes independientes y después fijar la magnitud AC y fase para cada fuente.

Note *la caja de diálogo DC Sweep/Noise no incluye una opción de fuente de entrada. En lugar de eso, cada fuente independiente en el circuito contiene su propia especificación AC para magnitud y fase.*

Para preparar un impulso AC

1 Coloque y conecte uno de esos símbolos en el esquema:

Para tensión de entrada	
Utilice...	**Cuando ejecute...**
VAC	Sólo un análisis de un barrido AC.
VSRC	Varios tipos de análisis incluyendo el barrido AC.

Para corriente de entrada	
Utilice...	**Cuando ejecute...**
IAC	Sólo un análisis de un barrido AC.
ISRC	Varios tipos de análisis incluyendo el barrido AC.

Si quiere realizar un análisis de transitorios DC además del análisis AC, véase *Si desea especificar varios tipos de impulsos* en la página 119 para información adicional y los símbolos fuente que desee utilizar.

2 Hacer doble clic sobre el símbolo para ver la hoja de cálculo Parts.

3 Clicar sobre la celda bajo la columna de propiedades apropiada para editar su valor. Dependiendo del símbolo fuente que se haya colocado, defina la especificación AC como sigue:

Para VAC o IAC	
fijar esta propiedad ...	**A este valor...**
ACMAG	Magnitud AC en voltios (para VAC) o amperos (para IAC); las unidades son opcionales.
ACPHASE	Fase AC opcional en grados.

Pâra VSRC o ISRC	
Fijar esta propiedad...	**A este valor...**
AC	`Magnitude_value [phase_value]` En donde `magnitude_value` está en voltios o amperios (las unidades son opcionales) y la opción `phase_value` está en grados.

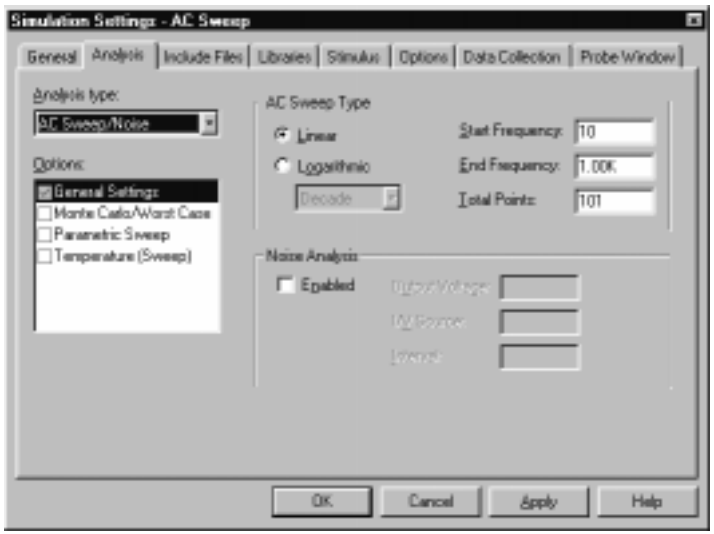
Si va a realizar un análisis de transitorios, véase *Utilizando partes VSRC o ISRC* en la página 120 para ver cómo especificar la propiedad TRAN.

Preparando un análisis AC

Para preparar un análisis AC

1 En el menú PSpice, seleccionar New Simulation Profile o Edit Simulation Settings. (Si fuera una nueva simulación, introducir el nombre del perfil y clicar sobre OK).

Se mostrará la caja de diálogo Simulation Settings.



2 En la caja de listas Analysis type, seleccionar AC Sweep / Noise.

3 En Options, seleccionar General Settings si todavía no estuviese habilitado.

4 Fijar el número de puntos de barrido como sigue:

Para hacer un barrido de la frecuencia...	Haga esto...
Linealmente	En AC Sweep Type, clicar Linear, e introducir el número total de puntos de barrido en la caja Total Points.
Logarítmicamente por décadas	En AC Sweep Type, clicar Logarithmic, seleccionar Decade (por defecto), e introducir el número total de puntos por década en la caja Total Points.
Logarítmicamente por octavas	En AC Sweep Type, clicar Logarithmic, seleccionar Octave, e introducir el número total de puntos por octava en la caja Total Points.

Si desea realizar también un análisis de ruidos, antes de clicar sobre OK, complete la zona Noise Analysis en esta caja de diálogo como se explica en *Preparando un análisis de ruidos* en la página 331.

5 En las cajas de texto Start Frequency y End Frequency, introducir las frecuencias de inicio y fin, respectivamente, del barrido.

6 Clicar sobre OK para salvar el perfil de la simulación.

Configuración del barrido AC en example.opj

En el circuito de ejemplo, EXAMPLE.OPJ, suministrado con los programas de OrCAD, verá que el análisis AC está configurado como el mostrado en la Figura 62.

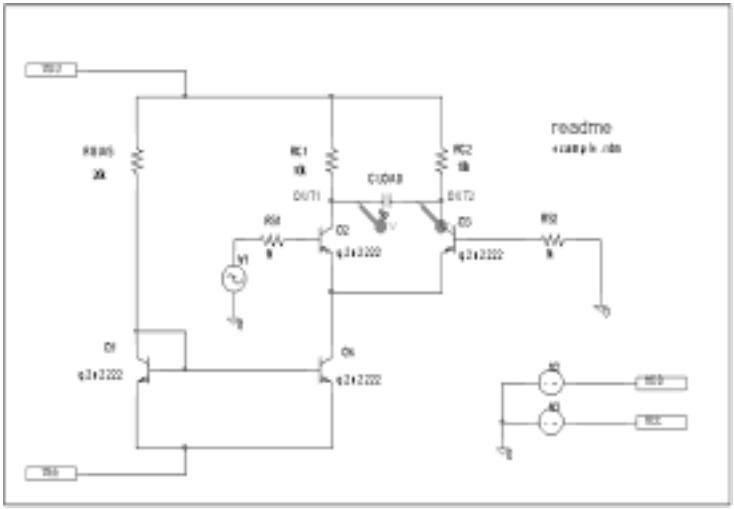


Figure 61 *Diagrama del circuito para EXAMPLE.OPJ.*

Note *La fuente V1 es una fuente VSIN que se utiliza normalmente para preparar señales senoidales para un análisis de transitorios. También posee una propiedad AC de modo que puede ser utilizada en un análisis AC.*

Para ver más sobre VSIN y otros símbolos fuentes que pueda utilizar en un análisis AC, véase *Utilizando partes con impulsos basados en tiempos con propiedades AC y DC* en la página 119.

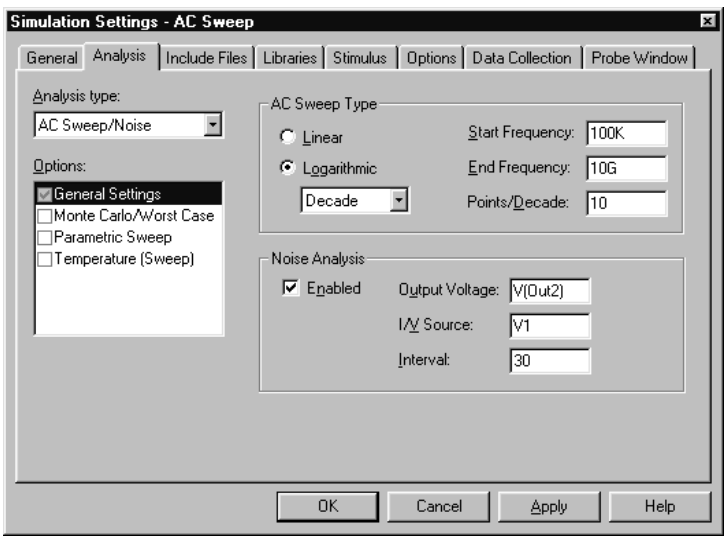


Figure 62 *Configuración del análisis AC en EXAMPLE.OPJ.*

La frecuencia realiza un barrido desde 100 kHz a 10 GHz en décadas, con 10 puntos por década. La fuente de tensión independiente V1 es la única entrada al amplificador, de modo que es el único impulso AC en este circuito. La magnitud vale 1 V y la fase relativa se deja en cero grados (valor por defecto). El resto de las fuentes de tensión tienen un valor AC de cero

Como trata PSpice A/D dispositivos no lineales

Una análisis de un barrido AC es un análisis lineal o de pequeña señal. Esto significa que los dispositivos no lineales deberán ser linealizados para ejecutar el análisis.

Qué es necesario para transformar un dispositivo en un circuito lineal

Para transformar un dispositivo, (como por ejemplo un transistor amplificador) en un circuito lineal, deberá realizar lo siguiente:

1. Calcule el punto de trabajo DC del circuito.
2. Calcule la impedancia compleja y/o valores de transconductancia para cada dispositivo en su punto de trabajo.
3. Realice el análisis del circuito lineal en las frecuencias de su interes usando aproximaciones simplificadas.

Ejemplo: Reemplace un transistor bopolar en modo de emisor común por una transconductancia constante (corriente del colector proporcional a la tensión del emisor-base) y un número de impediancias constantes.

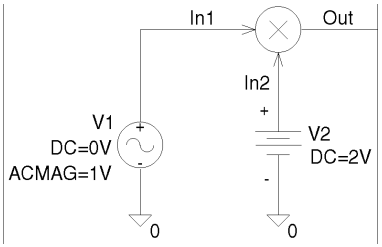
Qué hace PSpice A/D

PSpice A/D automatiza este proceso. Calcula las derivadas parciales de los dispositivos no lineales en el punto de trabajo y las utiliza para realizar el análisis de pequeña señal.

Ejemplo Bloque de modelado de comportamiento no lineal

Supongamos que poseemos un bloque de modelado de comportamiento que multiplique V(1) por V(2). La multiplicación es una operación no lineal. Para realizar un análisis de un barrido AC en este bloque, el bloque necesita ser reemplazado por su equivalente lineal. Para determinar el bloque equivalente lineal, PSpice A/D necesita conocer un punto de trabajo.

Utilizando una fuente DC



Consideremos el circuito mostrado a la derecha. En el punto de trabajo, PSpice A/D calcula las derivadas parciales que determinan la respuesta lineal del multiplicador como sigue:

$$V(Out) = V(In1) \cdot \frac{\partial V(Out)}{\partial V(In1)} + V(In2) \cdot \frac{\partial V(Out)}{\partial V(In2)}$$
$$= V(In1) \cdot V(In2) + V(In2) \cdot V(In1)$$

Para este circuito, esta ecuación se reduce a:

$$V(Out) = V(In1) \cdot 2 + V(In2) \cdot 0$$

Esto significa que el multiplicador actúa como un amplificador de la entrada AC con una ganancia que se fija por la entrada DC.

Atención: multiplicando fuentes AC

Esto es exactamente cómo se comporta un mezclador con doble balanceado. En la práctica es un multiplicador simple.

Note *Un mezclador doble balanceado con entradas a la misma frecuencia, generará DC a dos veces la frecuencia de entrada, pero estos términos no pueden verse con una análisis lineal de pequeña señal.*

Supongamos que reemplazamos la fuente DC de 2 voltios en este ejemplo por una fuente AC con una amplitud de 1 y sin valor DC (DC=0). Cuando PSpice A/D calcule el punto de trabajo, no hay fuentes DC en el circuito, de modo que todos los nodos son cero voltios en el punto de trabajo. El equivalente lineal del bloque multiplicador es un bloque con ganancia cero, lo que significa que no hay tensión de salida en la frecuencia fundamental.

Análisis de ruidos

Preparando y ejecutando un análisis de ruidos

El siguiente procedimiento describe los requerimientos de configuración mínimos para ejecutar un análisis de ruidos. Para más detalles sobre cada paso, vaya a las páginas referenciadas a los lados.

Para preparar y ejecutar un barrido AC

1. Colocar y conectar una fuente de tensión o corriente con una señal AC.

Para más información, véase *Preparando un impulso AC* en la página 321.

2. Preparar las especificaciones de simulación del barrido AC.

Para más información, véase *Preparando un análisis AC* en la página 323.

3. Preparar las especificaciones de simulación de ruido y habilitar el análisis en la parte Sweep / Noise de la caja de diálogo Simulation Settings.

Para más información, véase *Preparando un análisis de ruidos* en la página 331.

4. Clicar OK para salvar el perfil de la simulación.
5. En el menú PSpice, selecccionar Run para iniciar la simulación.

Qué es un análisis de ruidos?

Cuando se ejecuta un análisis de ruidos, PSpice A/D calcula e informa lo siguiente para cada frecuencia especificada para el análisis de ruidos/barrido AC:

Ejemplo: los diodos poseen contribuciones a los ruidos separadas desde ruidos de tipo thermal, shot, y flicker.

- El ruido del dispositivo, que es la contribución al ruido propagada a la conexión de salida específica desde cada resistencia y semiconductor en el circuito; para semiconductores, el ruido del dispositivo se separa en contribuciones al ruido constituyentes en donde fuera aplicable.
- Salida total y ruido de entrada equivalente

Este valor...	Significa esto...
Ruido de salida	Suma RMS de todas las contribuciones del dispositivo propagadas a una conexión de salida especificada
Ruido de entrada	Ruido equivalente que sería necesario en la fuente de entrada para generar el ruido de salida calculado en un circuito ideal (sin ruidos).

Cómo calcula PSpice A/D el ruido total a la entrada y a la salida

Para calcular el ruido total de una conexión de salida, PSpice A/D computa la suma RMS del ruido propagado por la conexión debido a todos los dipositivos generadores de ruido del circuito.

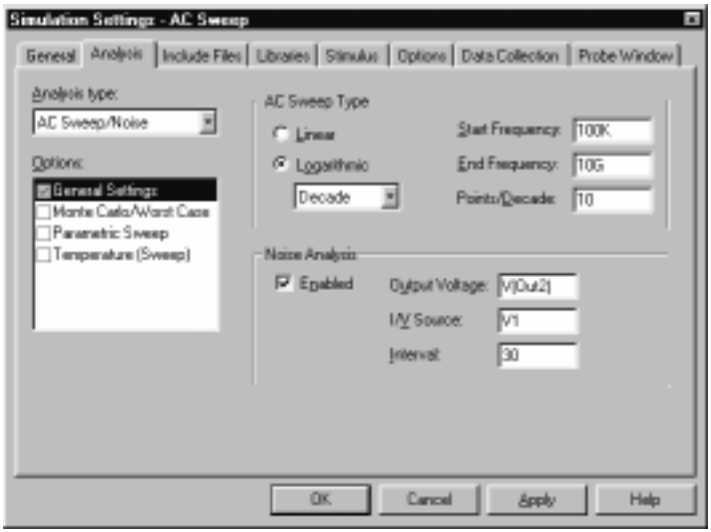
Para calcular el ruido de entrada equivalente, PSpice A/D divide el ruido de salida total por la ganancia de la fuente de entrada a la conexión de salida. El resultado es la cantidad de ruido que, si se inyectase a la fuente de entrada en un circuito ideal, generaría el ruido total calculado originalmente para la conexión de salida.

Preparando un análisis de ruidos

Para preparar un análisis de ruidos

1 En PSpice, seleccionar New Simulation Profile o Edit Simulation Settings. (Si fuera una nueva simulación, introducir el nombre del perfil y clicar OK).

Se mostrará la caja de diálogo Simulation Settings.



2 En la caja de listas Analysis type, seleccionar AC Sweep / Noise.

3 En Options, seleccionar General Settings si todavía no estuviese seleccionado.

4 Especificar los parámetros del análisis del barrido AC como se explicó en la página 323.

5 Habilitar la caja de chequeo Noise Analysis.

6 Introducir los parámetros de análisis de ruidos como sigue:

En esta caja de texto...	Teclear esto...
Output Voltage	Una variable de tensión de salida en la forma `V(node, [node])` en donde se quiere ver el total del ruido de salida calculado.
I/V Source	El nombre de una fuente de tensión o corriente independiente en donde se quiere ver el equivalente del ruido de entrada calculado. **Note** *Si la fuente es un esquema jerárquico o de bajo nivel, separar los nombres de los dispositivos jerárquicos con puntos (.).*
Interval	Un número entero *n* indicando que a toda frecuencia n^{th}, se quiere ver una tabla impresa en el fichero de salida de PSpice (`.out`) mostrando las contribuciones individuales de todos los generadores de ruido del circuito al ruido total.

Para más información sobre sintasis válidas, véase *Variables de salida* en la página 290.

Ejemplo: U1.V2

Note *En la ventana Probe, puede ver las contribuciones al ruido del dispostivo en todas las frecuencias especificadas en el barrido AC. El parámetro Interval no tiene efecto en lo que escribe PSpice A/D en el fichero de datos de Probe.*

7 Clicar sobre OK para salvar el perfil de la simulación.

Analizando ruidos en la ventana Probe

Puede utilizar esos formatos de variables de salida para ver trazas para contribuciones a ruidos del dispositivo y el ruido total de salida o entrada en cada frecuencia del análisis.

Para ver las variables de salida de ruidos por tipo de dispositivo soportado, véase la Tabla 52 en la página 515.

Par ver esto...	Utilice esta variable de salida...	Que está representada por esta ecuación*...
Ruido Flicker para un dispositivo	NFID(*device_name*) NFIB(*device_name*)	$\text{noise} \propto k_f \cdot \frac{I^{a_f}}{f^b}$
Ruido Shot para un dispositivo	NSID(*device_name*) NSIB(*device_name*) NSIC(*device_name*)	Para diodos y BJTs: $\text{ruido} \propto 2qI$ Para GaAsFETs, JFETs, y MOSFETs: $\text{ruido} \propto 4kT \cdot \frac{dI}{dV} \cdot \frac{2}{3}$
Ruido térmico para los constituyentes RB, RC, RD, RE, RG, o RS de un dispositivo, respectivamente	NRB(*device_name*) NRC(*device_name*) NRD(*device_name*) NRE(*device_name*) NRG(*device_name*) NRS(*device_name*)	$\text{ruido} \propto \frac{4kT}{R}$
Ruido térmico generado por resistencias equivalenes en la salida de un dispositivo digital.	NRLO(*device_name*) NRHI(*device_name*)	$\text{ruido} \propto \frac{4kT}{R}$
Ruido total en un dispositivo	NTOT(*device_name*)	Suma de todas las contribuciones en *device_name*
Ruido total de salida del circuito	NTOT(ONOISE)	$\sum_{device} NTOT(device)$
Ruido de salida sumado RMS para el circuito	V(ONOISE)	Suma RMS de todas las contribuciones $(\sqrt{NTOT(ONOISE)})$
Ruido de entrada equivalente del circuito	V(INOISE)	$\frac{V(ONOISE)}{gain}$

* Para ver más sobre las ecuaciones que describen el comportamiento de ruidos, véase el tipo de dispositivo apropiado en el capítulo *Dispositivos Analógicos* en el *Manual de Referencia PSpice de OrCAD*.

Sobre las unidades de ruidos

Este tipo de variable de salida de ruidos...	Se da en estas unidades...
Contribución del dispositivo en la forma N*xxx*	$(volts)^2/(Hz)$
Entrada total o ruido de salida en la forma V(ONOISE) o V(INOISE)	$(volts)/(\sqrt{Hz})$

Ejemplo

Puede ejecutar un análisis de ruidos en el circuito mostrado en la Figura 61 en la página 325.

Para realizar un análisis de ruidos en el ejemplo:

En Capture, abrir el circuito EXAMPLE.DSN que vienen con los programas de OrCAD en el subdirectorio ORCAD\CAPTURE\SAMPLES.

1. En PSpice, seleccionar New Simulation Profile o Edit Simulation Settings. (Si fuese una nueva simulación, introducir el nombre del perfil y clicar en OK).

   Se mostrará la caja de diálogo Simulation Settings.

2. Seleccionar AC Sweep/Noise en la caja de lista Analysis type.
3. En Options, seleccionar General Settings si todavía no estuviese seleccionado.
4. Habilitar la caja de chequeo Noise Analysis.
5. Introducir los siguientes parámetros para el análisis de ruidos:

Tensión de salida	V(OUT2)
Fuente I/V	V1
Intervalo	30

Para una descripción del parámetro Interval, véase la página 332.

Estos valores significan que PSpice A/D calculará las contribuciones al ruido en la conexión OUT2 y el ruido de entrada equivalente desde V1.

La figura 63 muestras las trazas de Probe para las fuentes de ruido constituyentes Q1 así como el ruido total del circuito después de la simulación. Fíjese en la traza para RMSSUM (en la parte superior del dibujo), que es una macro para la expresión de trazas.

SQRT(NTOT(Q1) + NTOT(Q2) + NTOT(Q3) + ...),

coincide exactamente con el ruido total de salida, V(ONOISE), calculado por PSpice A / D.

Para ver más sobre las macros de PSpice macros, véase la Ayuda en Línea de PSpice A/D.

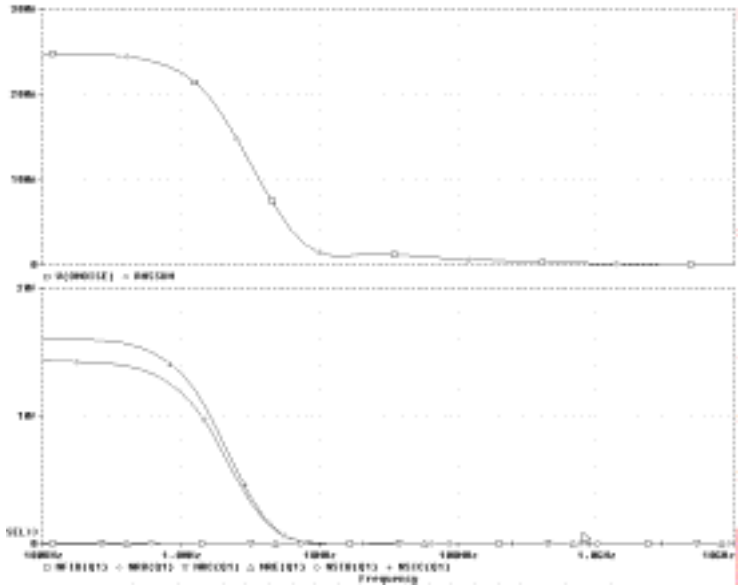


Figure 63 *Dispositivos y trazas de ruidos totales para EXAMPLE.DSN.*

Note *La fuente V1 una fuente VSIN que se utiliza normalmente para preparar señales senoidales para un análisis de transitorios. También posee una propiedad AC de modo que puede ser utilizada en un análisis AC.*

Para ver más sobre VSIN y otros símbolos fuentes que pueda utilizar en un análisis AC, véase *Utilizando partes con impulsos basados en tiempos con propiedades AC y DC* en la página 119.

La frecuencia realiza un barrido desde 100 kHz a 10 GHz en décadas, con 10 puntos por década. La fuente de tensión independiente V1 es la única entrada al amplificador, de modo que es el único impulso AC en este circuito. La magnitud vale 1 V y la fase relativa se deja en cero grados (valor por defecto). El resto de las fuentes de tensión tienen un valor AC de cero.

Análisis de transitorios

11

Presentación general del capítulo

Este capítulo describe cómo preparar un análisis de transitorios e incluye las siguientes secciones:

- *Presentación general del análisis de transitorios* en la página 338
- *Definiendo un impulso basado en tiempos* en la página 340
- *Respuesta de transitorios (tiempo)* en la página 351
- *Intervalos de tiempos en análisis de transitorios* en la página 354
- *Conmutando circuitos en análisis de transitorios* en la página 355
- *Ploteando curvas de histéresis* en la página 355
- *Componentes de Fourier* en la página 357

Presentación general del análisis de transitorios

Requerimientos mínimos para realizar un análisis de transitorios

Requerimientos mínimos del diseño del circuito

El circuito deberá contener uno de los siguientes puntos:

- Una fuente independiente con una especificación de transitorios (véase la Tabla 31).
- Una condición inicial o un elemento reactivo.
- Una fuente controlada que sea función del tiempo.

Requerimientos mínimos de configuración del programa

Véase *Preparando el análisis* en la página 288 para una descripción de la caja de diálogo Analysis Setup.

1. En PSpice, seleccionar New Simulation Profile o Edit Simulation Settings. (Si fuera una nueva simulación, introducir el nombre del perfil y clicar sobre OK).

   Se mostrará la caja de diálogo Simulation Settings.
2. En Analysis type, seleccionar Time Domain (Transient).
3. Definir los parámetros requeridos para el análisis de transitorios que desee ejecutar.
4. Clicar sobre OK para salvar el perfil de la simulación.
5. En PSpice, seleccionar Run para iniciar la simulación.

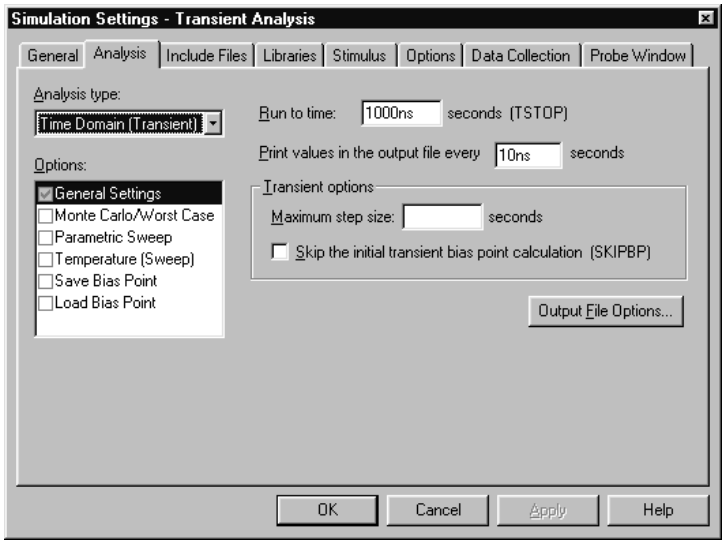

Simulation Settings - Transient Analysis
General
Analysis
Include Files
Libraries
Stimulus
Options
Data Collection
Probe Window
Analysis type:
Time Domain (Transient)
Options:
General Settings
Monte Carlo/Worst Case
Parametric Sweep
Temperature (Sweep)
Save Bias Point
Load Bias Point
Run to time:
1000ns
seconds (TSTOP)
Print values in the output file every
10ns
seconds
Transient options
Maximum step size:
seconds
Skip the initial transient bias point calculation (SKIPBP)
Output File Options...
OK
Cancel
Apply
Help

Table 31 *Símbolos de impulsos para señales de entrada basadas en tiempos*

Especificado por ...	Nombre del símbolo	Descripción
	ISRC IEXP IPULSE IPWL IPWL_RE_FOREVER IPWL_F_RE_FOREVER IPWL_N_TIMES IPWL_F_N_TIMES ISFFM ISIN	Fuente de corriente
	DIGCLOCK	Señal de reloj digital
	STIM1 STIM4 STIM8 STIM16	Impulso digital
	FILESTIM1 FILESTIM2 FILESTIM4 FILESTIM8 FILESTIM16 FILESTIM32	Fichero de impulsos digitales

Para utilizar cualquiera de estas fuentes, coloque el símbolo en el esquema y defina su comportamiento en los transitorios.

Cada propiedad característica del impulso posee un conjunto de atributos diferentes dependiendo del tipo de comportamiento a transitorios que represente. Para VPWL_F_*xxx*, IPWL_F_*xxx*, y FSTIM, la definición del impulso está en un fichero separado.

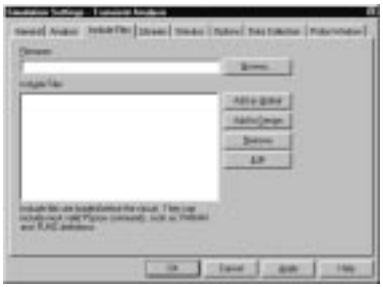
Para más información sobre los impulsos digitales caracterizados por propiedades, véase el *Capítulo 14, Simulación digital.*

El Editor de Impulsos automatiza la definición del comportamiento a transitorios de los impulsos. Permite crear impulsos analógicos que generen ondas senoidales, pulsos repetitivos, de Frecuencia FM, y partes de ondas lineales. También facilita la creación de impulsos digitales como relacciones complejas de tiempos. Esto se aplica a símbolos de impulsos colocados en el esquema y a nuevos impulsos que puedan crearse.

La definición de impulsos creada utilizando el Editor de Impulsos se salva en un fichero, configurado automáticamente

Las versiones de programas de OrCAD que no tengan el Editor de Impulsos deberán utilizar las fuentes caracterizadas por propiedades listadas en la Tabla 31 en la página 340.

Configurando ficheros de impulsos



La pestaña Include Files en la caja de diálogo Simulation Settings permite ver la lista de ficheros de impulsos del esquema actual. Puede añadir, borrar o cambiar manualmente la configuración del fichero de impulsos en esta pestaña de la caja de diálogo. La caja de listas muestra los ficheros de impulsos actualmente configurados. Se define un fichero por línea. Los ficheros pueden ser configurados tanto globales al entorno de Capture o locales al diseño actual. Los ficheros globales están marcados con un asterisco (*) después del nombre del fichero.

Cuando inicie el Editor de Impulsos desde Capture, los ficheros de impulsos son configurados automáticamente (añadidos a la lista) como locales al diseño actual. Así, pueden añadirse nuevos ficheros de impulsos a la lista introduciendo el nombre del fichero en la caja de texto Filename y después clicando sobre el botón Add to design (local) o Add as global (global).

Iniciando el Editor de Impulsos

El Editor de Impulsos está totalmente integrado en Capture, y puede ejecutarse desde el editor de esquemas o el de símbolos.

Puede iniciar el Editor de Impulsos de la siguente manera:

1 Seleccionar una o más copias de impulsos en el esquema

2 En el menú Edit, seleccionar PSpice Stimulus.

Cuando inicie por primera vez el Editor de Impulsos, puede tener que ajustar los valores de escalas para encajar la traza que quiera añadir. Utilice Axis Settings en el menú Plot o el botón correspondiente en la barra de herramientas para cambiar los datos mostrados, la extensión de la zona de desplazamiento, y la resolución mínima para cada uno de los ejes. Los parámetros de Rangos de Datos Mostrados determinan qué parte de los datos de impulsos será presentada en pantalla. La extensión de los parámetros de la zona de desplazamiento fija los límites absolutos de los rangos visibles. Los parámetros de Resolución Mínima determinan el íncremento menor utilizado (por ejemplo, si se fija en 1 mseg., no podrá añadir un punto en 1,5 mseg.).

Véase el *Capítulo 14, Simulación digital*, para más información sobre la creación de impulsos digitales.

Definiendo impulsos

1. Colocar copias de partes de impulsos desde el símbolo: VSTIM, ISTIM y DIGSTIMn.
2. Clicar sobre la copia fuente para seleccionarla.
3. En el menú Edit, seleccionar PSpice Stimulus para iniciar el Editor de Impulsos.
4. Rellene la especificación de transitorios de acuerto a los diálogos y las preguntas que haga el programa.

   Los impulsos lineales y digitales de una pieza pueden ser especificados por medio de una manipulación directa de la presentación de la forma de onda de entrada.
5. En el menú Edit, seleccionar Save para salvar la edición.

Ejemplo: impulso lineal de una pieza

1. Abra un esquema existente o comience uno nuevo.
2. En el menú Place, seleccionar Part y relizar una búsqueda gráfica en la librería SOURCE.OLB para VSTIM (y seleccionarla).
3. Colocar la parte. Es una fuente de tensión regular con una propiedad de implementación.
4. Clicar sobre la etiqueta implementation y teclear Vfirst. Con esto se da nombre al impulso que se va a crear.
5. Si está trabajando en un nuevo esquema, utilice Save en el menú File para salvarlo. Esto es necesario ya que el nombre del esquema se utiliza para crear el nombre del fichero de impulsos por defecto.
6. Clicar sobre la parte VSTIM para seleccionarla.
7. En el menú Edit, seleccionar PSpice Stimulus. Con esto se inicia el Editor de Impulsos y se muestra la caja de diálogo New Stimulus. Puede ver que el impulso ya tiene el nombre de Vfirst.
8. En la caja de diálogo, seleccionar PWL y clicar sobre OK. El cursor se verá como un lápiz. El mensaje en la barra de estado en la parte inferior de la pantalla permite saber que se

está en el proceso de añadir nuevos puntos de datos al impulso. El extremo izquierdo de la parte inferior de la barra de estado muestra las coordenadas actuales del cursor.

9 Mover el cursor a (200ns, 1) y clicar el botón izquierdo del ratón. Esto añade el punto. Fíjese que hay automáticamente un punto en (0,0). Ignórelo por ahora y continúe añadiendo un par de puntos más a la derecha del actual.

10 Clicar el botón derecho del ratón para dejar de añadir puntos.

11 En el menú File, seleccionar Save.

Si se equivoca o desea realizar cambios, redimensione la traza arrastrando cualquiera de sus manejadores de posición a una nueva localización. El manejador de posición arrastrado no puede pasar de cualquier otro punto de dato definido.

Para borrar un punto, clicar sobre su manejador de posición y pulsar X.

Para añadir puntos adicionales, seleccionar Add Point en el menú Edit, pulsar A+A, o clicar sobre el botón Add Point en la barra de herramientas

Ahora puede regresar a Capture, editar el impulso o crear otro.

Ejemplo: barrido de onda senoidal

Este ejemplo crea una onda senoidad de 10K con la amplitud parametrizada, de modo que pueda ser barrida durante la simulación.

1 Abra un esquema existente o inicie uno nuevo

2 Coloque una parte VSTIM en el esquema.

3 Para nombrar el impulso, hacer doble clic sobre la propiedad implementation y teclear Vsin.

4 Clicar sobre la parte VSTIM para seleccionarla.

5 En el menú PSpice, seleccionar Edit Stimulus para iniciar el Editor de Impulsos.

6 Definir el parámetro del impulsos para la amplitud:

- **a** En la caja de diálogo New Stimulus, seleccionar Cancel.
- **b** En el menú Tools, seleccionar Parameters.
- **c** Teclear AMP=1 en la caja de texto Definition, y clicar OK.

d En el menú Stimulus, seleccionar New o clicar sobre el botón New Stimulus en la barra de herramientas.

e Dar al impulso el nombre de Vsin.

f Seleccionar SIN como el tipo de impulso que será creado, y clicar sobre OK.

7 Definir las otras propiedades del impulso:

a Introducir 0 para Offset Value.

b Introducir {AMP} para Amplitude. Los corchetes cursivos son necesarios. Indican que la expresión necesita ser evaluada en el tiempo de la simulación.

c Introducir 10k para la frecuencia y clicar sobre OK.

d En el menú File, seleccionar Save.

8 En Capture, posicionar y definie el símbolo PARAM:

a En el menú From, seleccionar Part.

b Revisar SPECIAL.OLB en busca de la parte PARAM o teclear el nombre.

c Colocar la parte en el esquema y hacer doble clic sobre ella.

d Clicar New para añadir una nueva propiedad del usuario.

e Fijar el valor de la propiedad a AMP (sin corchetes).

f Fijar el valor de la propiedad VALUE1 a 1.

9 Configurar el barrido paramétrico y otros análisis:

a En el menú PSpice, seleccionar Stimulus Editor, y clicar sobre el botón Parametric Sweep.

b En Swept Var. Type, seleccionar Global Parameter.

c En la zona Sweep type, seleccionar Linear.

10 En la caja de texto Name, teclear AMP.

11 Especificar valores para las cajas de texto Start Value, End Value, e Increment.

Ahora puede configurar los análisis de transitorios, AC o DC y ejecutar la simulación.

Creando nuevos símbolos de impulsos

1 Utilice el Editor de Partes de Capture para editar o crear una parte con las siguientes propiedades:

Tipo de implementación	Impulso PSpice
Implementation	nombre del modelo de impulsos
STIMTYPE	tipo de impulso; valores válidos son ANALOG o DIGITAL; si no existiese esta propiedad, el impulso se considera ANALOG.

Editando un impulso

Para editar un impulso existente

1. Iniciar el editor de Impulsos y seleccionar Get en el menú Stimulus.
2. Hacer doble clic sobre el nombre de la traza (en la parte inferior del eje X para trazas analógicas y en la izquierda del eje Y en las trazas digitales). Esto abre la caja de diálogo Stimulus Attributes en donde pueden modificarse directamente los atributos de los impulsos y ver el efecto de los cambios de forma inmediata.

El impulso PWL es ligeramente diferente ya que son una serie de parejas de tiempo/valor

Para editar un impulso PWL

1. Hacer doble clic sobre el nombre de la traza. Con esto se muestran los manejadores de cada punto de dato definido.
2. Clicar sobre cualquier manejador para seleccionarlo. Para modificar la traza, arrastrarla a una nueva posición. Para borrar el punto del dato, seleccionar X.
3. Para añadir puntos de datos adicionales, seleccionar o Add en el menú Edit o clicar sobre el botón Add Point.
4. Clicar el botón derecho del ratón para terminar de añadir nuevos puntos.

Esto proporciona un camino rápido para escalar un impulso PWL.

Para seleccionar un tiempo y un factor de escala de valores para el impulso PWL

1. Seleccionar la traza PWL clicando sobre su nombre.
2. En el menú Edit, seleccionar Attributes o clicar sobre el botón correspondiente en la barra de herramientas.

Borrando y eliminando trazas

Para borrar una traza en pantalla, seleccionar su nombre clicando sobre su nombre y pulsar X. Esto eliminará la presentación de la traza, no la borrará del fichero. La traza sigue estando disponible seleccionando Get en el menú Stimulus.

Para eliminar una traza del fichero, seleccionar Remove en el menú Stimulus.

Note *Una vez eliminada la traza, no hay posibilidad de recuperarla. Borre las trazas con precaución.*

Configuración manual de impulsos

Los impulsos pueden ser definidos manualmente iniciando el editor de impulsos y salvando las especificaciones en un fichero. Estas definiciones de impulsos pueden ser entonces asociadas al esquema o a símbolos de impulsos en la librería de símbolos.

Para configurar manualmente un impulso

1 Iniciar el Editor de Impulsos haciendo doble clic en el icono del Editor de Impulsos en el grupo de programas de OrCAD.

2 Abrir un fichero de impulsos seleccionando Open en el menú File. Si el fichero no se encuentra en el path de búsqueda de librerías, se le pedirá un nuevo nombre de fichero.

3 Crear uno o más impulsos que serán utilizados en el esquema. Para cada impulso:

- **a** El nombre es el que se quiera. Este nombre se utilizará para asociar la definición del impulso a la copia del impulso en el esquema o al símbolo de la librería de símbolos.
- **b** Proporcionar la especificación de transitorio.
- **c** En el menú File, seleccionar Save.

4 En el editor de páginas de esquemas, configurar el fichero de salida del editor de impulsos en el esquema:

- **a** En el menú Pspice, seleccionar Edit Simulation Settings.
- **a** En la caja de diálogo Simulation Settings, seleccionar la pestaña Include Files.
- **b** Introducir el nombre del fichero especificado en el paso 2.
- **c** Si la definición del impulso es para un uso local en el diseño actual, clicar el botón Add to design. Para un uso global, clicar sobre el botón Add as global.
- **d** Clicar sobre OK.

5 Modificar o las copias de impulsos en el esquema o los símbolos en la librería de símbolos para referenciar la nueva especificación de impulsos.

6 Asociar la definición del impulso del transitorio a una copia del impulso:

- **a** Colocar una parte stimulus en el esquema desde el conjunto de partes: VSTIM, ISTIM, y DIGSTIMn.
- **b** Clicar sobre la copia VSTIM, ISTIM, o DIGSTIMn.
- **c** En el menu Edit, seleccionar Properties.
- **d** Clicar sobre la celda Implementation, teclear el nombre del impulso y clicar sobre Apply.
- **e** Completar la especificación de cualquier copia VSTIM o ISTIM seleccionando Properties en el menú Edit y editando sus atributos DC o AC.

  Clicar sobre la celda DC y teclear su valor.

  Clicar sobre la celda AC, teclear su valor y clicar en Apply.
- **f** Cerrar la hoja de cálculo del editor de propiedades.

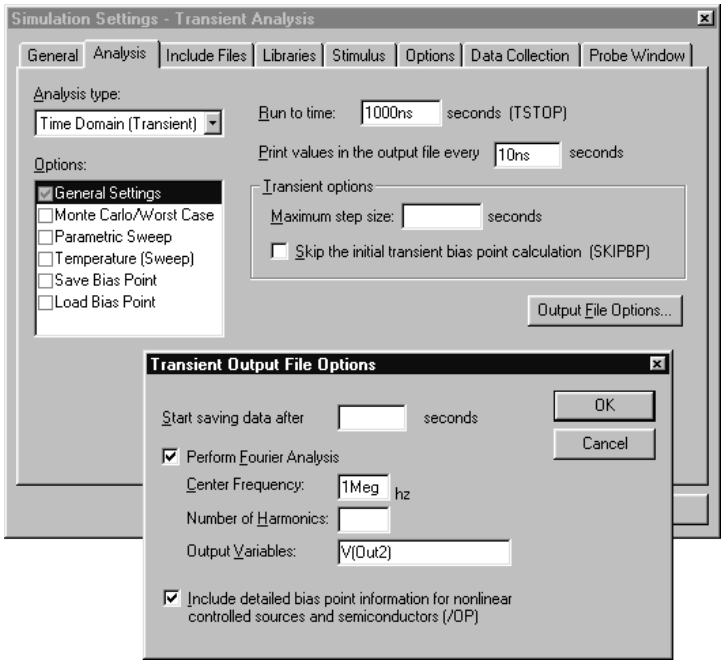
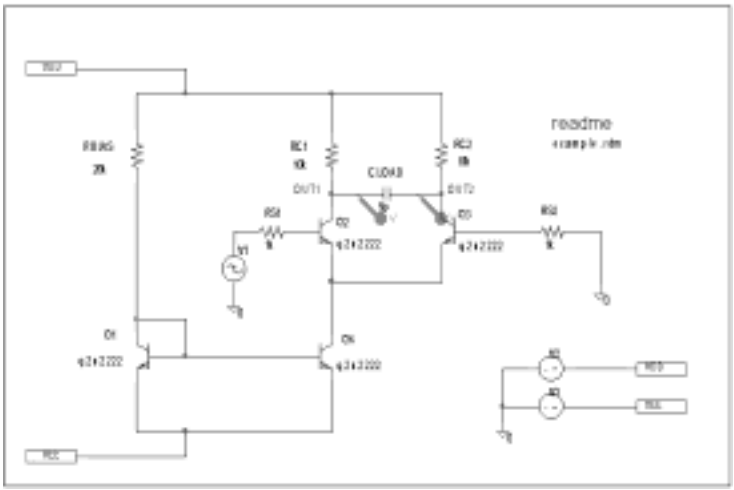


Figure 64 *Preparación del análisis de transitorios para EXAMPLE.OPJ.*

Durante un análisis de transitorios, cualquiera o todas las fuentes independientes pueden tener valores que varíen con el tiempo. En EXAMPLE.OPJ, la única fuente que posee un valor que varía con el tiempo es V1 (parte VSIN) con los atributos:

VOFF = 0v
VAMPL = 0.1v
FREQ = 5Meg

El valor de V1 varía con la onda senoidal de 5 MHz con un desplazamiento de tensión de 0 voltios y una amplitud de pico de 0.1 voltios. En general, suele haber más de una fuente que tenga valores que varían con el tiempo; por ejemplo, dos o más relojes en un circuito digital.



El circuito de ejemplo EXAMPLE.OPJ se suministra con el programa de instalación de OrCAD.

Figure 65 *Esquema de ejemplo EXAMPLE.OPJ.*

El análisis de transitorios realiza su propio cálculo del punto de trabajo al comenzar, utilizando la misma técnica que se describió para el barrido DC. Esto es necesario ya que los valores iniciales de las fuentes pueden ser diferentes de las de sus valores DC. Para informar de los parámetros de pequeña señal del punto de trabajo del transitorio, utilice el comando Transcient y habilite Detailed Bias Point. En caso contrario, si sencillamente desea el resultado de la ejecución del transitorio, habilite únicamente el comando Transient.

En el fichero de salida de la simulación EXAMPLE.OUT, el informe del punto de trabajo para el punto de trabajo del transitorio está etiquetado como INITIAL TRANSIENT SOLUTION.

Intervalos de tiempos en análisis de transitorios

Durante el análisis analógico, PSpice A/D mantiene un escalón de tiempos interno que es ajustado continuamente para mantener la precisión mientras no se realicen pasos innecesarios. Durante los períodos de actividad, el escalón de tiempos internos se incrementa. Durante zonas activas, el tamaño del escalón interno máximo puede ser controlado especificándolo en la caja de texto Step Ceiling en la caja de diálogo Transient. PSpice A/D nunca sobrepasará el valor de la celda del escalón o un 2 % del tiempo de ejecución de transitorios total, el que sea menor de los dos.

Los escalones de tiempos internos utilizados pueden no corresponderse con los escalones de tiempos en los que se haya solicitado información. Los valores de los escalones de tiempos impresos son obtenidos a partir de una interpolación polinómica de segundo orden de los valores de los escalones internos.

Véase el *Capítulo 14, Simulación digital,* para más información sobre el análisis de tiempos digital de PSpice A/D.

Cuando se simulan circuitos analógico/digitales mixtos, se utilizan dos constantes de tiempos diferentes, una para la circuitería analógica y otro para la digital. Esto se realiza por precisión. Como la circuitería analógica y la digital utilizan normalmente diferentes constantes de tiempos, un intento de utilizar una sola constante para ambos ralentizaría la simulación. El escalon de tiempos mostrado en la pantalla de PSpice A/D durante el análisis de transitorios es el de la sección analógica.

Conmutando circuitos en análisis de transitorios

Ejecutar análisis de transitorios en circuitos de conmutación puede llevar mucho tiempo. PSpice A/D deberá mantener el escalón de tiempos interno reducido en comparación con el período de conmutación, pero la respuesta del circuito se extiende durante varios ciclos de conmutación.

Una forma de evitar este problema es transformar el circuito de conmutación en un circuito equivalente sin conmutación. Este circuito representaría un tipo de estado casi estable del circuito actual, y puede modelar correctamente la respuesta del circuito actual siempre que las entradas no cambien demasiado rápido.

Esta técnica está descrita en:

V. Bello, "Computer Program Adds SPICE to Switching-Regulator Analysis," *Electronic Design*, March 5, 1981.

Ploteando curvas de histéresis

El análisis de transitorios puede utilizarse para ver la histéresis de un circuito. Consideremos, por ejemplo, el circuito mostrado en la Figura 66 (lista de conexiones en la Figura 67).

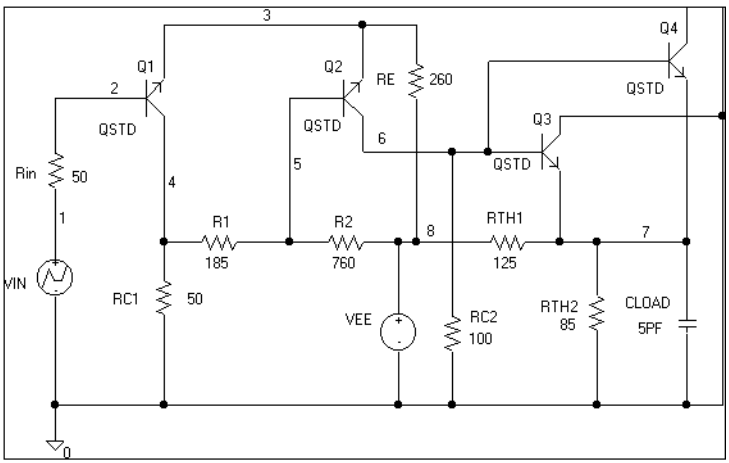


Figure 66 *Trigger Schmitt compatible ECL.*

```
* Capture Netlist

R_RIN   1 2 50
R_RC1   0 3 50
R_R1    3 5 185
R_R2    5 8 760
R_RC2   0 6 100
R_RE    4 8 260
R_RTH2  7 0 85
C_CLOAD 0 7 5PF
V_VEE   8 0 dc -5
V_VIN   1 0
+PWL 0 -8 1MS -1.0V 2MS -1.8V
R_RTH1  8 7 125
Q_Q1    3 2 4 QSTD
Q_Q2    6 5 4 QSTD
Q_Q3    0 6 7 QSTD
Q_Q4    0 6 7 QSTD
```

Figure 67 *Lista de conexiones para un circuito trigger Schmitt*

El modelo QSTD está definido como:

.MODEL QSTD NPN(is=1e-16 bf=50 br=0.1 rb=50 rc=10 tf=.12ns tr=5ns
+ cje=.4pF pe=.8 me=.4 cjc=.5pF pc=.8 mc=.333 ccs=1pF va=50)

En lugar de utilizar el barrido DC para ver la histéresis, utilice el análisis de transitorios, (Print Step = .01ms and Final Time = 2ms) barriendo VIN desde -1.8 voltios hasta -1.0 voltios y regresando a -1.8 voltios, muy lentamente. Esto tiene dos ventajas:

- Evita problemas de convergencia
- Cubre tanto los transitorios de subida como de bajada en un solo análisis

Después de la simulación, en la ventana Probe en PSpice A/D, la variable X axis se fija inicialmente para que sea Time. Seleccionando X Axis Settings en el menú Plot y clicando sobre el botón Axis Variable, puede hacer que la variable X axis sea V(1). Después puede utilizar Add en el menú Trace para ver V(7), y cambiar X axis a un rango de datos definidos por el ususario desde -1.8V a -1.0V (Axis Settings en el menú Plot). Esto muestra la salida del disparador Schmitt junto con su entrada, que es lo que se quiere. El resultado es algo similar a la Figura 68.

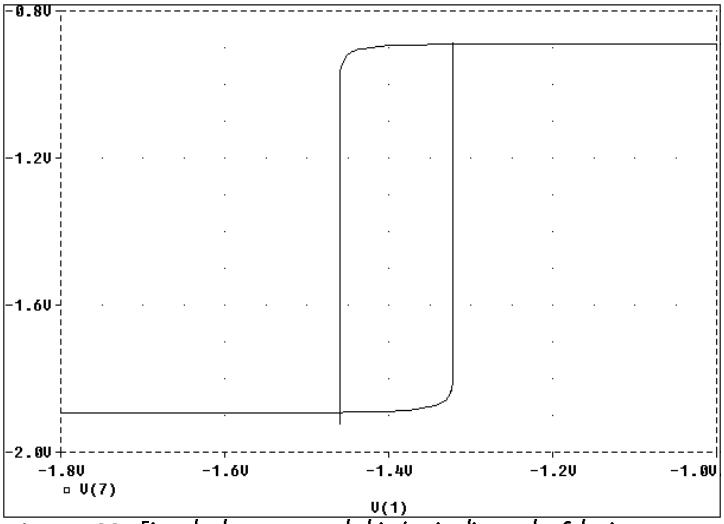


Figure 68 *Ejemplo de una curva de histéresis: disparador Schmitt.*

Componentes de Fourier

Note *Deberá realizar un análisis de transitorios antes de realizar el Fourier. El intervalo de muestreo utilizado durante la transformada de Fourier es igual al paso de impresión especificado para el análisis de transitorios*

El análisis de Fourier se habilita a través de la caja de diálogo Output File Options en Time Domain (Transient) Analysis type. El análisis de Fourier calcula los componentes DC y Fourier del resultado del análisis de transitorios. Por defecto, se calculan los nueve primeros componentes, si bien pueden especificarse más.

Cuando se selecciona Fourier para que realice un análisis de los armónicos existentes en una forma de onda de un transitorio, únicamente se utiliza una parte de la forma de onda. Utilizando la ventana Probe en PSpice A/D, puede calcularse una Transformada de Fourier Rápida (FFT) de toda la onda y mostrarse su espectro.

En el ejemplo mostrado en la Figura 64 en la página 352, se utiliza la onda de tensión en el nodo OUT2 del análisis de transitorios y la frecuencia fundamental será de 1 megahercio para la decomposición armónica. El período de la frecuencia fundamental es de un microsegundo (la inversa de la frecuencia fundamental). Únicamente se utiliza el último microsegundo del análisis de transitorios, y esa parte se supone que se repite indefinidamente. Como la onda senoidal V1 se repite cada un

microsegundo, esto es suficiente. En general, de todas formas, deberemos asegurarnos que el periodo fundamental de Fourier rellene la forma de onda en el análisis de transitorios.

Análisis paramétrico y de temperatura

12

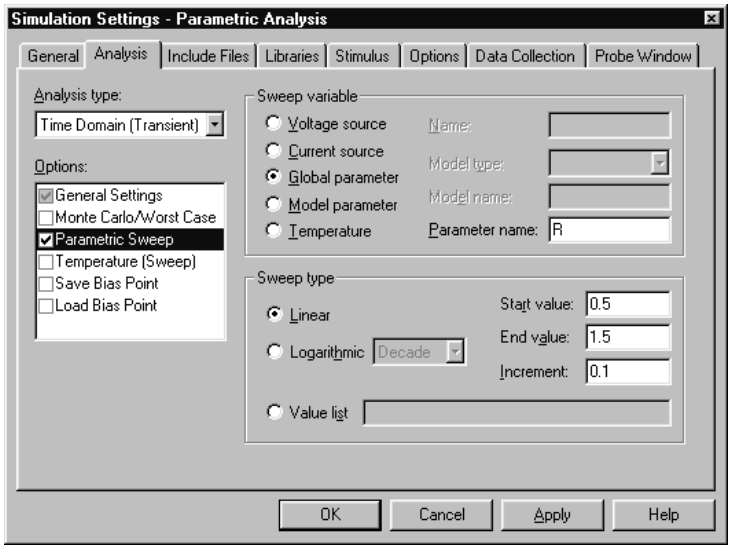
Presentación general del capítulo

Este capítulo describe cómo preparar análisis paramétricos y de temperatura. Ambos análisis son tipos de análisis de ejecución múltiple simples.

Este capítulo incluye las siguientes secciones:

- *Análisis paramétrico* en la página 360
- *Análisis de temperaturas* en la página 369

Véase *Preparando el análisis* en la página 288 para una descripción de la caja de diálogo Simulation Settings.



4 Clicar en OK para salvar el perfil de la simulación.

5 En PSpice, seleccionar Run para iniciar la simulación.

Note *No especificar un barrido DC y un análisis paramétrico para la misma variable.*

Visión general del análisis paramétrico

El análisis paramétrico realiza múltiples iteraciones en un análisis estándar especificado mientras se varía un parámetro global, un parámetro de un modelo, un valor de un componente, o una temperatura de trabajo. El efecto es el mismo que ejecutar el circuito varias veces, una por cada valor que haya de la variable de barrido.

Véase *Análisis parámetrico* en la página 82 para una descripción sobre cómo preparar un análisis paramétrico.

Ejemplo de un filtro RLC

Este ejemplo muestra cómo realizar un barrido paramétrico y analizar los resultados con un análisis de prestaciones.

Utilice el análisis de prestaciones para derivar valores desde una serie de ejecuciones del simulador y dibujar estos valores en función de un parámetro que varía conforme se ejecute el simulador.

Para este ejemplo, los valores derivados son la sobrecarga y el tiempo de llegada en función de la resistencia de amortiguación del filtro.

Introduciendo el diseño

La representación esquemática para el filtro RLC (RLCFILT.OPJ) se muestra en la Figura 69.

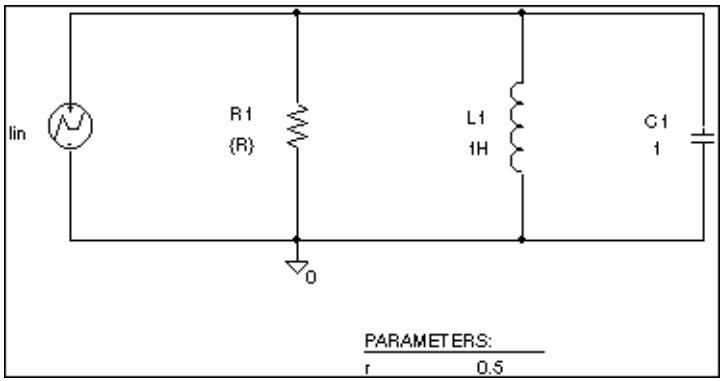


Figure 69 *Esquema de un filtro pasivo*

Esta serie de ejecuciones de PSpice A/D varían el valor de la resistencia R1 desde 0.5 a 1.5 ohms en saltos de 0.1 ohm. Como la constante de tiempo del circuito es de alrededor de 1 segundo, relizaremos un análisis de transitorios de aproximadamente 20 segundos.

Crearemos el circuito en OrCAD Capture colocando una fuente de corriente independiente lineal (IPWL es SOURCE.OLB). Fijar las propiedades de la fuente de corriente así:

AC = 1a
T1 = 0s

I1 = 0a
T2 = 10ms
I2 = 0a
T3 = 10.1ms
I3 = 1a

Colocar una resistencia y fijar su VALUE a la expresión, {R}. Para definir R como un parámetro global, colocar un pseudo componente PARAM y utilizar el Editor de Propiedades para crear una nueva propiedad R y fijar su valor a 0.5. Colocar una bobina y fijar su valor a 1H, colocar un condensador y fijar su valor a 1, y colocar una masa analógiga (0 en SOURCE.OLB). Trazar los hilos como se muestra en la Figura 69.

Ejecutando la simulación

Ejecutar PSpice A/D con los siguientes análisis habilitados:

transient	print step:	100ms
	final time:	20s
parametric	swept var. type:	global parameter
	sweep type:	linear
	name:	R
	start value:	0.5
	end value:	1.5
	increment:	0.1

Después de preparar todos los análisis, iniciar la simulación seleccionando Run en el menú PSpice.

Utilizando el análisis de prestaciones para dibujar la sobrecarga y el tiempo de subida

Después de realizar la simulación que crea el fichero de datos RLCFILT.DAT, puede calcular las funciones objetivo del análisis de prestaciones especificado.

Cuando termine la simulación, se mostrará una lista conteniendo todas las secciones (ejecuciones) en el fichero de datos generado por PSpice A/D. Para utilizar los datos de todas las ejecuciones, seleccionar All y clicar OK en la caja de diálogo Available Selections. En el caso de la Figura 70, la traza I(L1) de la sección novena fue añadida especificando lo siguiente en la caja de diálogo Add Traces:

Para ver la caja de diálogo Add Traces, en el menú Trace, seleccionar Add Trace o clicar en el botón de la barra de herramientas Add Trace.

I(L1)@9

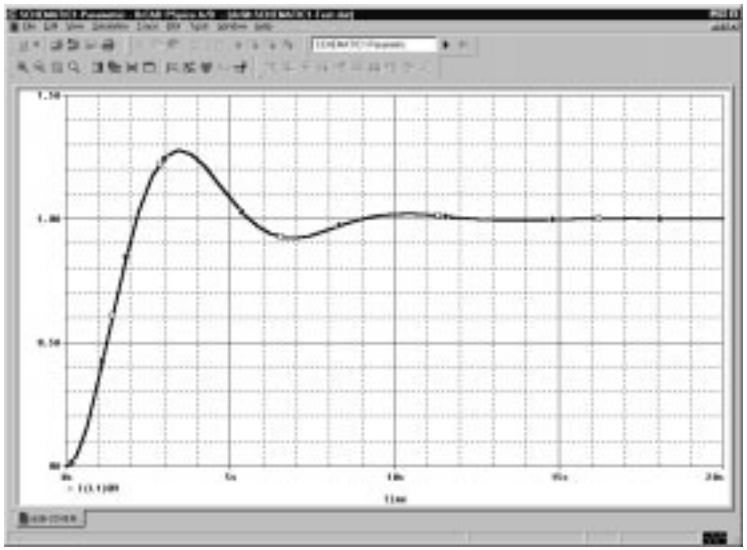


Figure 70 *Corriente de L1 cuando R1 es de 1.5 ohms.*

Ayudas

Es necesaria más de una ejecución o secciones de datos de PSpice A/D para el análisis de prestaciones. Como un valor se deriva para cada forma de onda en un conjunto relacionado de ondas, al menos son necesarios dos puntos de datos para generar una traza.

Utilice la función Eval Goal (en el menú Trace) para evaluar una función objetico en una onda y producir un solo punto de dato.

Las funciones objetivo de sobrecarga están contenidas en el fichero PSPICE.PRB en el directorio de OrCAD.

Para realizar un análisis paramétrico

1. En el menú Trace, seleccionar Performance Analysis .
2. Clicar sobre OK.

   PSpice resetea la variable del eje X del gráfico para que sea el parámetro el que cambie conforme se ejecute PSpice A/D. En el ejemplo, este es el parámetro R.

Para ver el tiempo de subida de la corriente a través de la bobina L1, clicar en el botón Add Trace de la barra de herramientas y teclear:

genrise(I(L1))

La Figura 71 muestra cómo el tiempo de subida se decrementa conforme la resistencia de amortiguación se incrementa en el filtro.

Puede añadirse otro eje Y al dibujo para la sobrecarga de la corriente a través de L1 seleccionando Add Y Axis en el menú Plot. El eje Y se añadirá inmediatamente. Ahora clicar sobre el botón Add Trace de la barra de herramientas e introducir:

overshoot(I(L1))

La Figura 71 muestra cómo se incrementa la sobrecarga conforme se incrementa la resistencia.

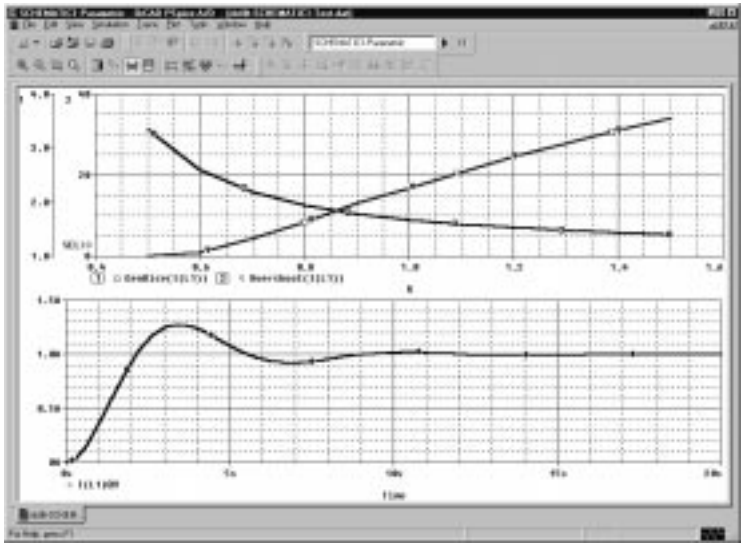


Figure 71 *Tiempo de subida y sobrecarga en función de la resistencia de amortiguación*

Ejemplo: respuesta en frecuencia contra análisis de parámetros

Esta técnica de medir redes capacitivas funciona muy bien tanto en circuitos simples como complejos.

Puede verse un dibujo de la respuesta lineal de un circuito a una determinada frecuencia conforme varía uno de los parámetros del circuito (como por ejemplo la salida de un filtro pasa banda a su frecuencia central en función del valor de una bobina).

En este ejemplo, el valor del condensador no lineal se mide utilizando una señal de 10 kHz y dibujada en función de la tensión del punto. El condensador está en paralelo con una resistencia, de modo que la expresión de la traza se utiliza para calcular la capacidad de la impedancia completa de la pareja RC.

Preparando el circuito

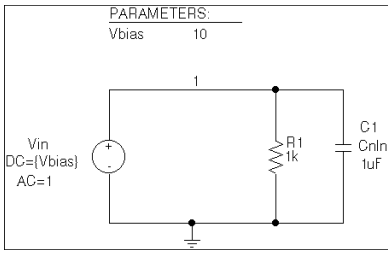


Figure 72 *Circuito de ejemplo de un filtro RLC.*

Introducir el circuito en Capture como se muestra en la Figura 72

Para crear el modelo del condensador en el editor de esquemas:

1 Colocar una parte CBREAK.

2 Seleccionarla de modo que quede resaltada.

3 En el menú Edit, seleccionar PSpice Model.

4 En la zona Model Text, introducir lo siguiente:

.model Cnln CAP(C=1 VC1=-0.01 VC2=0.05)

5 En el menú File, seleccionar Save.

Preparar el circuito para un análisis AC paramétrico (barrido Vbias), y ejecutar PSpice A/D. Incluir únicamente la frecuencia de su interés en el barrido AC.

Para ver los resultados

Utilice PSpice para ver la capacidad calculada a la frecuencia de su interes contra el parámetro escalonado.

1 Simular el circuito.

2 Cargar todas las secciones de análisis AC.

3 En el menú Trace, seleccionar Add Trace o clicar sobre el botón de la barra de herramientas Add Trace.

4 Añadir la siguiente expresión de traza:

```
IMG(-I(Vin)/V(1,0))/(2*3.1416*Frequency)
```

O añadir la expresión:

```
CvF(-I(Vin)/V(1,0))
```

Donde CvF es una macro que mide la capacidad real en una impedancia compleja. Las macros se definen con el comando Macros en el menú Trace. La macro CvF se definiría así:

```
CvF(G)= IMG(G)/(2*3.1416*Frequency)
```

Note *-I(Vin)/V(1) es la admitancia compleja de la rama R-C: el signo menos es necesario para tener una polaridad correcta.*

Para utilizar el análisis de prestaciones para plotear la capacitancia y la tensión del punto

1 En el menú Trace, seleccionar Performance Analysis.

2 Clicar sobre Wizard.

3 Clicar sobre Next>.

4 Clicar YatX en la lista Choose a Goal Function, y después clicar sobre Next>.

5 En la caja de texto Name of Trace, teclear:

```
CvF(-I(Vin)/V(1))
```

6 En la caja de texto X value to get Y value at, teclear 10K.

7 Clicar sobre Next>.

El ayudante muestra la traza de ganancia para la primera ejecución para chequear la función objetivo (YatX).

8 Clicar sobre Finish.

El dibujo resultante se muestra en la Figura 73.

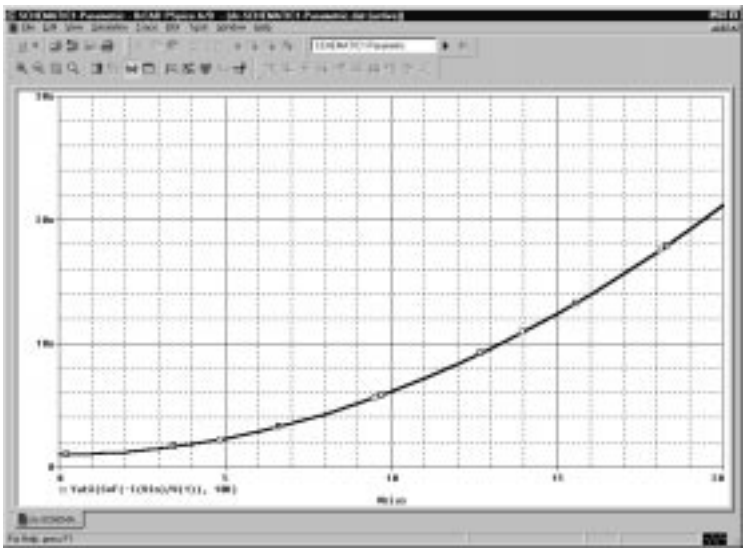


Figure 73 *Dibujo de la capacitancia en función de la tensión del punto.*

Análisis de temperaturas

Requisitos mínimos para ejecutar un análisis de temperaturas

Requisitos mínimos del diseño del circuito

Ninguno.

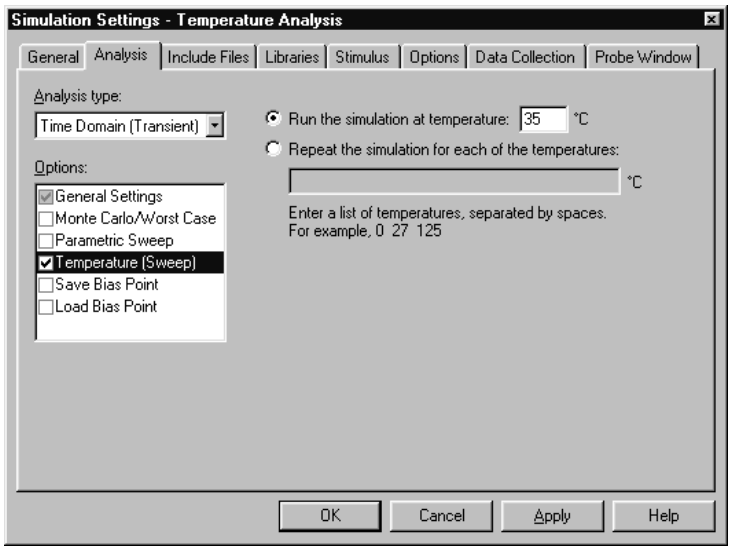
Requisitos mínimos de configuración del programa

1 En la caja de diálogo Simulation Settings, en la caja de listas Analysis type, seleccionar Time Domain (Transient).

2 En Options, seleccionar Temperature Sweep si todavía no estuviese seleccionada.

3 Especificar los parámetros requeridos para el barrido.

Véase *Preparando el análisis* en la página 288 para una descripción de la caja de diálogo Simulation Settings.



4 Clicar sobre OK para salvar el perfil de la simulación.

5 En el menú PSpice, seleccionar Run para iniciar la simulación.

Visión general del análisis de temperaturas

Ejecutar múltiples análisis para diferentes temperaturas puede realizarse utilizando el análisis paramétrico (véase *Análisis paramétrico* en la página 360). Con el análisis paramétrico, las temperaturas pueden ser especificadas por lista, o por rango de incrementos dentro del rango.

Para un análisis de temperaturas, PSpice A/D ejecuta de nuevo un análisis estándar fijado en la caja de diálogo Simulation Settings a diferentes temperaturas.

Pueden especificarse cero o más temperaturas. Si no se especificase temperatura alguna, el circuito se simularía a 27ªC. Si se especificase más de una temperatura, el simulador se ejecutaría una vez por cada temperatura listada.

Si se fija la temperatura a un valor diferente del por defecto, da como resultado calcular de nuevo los valores de los dispositivos dependientes de la temperatura. En EXAMPLE.OPJ (véase la Figura 74), la temperatura para todos los análisis está fijada a 35ºC. Los valores de las resistencias RC1 y RC2 son calculados de nuevo basándose en el modelo CRES, que posee parámetros TC1 y TC2 que reflejan dependencias de la temperatura lineales y cuadráticas.

Del mismo modo, los dispositivos Q3 y Q4 son calculados de nuevo utilizando el modelo Q2N2222, que también posee parámetros dependientes de la temperatura. En el fichero de salida de la simulación, estos valores de dispositivos calculados de nuevo son reportados en la sección etiquetada TEMPERATURE ADJUSTED VALUES.

El circuito de ejemplo EXAMPLE.OPJ se proporciona con el programa de instalación de OrCAD.

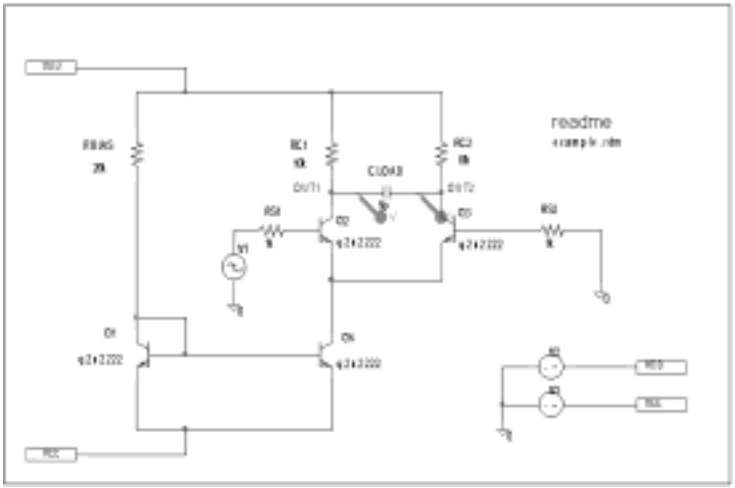


Figure 74 *Esquema de ejemplo EXAMPLE.OPJ.*

Generando resultados estadístivos

Como el número de ejecuciones de Monte Carlo y del peor de los casos se incrementa, la simulación lleva más tiempo y los ficheros de datos se hacen más grandes. Puede ser muy lento al abrir o dibujar trazas de estos ficheros.

Una forma de trabajar con esto es fijar un trabajo que se realice por la noche y ejecute la simulación y algunos comandos. También puede configurar el equipo para que realice unos dibujos durante la noche y poder tenerlos preparados por la mañana.

Control de salida para análisis estadísiticos

Los análisis de Monte Carlo y del peor de los casos, generan los siguientes tipos de informes:

- Valores de los parámetros del modelo utilizados para cada ejecución (esto es, los valores con la tolerancia aplicada)
- Formas de onda de cada ejecución, como función de las especificación de una colección de datos o de la especificación de variables de salida en la preparación del análisis.
- Resumen de todas las ejecuciones utilizando una función para cotejarlas

La salida se salva en el fichero de datos para ser utilizada por el analizador de ondas. Para el análisis de Monte Carlo, puede utilizar la utilidad del análisis de prestaciones para generar histogramas o datos derivados.

Para más información sobre los análisis de prestaciones, véase *Ejemplo de un filtro RLC* en la página 362.

Para más información sobre los histogramas, véase *Creando histogramas* en la página 391.

Informe de valores de parámetros de modelos

Para producir un listado de los parámetros de modelos utilizados actualmente en cada ejecución:

1. En la caja de diálogo Simulation Settings, clicar sobre la pestaña Analysis.
2. En la lista de tipos de Análisis, seleccionar un tipo de análisis.
3. En Options, seleccionar Monte Carlo/Worst Case.
4. Clicar sobre el botón More Settings.
5. Seleccionar List model parameter values.
6. Clicar sobre OK para cerrar la caja de diálogo Simulation Settings.

Esta lista se escribe en el fichero de salida de la simulación al principio de la ejecución y contiene los parámetros de cada

dispositivo, al contrario que los parámetros para cada estamento .MODEL. Esto es debido a que los dispositivos poseen diferentes valores de parámetros cuando se utilice un estamento del modelo conteniendo una tolerancia DEV.

Tenga en cuenta que en circuitos medianos y grandes, la opción List puede generar un fichero de salida bastante grande.

Informes de formas de ondas

Para el análisis de Monte Carlo, hay cinco variaciones de la salida que pueden especificarse en la caja de texto Save data from de la caja de diálogo Monte Carlo. Opciones:

Si se efectúan más de 10 ejecuciones, la presentación de las ondas en pantalla puede parecer más como una banda negra que como ondas independientes. Esto puede ser útil para ver la propagación típica de una determinada variable de salida. Conforme se incrementa el número de ejecuciones, la propagación se acercará más a los límites del peor de los casos del circuito.

<ninguna>	No se genera salida
All	Fuerza la generación de una salida (incluyendo la ejecucución nominal)
First*	Genera una salida únicamente durante las *n* primeras ejecuciones
Every*	Genera una salida para cada enésima ejecución
Runs(list)*	Realiza los análisis especificados y genera salidas únicamente para las ejecuciones listadas (pueden ser especificados hasta 25 valores en la lista)

El asterisco indica que puede fijarse el número de ejecuciones en la caja de texto runs.

Los valores para las variables de salida especificadas en los análisis seleccionados serán salvados en el fichero de salida de la simulación y en el fichero de datos.

Note *Incluso un pequeño número de ejecuciones puede generar ficheros de salida muy largos.*

Funciones cotejadas

También puede comprimir los resultados de los análisis de Monte Carlo o del Peor de los casos. Si utiliza la función collating, un número representa una ejecución. (Clicar en el botón Output File Options y seleccionar una función de la lista Find). En el fichero de salida de la simulación se muestra una tabla de desviaciones por ejecución.

Las funciones cotejadas están listadas en la Table 33.

Table 33 *Funciones cotejadas utilizadas en análisis estadísticos*

Función	Descripción
YMAX	Localiza la máxima diferencia dede la nominal en cada forma de onda.
MAX	Localiza el valor máximo de cada onda.
MIN	Localiza el valor mínimo de cada onda.
RISE_EDGE	Localiza la primera coincidencia de la onda que atraviese un determinado valor.
FALL_EDGE	Localiza la primera ocurrencia de cada onda que atraviese un determinado valor umbral especificado.

Consideraciones de temperatura en los análisis estadísticos

Véase el *Efectos de la temperatura en el análisis de Monte Carlo* en el manual *Notas de Aplicación* para más información.

El análisis estadístico realiza múltiples ejecuciones, y realiza un análisis de temperaturas. Conceptualmente, los bucles del análisis de Monte Carlo y del peor de los casos están dentro del bucle de temperaturas.

De todas formas, como tanto la temperatura como las tolerancias afentan a los parámetros de los modelos, OrCAD recomienda no utilizar el análisis de temperaturas cuando se realicen análisis de Monte Carlo o del peor de los casos.

Tampoco puede realizarse un barrido de temperaturas cuando se realice un análisis de un barrido AC o colocar tolerancias en coeficientes de temperaturas cuando se realicen análisis estadísticos. En EXAMPLE.DSN, el valor de la temperatura está fijado a 35° C.

El esquema de ejemplo EXAMPLE.DSN viene con el CD-ROM de instalación de OrCAD .

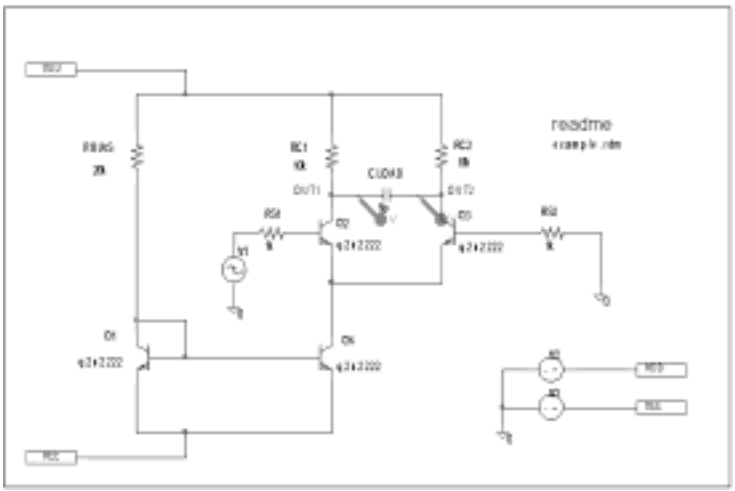


Figure 75 *Esquema de ejemplo EXAMPLE.DSN.*

El análisis de Monte Carlo se utiliza frecuentemente para predecir el rendimiento durante la ejecución de un circuito.

TC1 es el coeficiente de temperatura lineal.
TC2 es el coeficiente de temperatura cuadrático.

3 En Capture, preparar un nuevo análisis de Monte Carlo. La especificación del análisis indica a PSpice A/D que realice una ejecución nominal y cuatro de Monte Carlo, salvando la salida DC del análisis de las cinco ejecuciones.

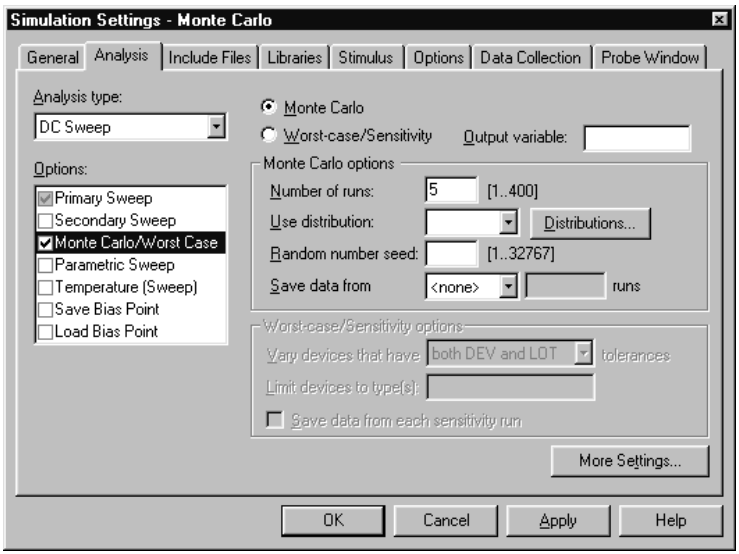


Figure 76 *Configuración del análisis de Monte Carlo para EXAMPL E.DSN.*

PSpice A/D comienza ejecutando *todos* los análisis habilitados en la caja de diálogo Simulation Settings con todos los valores fijados a sus valores nominales.

Así, con Monte Carlo activado, PSpice A/D salva los resultados del análisis del barrido DC para su referencia o comparación posteriores. Después que termine el análisis nominal, PSpice A/D devuelve la ejecución del análisis adicional especificado (en este ejemplo, el barrido DC).

PSpice A/D ofrece una facilidad para generar histogramas de datos derivados de las familias de ondas de Monte Carlo por medio del análisis de prestaciones.

Para más información sobre el análisis de prestaciones, véase *Ejemplo de un filtro RLC* en la página 362.

Para más información sobre los histogramas, véase *Creando histogramas* en la página 391.

Las ejecuciones siguientes utilizan la misma especificación de análisis que la ejecución nominal con una excepción: en lugar de utilizar los valores nominales de los parámetros, se aplican las tolerancias a los nuevos valores de parámetros y por consiguiente a los nuevos valores de las partes.

Hay una correspondencia directa al seleccionar el número de ejecuciones de Monte Carlo. Más ejecuciones proporcionan estadísticas mejores, pero requieren más tiempo. La cantidad de tiempo es directamente proporcional al número de ejecuciones: 20 análisis de transitorios duran 20 veces más que uno solo.

Durante las ejecuciones de Monte Carlo, la pantalla de estado de PSpice A/D incluye el número actual de la ejecución y el número total de ejecuciones que quedan por realizarse.

Leyendo el informe resumen

El informe de resumen generado en este ejemplo (véase la Figura 77) especifica que la onda generada desde V(OUT1, OUT2) deberá estar sometida a la función cotejada YMAX. En cada una de las cuatro últimas ejecuciones, la nueva onda V(OUT1, OUT2) se compara con la onda nominal V(OUT1, OUT2) para la primera ejecución, calculando la máxima desviación. Las desviaciones son impresas por tamaño con su número de ejecución.

```
 ****     SORTED DEVIATIONS OF V(OUT1,OUT2) TEMPERATURE =   35.000 DEG C

                      MONTE CARLO SUMMARY

*****************************************************************************



Mean Deviation =    -.2477
Sigma          =     .3035

 RUN                     MAX DEVIATION FROM NOMINAL

Pass    3                 .5729  (1.89 sigma)  lower   at V_V1 =    -.02
                         (  94.885% of Nominal)

Pass    4                 .3549  (1.17 sigma)  lower   at V_V1 =    -.02
                         (  96.832% of Nominal)

Pass    2                 .3122  (1.03 sigma)  lower   at V_V1 =    -.02
                         (  97.212% of Nominal)

Pass    5                 .2493  ( .82 sigma)  higher  at V_V1 =    -.02
                         ( 102.23% of Nominal)
```

Figure 77 *Resumen de la ejecución de Monte Carlo para EXAMPLE.OPJ.*

Con la opción List habilitada, también se genera un informe mostrando el valor del parámetro utilizado por cada dispositivo en cada ejecución. En este caso, (véase la Figura 78), la tercera ejecución muestra la máxima desviación.

```
* C:\ORCAD\EX\EXAMPLE.SCH

****     UPDATED MODEL PARAMETERS          TEMPERATURE =   35.000 DEG C

                    MONTE CARLO PASS    3

*****************************************************************************


**** CURRENT MODEL PARAMETERS FOR DEVICES REFERENCING cres
                    R_RC1           R_RC2
            R      1.0304E+00      9.5053E-01
```

Figure 78 *Valores de parámetros para la tercera pasada de Monte Carlo.*

Ejemplo: Análisis de Monte Carlo de un sensor de presión

Este ejemplo muestra las prestaciones de un circuito de un sensor de presión con un puente resistivo dependiente de la presión afectado por tolerancias en la fabricación, y utilizando el análisis de Monte Carlo para explorar esos efectos.

Dibujando el esquema

Para comenzar, construya el puente de la Figura 79.

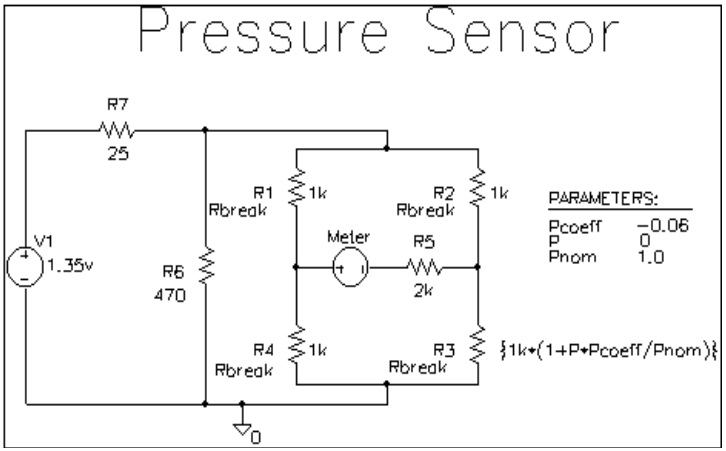


Figure 79 *Circuito con un sensor de presión.*

Hay algunas cosas que es necesario conocer antes de colocar y conectar las partes:

- Para obtener la parte que quiera colocar, en el menú Place, seleccionar Part.
- Para girar una parte antes de colocarla, pulsar R.
- Para V1 y Meter, colocar una fuente de tensión genérica utilizando la parte VSRC. Cuando coloque la fuente para el medidor, cambie su nombre haciendo doble clic sobre la parte y tecleando Meter en la celda Reference en la hoja de cálculo Parts.
- Para R1-R7, coloque una resistencia utilizando la parte R.
- Coloque la tierra analógica utilizando el símbolo de tierra 0.

S+W

- Para conectar las partes, en el menú Place, seleccione Wire.
- Para mover valores o designadores de referencia, clicar sobre el valor o el designador de referencia para seleccionarlo y arrastrarlo a la nueva posición.

Definiendo valores de partes

Definir los valores de partes como se muestra en la Figura 79. Para el sensor de presión, tendrá que hacer lo siguiente:

- Cambie los valores de las resistencias R3, R5, R6, y R7 a 1k.
- Fije el valor DC para la fuente de tensión V1.

Note *Como la fuente del medidor se utiliza para medir corriente, no posee valor DC y puede dejarse sin modificar.*

Para cambiar valores de resistencias

1. Hacer doble clic sobre el valor de la resistencia.
2. Teclear el nuevo valor. Dependiendo de la resistencia que esté cambiando, fijar su valor a uno de los siguientes (véase la Figura 79).

Si está cambiando la resistencia...	Teclee esto...
R3	{1k*(1+P*Pcoeff/Pnom)}
R5	2k
R6	470
R7	25

3. Repetir los pasos 1 y 3 para cada resistencia del esquema.

Note *El valor de R3 — {1k*(1 +P*Pcoeff/Pnom)} — es una expresión que representa la dependencia lineal de la resistencia con la presión. Para completar la definición de R3, deberá crear y definir parámetros globales para Pcoeff, P, y Pnom más adelante en este ejemplo.*

Para fijar el valor DC para la fuente V1 y hacerlo visible

1. Hacer doble clic sobre la parte fuente V1.
2. En la hoja de cálculo Parts, clicar sobre la celda bajo la columna DC.
3. Teclear 1.35v.
4. Clicar sobre el botón Display.

5 En la zona Display Format, seleccionar la opción Value Only para hacer el valor DC (1.35v) visible en el esquema.

6 Clicar sobre OK, después sobre Apply para aplicar los cambios que se han realizado en la parte.

7 Cerrar la hoja de cálculo Parts.

Preparando los parámetros

Para completar la definición de valores para R3, definir los parámetros globales Pcoeff, P, y Pnom.

Para definir e inicializar Pcoeff, P, y Pnom

1 Colocar una parte PARAM en la página del esquema.

2 Hacer doble clic sobre la parte PARAM para ver la hoja de cálculo Parts.

3 Para cada parámetro, crear una nueva propiedad clicando sobre New y tecleando el nombre. Introducir su valor correspondiente en la celda bajo el nuevo nombre de la propiedad y teclear su valor. Especificar el nombre del parámetro y su valor correspondiente como sigue:

Propiedad	Valor
Pcoeff	-0.06
P	0
Pnom	1.0

4 Clicar sobre Apply para salvar los cambios realizados y después cerrar la hoja de cálculo Parts.

Utilizando resistencias con modelos

Cuando PSpice A/D ejecuta un análisis de Monte Carlo, utiliza los valores de tolerancias para determinar cómo varían los parámetros de los modelos durante la simulación.

Para ver los ejectos de las tolerancias en la fabricación en el comportamiento del circuito, fijaremos las tolerancias (DEV) y (LOT) de los dispositivos en los parámetros de los modelos para las resistencias R1, R2, R3, y R4 en un paso posterior (véase la página 385). Esto significa que es necesario utilizar resistencias que posean asociaciones de modelos.

Como las partes R no poseen modelos asociados (y por consiguiente no tienen parámetros de modelo), cambiar las resistencias a una parte Rbreak que sí poseen modelos.

Para reemplazar R1, R2, R3, y R4 por la parte RBREAK

1. Clicar sobre R1 para seleccionarla.
2. Mantener pulsada la tecla C y clicar sobre R2, R3 y R4 para añadirlas a la selección.
3. Pulsar D para borrar el grupo seleccionado.
4. En el menú Place, seleccionar Part.
5. En la caja de texto Part, teclear RBREAK. (Si RBREAK no estuviese disponible, clicar sobre el botón Add Library y seleccionar BREAKOUT.OLB para configurarlo para utilizarlo en Capture.)
6. Clicar sobre OK.
7. Colocar manualmente la parte RBREAK en el circuito en donde estaban colocados R1, R2, R3 y R4.
8. Hacer doble clic en cada parte RBREAK y cambiar el designador de referencia como se desee.

Salvando el diseño

Antes de editar los modelos para las resistencias Rbreak, salvemos el esquema.

Para salvar el diseño

1 En el menú File de Capture, seleccionar Save.

Definiendo tolerancias para las resistencias

Esta sección muestra cómo asignar tolerancias (DEV) y (LOT) a dispositivos para las resistencias R1, R2, R3, y R4 utilizando el Editor de modelos.

Puede utilizar el editor de modelos para cambiar la sintasis de .MODEL o .SUBCKT. Para saber más sobre el editor de modelos, véase *Editando texto de modelos* en la página 152, o vaya al *Manual de Referencia en línea de PSpice*.

Para asignar tolerancias del 2% (DEV) y del 10%) al dispositivo para la resistencia multiplicadora R1

1 Seleccionar R1.

2 En el menú Edit, seleccionar PSpice Model.

Capture busca en las librerías la definición del modelo Rbreak y realiza una para crear un modelo.

3 Para cambiar el nombre de la copia del modelo de Rbreak a Rmonte1, haga lo siguiente:

a En la zona Model Text, hacer doble clic sobre -click Rbreak.

b Teclear RMonte1.

4 Para añadir una tolerancia (DEV) del 2% y una (LOT) del 10% a la resistencia multiplicadora, haga lo siguiente:

a Añada lo siguiente al estamento .MODEL (after R=1):

DEV=2% LOT=10%

La ventana de edición de modelos será parecida a la de la Figura 80.

5 En el menú File, seleccionar Save.

Por defecto, Capture salva la definición .MODEL de RMonte1 en la librería nombre_del_diseño.lib, Que es PSENSOR.LIB. Capture también configura automáticamente la librería para su uso local.

Para saber más sobre cómo añadir librerías de modelos a la configuración, véase *Configurando las librerías de modelos* en la página 162.

Figure 80 *Definición de modelo para RMonte1.*

Para que las resistencias R2 y R4 utilicen la misma tolerancia que R1

1 En el editor de páginas de esquemas de Capture, seleccione R2 y R4.

2 En el menú Edit, seleccionar Properties.

3 En la fila R2, clicar sobre la celda bajo la columna Implementation y teclear RMonte1.

4 En la fila R4, clicar sobre la celda bajo la columna Implementation y teclear RMonte1.

Para asignar una tolerancia del 5% a la resistencia multiplicadora R3

1 Seleccionar R3.

2 En el menú Edit, seleccionar PSpice Model.

3 En la zona Model Text, cambiar el estamento .MODEL a:

.model RTherm RES R=1 DEV=5%

4 En el menú File, seleccionar Save.

El esquema se verá parecido al de la Figura 81.

Preparando el análisis

Esta sección muestra cómo definir y habilitar un análisis DC que realice un barrido de la presión y uno de Monte Carlo que realice un barrido DC con cada cambio de las resistencias multiplicadoras.

Para preparar el barrido DC

1 En el menú PSpice, seleccionar New Simulation Profile o Edit Simulation Settings. (Si fuera una nueva simulación, introducir el nombre del perfil y clicar sobre OK.)

Se mostrará la caja de diálogo Simulation Settings.

Véase *Preparando el análisis* en la página 288 para una descripción de la caja de diálogo Simulation.

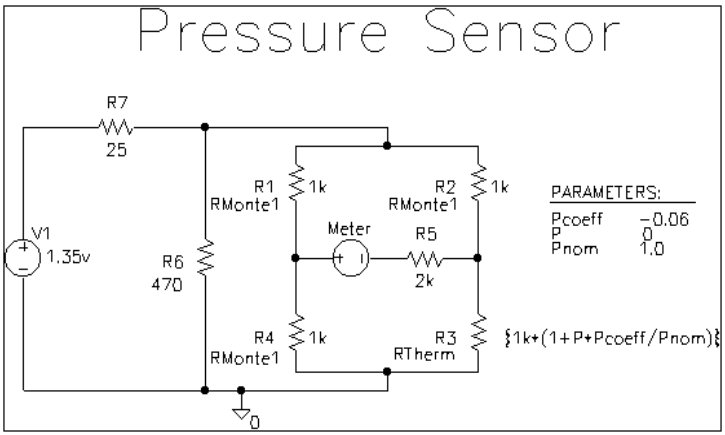


Figure 81 *Circuito de sensor de presión con las definiciones de modelos RMonte1 y RTherm.*

2 En la caja de listas Analysis type, seleccionar DC Sweep.

3 En la zona Sweep Variable, seleccionar Global Parameter.

4 Introducir los siguientes valores:

En esta caja...	Teclear esto...
Nombre del parámetro	P

En esta caja...	Teclear esto...
Valor inicial	0
Valor final	5.0
Incremento	0.1

Para preparar el análisis de Monte Carlo

1. Seleccionar la opción Monte Carlo/Worst Case.
2. Habilitar Monte Carlo si todavía no estuviera seleccionado.
3. En la caja de texto Number of runs, teclear 10.
4. En la caja Save data from list, seleccionar All.
5. En la caja de texto Output variable, teclear I(Meter).
6. Clicar sobre OK para salvar el perfil de la simulación.

Ejecutando el análisis y visualizando los resultados

Para completar la configuración, simular y ver los resultados

1. En el menú PSPice de Capture, seleccionar Run para iniciar la simulación.

   Cuando se haya completado la simulación, PSpice mostrará automáticamente la onda seleccionada. Como PSpice ejecutó previamente un análisis de Monte Carlo, salvó múltiples ejecuciones o secciones de datos. Estos están listados en la caja de diálogo Available Sections.
2. En el menú Trace de PSpice A/D, seleccionar Performance Analysis.
3. Clicar sobre el botón Select sections.
4. En la caja de diálogo Available Sections, clicar sobre el botón All.
5. Clicar sobre OK.

6 Para ver la corriente a través de la fuente de tensión Meter, haga lo siguiente:

a En el menú PSpice de Capture, apuntar a marcadores y seleccionar Current into Pin.

b Colocar una prueba de corriente en el pin de la izquierda Meter.

7 Cambiar a la ventana Probe para ver la familia de curvas para I(Meter) como función de P.

Otra forma de ver la familia de curvas sin utilizar marcadores en el esquema es:

1 En el menú Trace de PSpice A/D, seleccionar Add Trace.

2 En la lista Simulation Output Variables, hacer doble clic sobre I(Meter).

Note *Para ver más sobre cómo analizar lo resultados de Monte Carlo en PSpice A/D, véase la siguiente sección en histogramas de Monte Carlo.*

Histogramas de Monte Carlo

Puede ver datos derivados de las familias de ondas de Monte Carlo como histogramas. Esto es parte del análisis de prestaciones.

El análisis de Monte Carlo se utiliza frecuentemente para predecir fallos en la fabricación en serie de un circuito.

En este ejemplo, se simulará un filtro activo Chebyshev de AC variando aleatoriamente los valores del condensador y de la resistencia en cada ejecución. Después, habiendo definido las funciones objetivo del análisis de prestaciones para el ancho de banda y la frecuencia central, se observará la distribución estadística de esas cantidades para las 100 ejecuciones.

Para más información sobre el análisis de prestaciones, véase *Ejemplo de un filtro RLC* en la página 362.

Ejemplo de un filtro Chebyshev

El filtro Chebyshev está diseñado para que tenga una frecuencia central de 10 kHz y un ancho de banda de 1.5 kHz. La página del esquema para el filtro se muestra en la Figura 82. Las definiciones de los impulsos para V1, V2, y V3 son:

V1: DC=-15
V2: DC=+15
V3: AC=1

Las partes se redondean al valor de resistencia del 1% y del condensador al 5% más cercano disponible. En este ejemplo,

fíjese cómo el ancho de banda y la frecuencia central varían % de resolución.

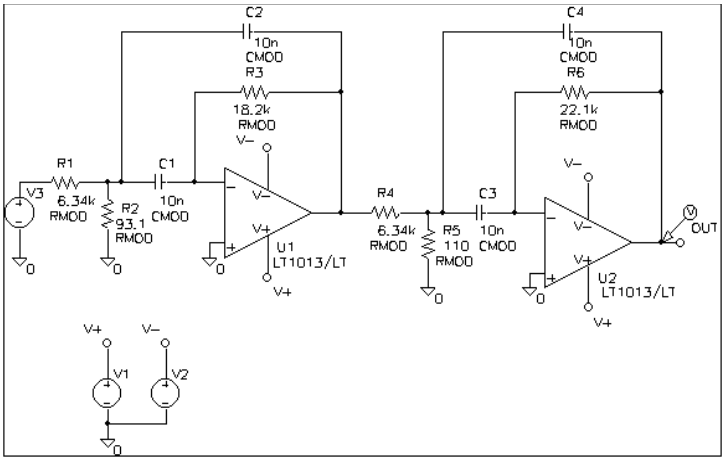


Figure 82 *Filtro Chebyshev.*

Creando modelos para el análisis de Monte Carlo

Para variar las resistencias y condensadores en el filtro, crear modelos para esas partes en los que puedan definirse tolerancias para el análisis de Monte Carlo. La librería BREAKOUT.OLB contiene dispositivos genéricos para este propósito. Los condensadores y resistencias del esquema son las partes Rbreak y Cbreak de BREAKOUT.OLB.

Utilizando el Editor de Modelos, modifique los modelos de esas partes como sigue:

```
.model RMOD RES(R=1 DEV=1%)
.model CMOD CAP(C=1 DEV=5%)
```

Preparando el análisis

Para analizar el filtro, preparar un análisis AC y un análisis de Monte Carlo. El análisis AC barre 50 puntos por década desde 100 Hz a 1 MHz. El análisis de Monte Carlo está preparado para realizar 100 ejecuciones. El tipo de análisis es AC y la variable de salida es V(OUT).

Para preparar el análisis

1. En el menú Trace de PSpice A/D, seleccionar Performance Analysis.
2. En la caja de listas Save data from, seleccionar All.
3. Clicar sobre OK.

Creando histogramas

Como los ficheros de datos pueden llegar a ser muy grandes cuando se ejecuta un análisis de Monte Carlo, para ver solo la salida del filtro, situe una punta de tensión en la salida del filtro.

Para recoger únicamente los datos del nodo marcado

1. En el menú PSpice, seleccionar New Simulation Profile o Edit Simulation Settings desde el menú PSpice. (Si es una nueva simulación, introducir el nombre del perfil y clicar sobre OK).

   Se mostrará la caja de diálogo Simulation Settings.
2. En la pestaña Data Collection, seleccionar la opción At Probes only.
3. Clicar sobre OK.

Para ejecutar la simulación y cargar Probe con datos

1. En el menú PSpice de Capture, seleccionar Run para iniciar la simulación.

   Cuando se complete la simulación, PSpice mostrará automáticamente la onda seleccionada. Como PSpice A/D ejecutó un análisis de Monte Carlo, ya salvó múltiples ejecuciones o secciones de datos. Estas están listadas en la caja de diálogo Available Sections.
2. En el menú Trace de PSpice A/D, seleccionar Performance Analysis.
3. Clicar sobre el botón Select sections.
4. En la caja de diálogo Available Sections, clicar sobre All.
5. Clicar sobre OK.

Para ver un histograma para el ancho de banda de 1dB

Para más información sobre el análisis de prestaciones, véase *Ejemplo de un filtro RLC* en la página 362.

1. En el menú Plot de PSpice A/D, seleccionar Axis Settings.
2. Seleccionar la pestaña X Axis.
3. En la zona Processing Options, seleccionar la caja de chequeo Performance Analysis.
4. Clicar sobre OK.

   Se mostrará el histograma. El eje Y es el porcentaje de muestras.

También puede ver este histograma utilizando el ayudante del análisis de prestaciones para ver el ancho de banda (VDB(OUT) , 1).

5. En el menú Trace, seleccionar Goal Functions.
6. Seleccionar Bandwidth.
7. Clicar sobre Eval.
8. En la caja de texto Name of trace to search, introducir VDB(OUT).
9. Introducir 1 en la caja de texto db level down for bandwidth calc.
10. Clicar sobre OK y después seleccionar Close para ver el histograma.

Para cambiar el número de divisiones del histograma

1. En el menú Tools, seleccionar Options.
2. En la caja de texto Number of Histogram Divisions, reemplace 10 por 20.
3. Clicar sobre OK.

El histograma para el ancho de banda de 1 dB se muestra en la Figura 83.

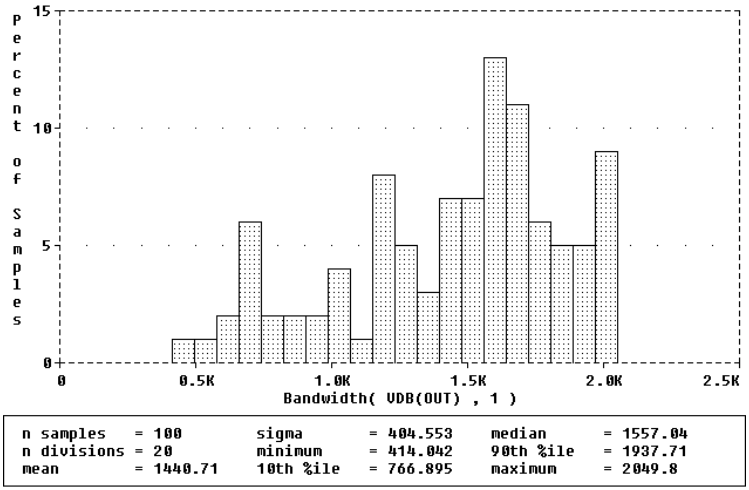


Figure 83 *Histograma del ancho de banda de 1dB.*

Las estadísticas del histograma se muestran en la parte inferior de la pantalla. Las estadísticas muestran el número de ejecuciones de MonteCarlo, el número de divisiones o barras verticales que forman el histograma, significado, sigma, mínimo y máximo. percentaje en 10%, medio y del 90%..

También puede mostrar la distribución de la frecuencia central del filtro.

Para ver la frecuencia central

1. En el menú Trace, seleccionar Goal Functions.
2. Seleccionar CenterFreq.
3. Clicar sobre Eval.
4. Introducir VDB(OUT) en la caja de texto Name of trace to search.
5. En la caja de texto db level down for measurement teclear un 1.
6. Clicar OK, después clicar Close para ver el histograma.

El nuevo histograma reemplaza al antiguo. Para ver ambos histogramas a la vez, seleccionar Add Plot to Window en el menú Plot seleccionando Add en el menú Traza. El histograma de la frecuencia central se muestra en la Figura 84.

Si fuera necesario, puede desactivar la presentación de datos estadísticos así:

1. En el menú Tools, seleccionar Options.
2. Borrar la caja de chequeo Display Statistics.
3. Clicar Save y después OK.

Un porcentaje de 10 del valor de la función objetivo es menor o igual a la décima parte del porcentaje del número, y el 90 % de los valores de la función objetivo es mayor o igual que ese número.

Si hubiese más de un valor de la función objetivo que satisfaciera ese criterio, entonces el porcentaje del 10% sería el punto medio del intervalo entre los valores de la función objetivo que satisfacen este criterio. Del mismo modo, un porcentaje del 90% representa valores de la función objetivo de tal forma que 50% y el 90% (respectivamente) de los valores de la función objetivo son menores o iguales que esos números

Sigma es la desviación estándar de los valores de la función objetivo.

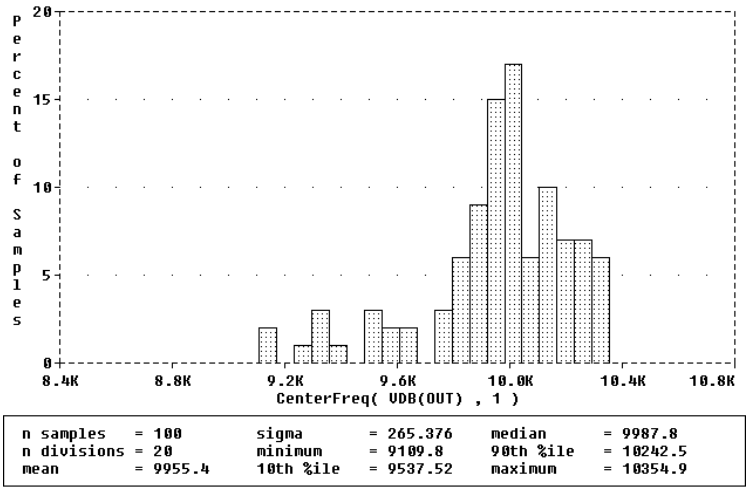


Figure 84 *Histograma de la frecuencia central.*

Pueden definirse modelos para casi todas las partes de circuitos análisis primitivos, como resistencias, condensadores, bobinas y semiconductores. PSpice A/D lee la sintasis de la tolerancia del parámetro del modelo estándar en el estamento .MODEL. Para cada parámetro del modelo, PSpice A/D los posibles valores nominales, mínimos y máximos, y los especificadores DEV y/o LOT; el tipo de distribución de probabilidades (como puede ser UNIFORM o GAUSS) se ignora.

En un rango dado, reduce la medida a un solo valor por medio de una de estas cinco funciones cotejadas:

MAX	Máximo valor de la variable de salida
MIN	Mínimo valor de la variable de salida
YMAX	Valor de la variable de salida en el punto en el que difiera más de la ejecución nominal.
RISE_EDGE (value)	Valor de la variable en la que este cruce un determinado valor marcado.
FALL_EDGE (value)	Valor de barrido en donde el valor de la variable de salida cruce por debajo de un determinado valor dado

También pueden utilizarse modelos de comportamiento analógico para medir características de ondas diferentes a las detectadas por las variables de las funciones colaterales, tales como el tiempo de subida o la pendiente. También puede utilizar modelos de comportamiento analógico a diferentes tensiones y corrientes en una variable de salida a la que puede aplicarse una función colateral. Véase el *Capítulo 6, Modelado del comportamiento analógico*, para más información.

Puede definir *Worst* como la función colateral posible mayor (HI) o menor (LO) relativa a la ejecución nominal.

Procedimiento

Para establecer el valor inicial de una función colateral, el análisis del peor de los casos comienza con una ejecución nominal utilizando todos los parámetros de los modelos con sus valores nominales.

Este procedimiento salva tiempo realizando el mínimo número de simulaciones necesarias para realizar una predicción de los valores de parámetros que producen los peores resultados. También posee ciertas limitaciones, que están descritas en las siguientes secciones.

A continuación, los múltiples análisis de sensitividad determinan el efecto individual de cada parámetro de modelo en la función colateral. Esto se realiza variando los parámetros de los modelos, uno cada vez, en subsiguientes simulaciones. La dirección (mejor o peor) en la que varíe la función colateral con un pequeño incremento en cada parámetro de modelo quedará grabada.

Finalmente, para la ejecución del peor de los casos, cada valor de parámetros se toma lo más lejos de su valor nominal que permite la tolerancia, en la dirección en la que la función colateral es peor (dada por la especificación HI o LO).

Salidas

Un resumen del análisis de sensitividad se imprimirá en el fichero de salida de PSpice A/D (.OUT). Este resumen muestra el cambio percentual en la función colateral correspondiente a un pequeño cambio en cada parámetro del modelo. Si se incluye

un estamento .PROBE en el circuito, los resultados de las ejecuciones nominal y del peor de los casos serán salvados para su posterior visualización en la ventana Probe.

Atención: Una condición importante para un correcto análisis del peor de los casos

El análisis del peor de los casos no es un proceso de optimización; no busca el conjunto de valores de parámetros que dan el peor resultado.

Asume que el peor caso se produce cuando cada parámetro está en uno de sus límites o se deja con su valor nominal como se indica por el análisis de sensitividad. **Muestra los resultados del peor de los casos cuando la función colateral es monotónica dentro de todas las combinaciones de tolerancias,**

Así, no hay garantía. Normalmente no podrá estar seguro de si esa condición es cierta, pero dentro del funcionamiento del circuito se le podrá alertar de posibles anomalías.

Ejemplo de un análisis del peor de los casos

El esquema mostrado en la Figura 85 es un circuito amplificador controlado por un BJT. Este circuito se utiliza para mostrar cómo trabaja un análisis del peor de los casos. También muestra cómo una dependencia no monotónica de la salida en un parámetro puede efectar negativamente al análisis del peor de los casos.

Como se ha realizado un análisis AC (pequeña señal), fijar la entrada a la unidad significa que la salida, Vm([OUT]), es la magnitud de la ganancia del amplificador. La única variable declarada en el circuito es la resistencia de *Rb2*. Como el valor de *Rb2* determina el punto del BJT, también afecta a la ganancia del amplificador.

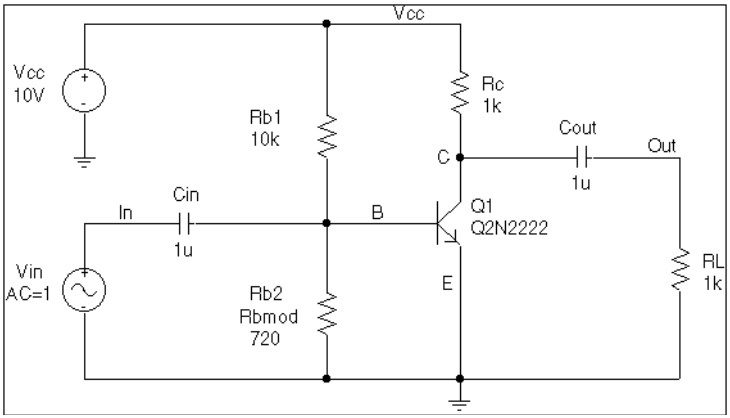


Figure 85 *Simple biased BJT amplifier.*

La Figura 86 es el circuito utilizado para ejecutar:

- un análisis paramétrico (.STEP, mostrado habilitado en el circuito) que fija el valor de la resistencia *Rb2* escalando el parámetro del modelo R a través de valores del rango de tolerancias especificadas DEV, o
- un análisis del peor de los casos (mostrado deshabilitado en el fichero del circuito) que permite a PSpice A/D determinar el valor en el peor de los casos para el parámetro R basándose en el análisis de sensitividad.

Únicamente puede ejecutarse uno de esos análisis en una simulación dada.

Note *Las especificaciones de los análisis Ac y del peor de los casos (estamentos .AC y .WC) son escritas de modo que el análisis del peor de los casos trata de minimizar Vm([OUT]) a 100 kHz.*

La lista de conexiones y el circuito de la Figura 86 están preparados para ejecutar un análisis paramétrico (.STEP) o del peor de los casos (.WC) en el análisis Ac especificado. Estas simulaciones muestran las condiciones bajo las que el análisis

```
* Worst-case analysis comparing monotonic and non-monotonic
* output with a variable parameter

.lib

***** Input signal and blocking capacitor *****
Vin   In    0     ac    1
Cin   In    B     1u

***** "Amplifier" *****
*   gain increases with small increase in Rb2, but
*   device saturates if Rb2 is maximized.
Vcc   Vcc   0     10
Rc    Vcc   C     1k
Q1    C     B     0     Q2N2222
Rb1   Vcc   B     10k
Rb2   B     0     Rbmod 720
.model Rbmod res(R=1 dev 5%)          ; WC analysis results
                                      ; are correct
* .model Rbmod res(R=1.1 dev 5%)      ; WC analysis misled
                                      ; by sensitivity

***** Load and blocking capacitor *****
Cout  C     Out   1u
Rl    Out   0     1k

* Run with either the .STEP or the .WC, but not both.
* This circuit file is currently set up to run the .STEP
* (.WC is commented out)

**** Parametric Sweep—providing plot of Vm([OUT]) vs. Rb2 ****
.STEP  Res  Rbmod(R)  0.8  1.2  10m

***** Worst-case analysis *****
* run once for each of the .model definitions stated above)
* WC  AC  Vm([Out])  min  range  99k  101k  list  output  all

.AC  Lin  3  90k  110k
.probe
.end
```

Figure 86 *Lista de conexiones del amplificador y fichero del circuito.*

en el peor de los casos funciona correctamente y aquellas que pueden dar lugar a fallos cuando la salida no es monotónica con el parámetro de la variable (véase la Figura 88 y la Figura 89)

Como demostración, el análisis paramétrico se ejecuta primero, generando la curva mostrada en la Figura 88 y la Figura 89. Esta curva, derivada utilizando la función goal YatX mostrada en la Figura 87 ilustra la dependencia no monotónica de la ganancia en *Rb2*.

```
YatX(1, X_value)=y1{1|sfxv(X_value)!1;}
```

Figure 87 *Función objetivo YatX.*

Para esto, colocar la definición de la función objetivo en un fichero PROBE.GF en el directorio del circuto. Después iniciar PSpice A/D, cargar todos los barridos AC, preparar el eje X para el análisis de prestaciones y añadir la siguiente traza:

```
YatX(Vm([OUT]),100k)
```

Note *La función objetivo YatX se utiliza en los resultados de la simulación para el barrido paramétrico (.STEP) definido en la Figura 86. Las curvas resultantes se muestran en la Figura 88 y la Figura 89.*

A continuación, se comentará el análisis parámetrico y se habilitará el análisis del peor de los casos. Se realizarán dos de ejecucuciones utilizando las dos versiones del estamento .MODEL de *Rbmod* mostrado en el fichero del circuito. El parámetro del modelo R, es un multiplicador que es necesario para escalar el valor nominal de cualquier resistencia referenciando el modelo *Rbmod* (en este caso *Rb2*).

El primer estamento .MODEL deja el valor nominal de *Rb2* a 720 ohmnios. El análisis de sensitividad incrementa R en una pequeña cantidad y comprueba sus efectos en Vm([OUT]). Este pequeño incremento de R provoca un incremento en la tensión del punto base de BJT, e incrementa la ganancia del amplificador, Vm([OUT]). El análisis del peor de los casos fija correctamente R a su mínimo valor para el valor más bajo posible de Vm([OUT]) (véase la Figura 88).

El segundo estamento .MODEL escala el valor nominal de *Rb2* por 1.1 a aproximadamente 800 ohms. La ganancia continúa incrementándose con un pequeño incremento de R, pero un incremento mayor de R aumenta la tensión base de modo que lleva a BJT a saturación y prácticamente elimina la ganancia. El análisis del peor de los casos queda engañado por el análisis de sensitividad ya que asume que *Rb2* deberá reducirse para degradar la ganancia, pero aumentar *Rb2* es mucho peor (véase la Figura 89). Fíjese que incluso un optimizador, que comprueba el gradiente local para determinar cómo deberán variarse los parámetros, queda engañado por este circuito.

Consideremos un escenario ligeramente diferente: Rb2 se fija a 720 ohmnios, de modo que aumentarla no es suficiente para saturar BJT, pero Rb1 también varía. El peor de los casos se produce cuando se maximiza Rb2 y se minimiza Rb1. Comprobar sus efectos individuales no es suficiente, incluso si el circuito se simulase cuatro veces con cada resistencia fijada cada vez a su valor extremo.

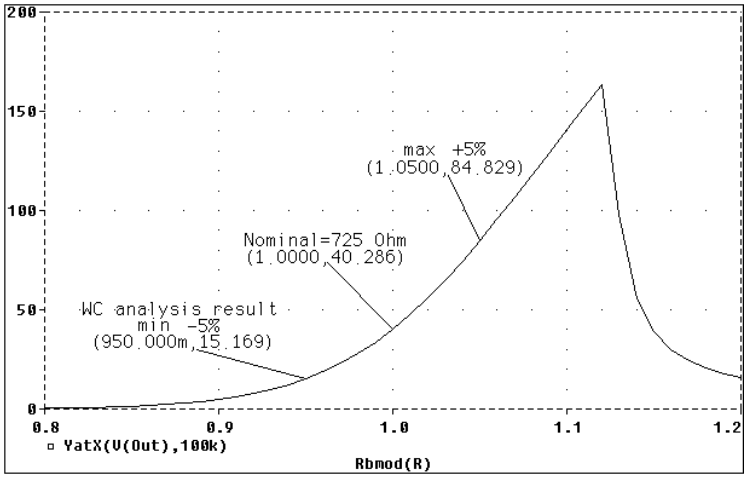


Figure 88 *Resultado correcto del peor de los casos.*

La salida es monotónica dentro del rango de tolerancias. El análisis de sensitividad apunta correstamente al valor nímimo.

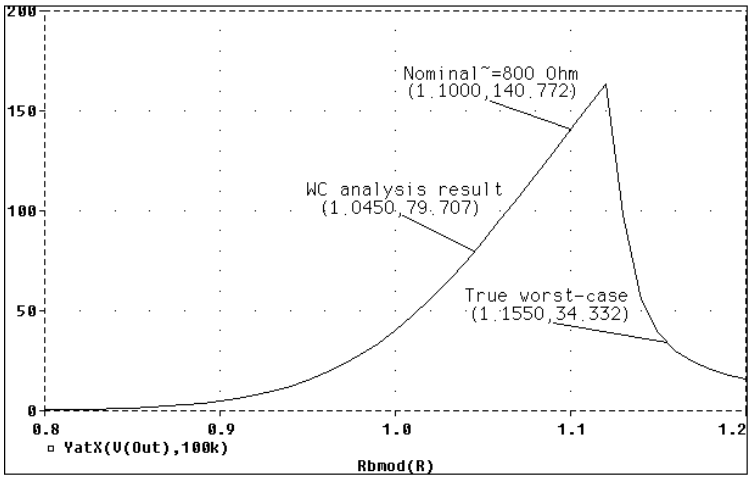


Figure 89 *Resultado incorrecto del peor de los casos.*

La salida no es monotónica dentro del rango de tolerancias, generando un resultado incorrecto del peor de los casos.

Ayudas y otra información útil

VARY BOTH, VARY DEV, y VARY LOT

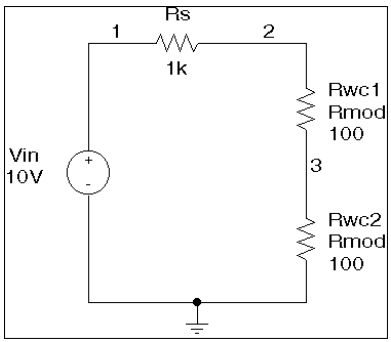


Figure 90 *Esquema utilizando VARY BOTH.*

Cuando se define VARY BOTH en el estamento .WC y se define un parámetro de modelo con las tolerancias DEV y LOT definidas, el análisis del peor de los casos puede dar resultados no esperados. La sensitividad de la función colateral se chequea únicamente respecto a las variaciones LOT de ese parámetro.

Por ejemplo, durante el análisis de sensitividad, el parámetro es variado únicamente afectando a todos los dispositivos a los que se refiere y sus efectos en la función colateral son guardados. Para el análisis del peor de los casos, el parámetro es cambiado para todos los dispositicos por LOT + DEV en la dirección determinada. Véase el ejemplo en la Figura 90 y en la Figura 91.

```
WCASE VARY  BOTH     Test
Vin           1      0      10V
Rs            1      2      1K
Rwc1          2      3      Rmod     100
Rwc2          3      0      Rmod     100
.MODEL  Rmod  RES(R=1  LOT 10%  DEV 5%)
.DC   Vin     LIST   10
.WC   DC      V(3)   MAX    VARY BOTH        LIST      OUTPUT
ALL
```

Figure 91 *Fichero del circuito utilizando VARY BOTH.*

El propósito de esta técnica es reducir el número de simulaciones. Para un análisis más preciso del peor de los casos, deberá realizar primero un análisis del peor de los casos con VARY LOT, ajustar manualmente los valores del parámetro del modelo de acuerdo con los resultados y después realizar otro análisis especificando VARY DEV.

En este caso, V(3) se maximiza si:

- *Rwc1* y *Rwc2* se incrementan ambos un 10% por la especificación de la tolerancia LOT, y
- *Rwc1* se reduce un 5% y *Rwc2* se incrementa 5% por la especificación de la tolerancia DEV.

Los valores finales para *Rwc1* y *Rwc2* deberán ser 105 y 115, respectivamente. De todas formas, como *Rwc1* y *Rwc2* varían entre sí durante el análisis de sensitividad, se asume que ambos deberán ser incrementados desde su valor máximo al máximo de V(3). Así, ambos quedan incrementados en un 15%.

Distribuciones gausianas

Los parámetros utilizando las distribuciones gausianas cambian por 3σ (3 veces sigma) en el análisis del peor de los casos.

Función colateral YMAX

El propósito de la función colateral YMAX a menudo no se comprende. Esta función no trata de aumentar la desviación de la variable de salida desde la nominal. Dependiendo de si se ha especificado HI o LO, trata de aumentar o disminuir el valor de la variable de salida hasta el punto en el que se produzca la máxima desviación durante el análisis de sensitividad.

Esto puede resultar maximizando o minimizando el valor de la variable de salida en todo el rango del barrido. La función colateral es muy útil cuando se sabe en que dirección se produce la máxima desviación.

RELTOL

Durante el análisis de sensitividad, cada parámetro es variado (multiplicado) por 1+RELTOL en donde RELTOL está definida en un estamento .OPTIONS, o vale por defecto 0.001.

Análisis de sensitividad

Los resultados del análisis de sensitividad quedan impresos en el fichero de salida (.OUT). Para cada parámetro que haya variado, se dará el porcentaje del cambio en la función colateral y el valor de la variable de barrido en el que se midió la función colateral. Los parámetros están listados en orden de la peor de las salidas; por ejemplo, la variación del primer parámetro impreso en la lista dió como resultado la peor función colateral.

Cuando se utilizó la función colateral YMAX, el fichero de salida también listó la desviación y los valores de sigma. Estos están basados en los cambios en la variable de salida desde el valor nominal en cada punto del barrido y todas las ejecuciones de sensitividad.

Optimización manual

Puede utilizar el análisis del peor de los casos para realizar una optimización manual con PSpice A/D. La condición monotónica se encuentra normalmente si los parámetros poseen un rango muy limitado.

Los barridos paramétricos (.STEP), como el realizado en el fichero del circuito mostrado en la Figura 86, puede ser utilizado para aumentar este procedimiento.

Realizar un análisis del peor de los casos con pequeñas tolerancias en los parámetros da lugar a unos resultados de sensitividad y del peor de los casos (en el fichero de salida). Puede utilizar esto para decidir cómo deberían ser variados los parámetros para obtener la respuesta deseada. Después puede realizar ajustes a los valores nominales en el fichero del circuito, y realizar de nuevo el análisis en el peor de los casos para un nuevo conjunto de gradientes.

Análisis de Monte Carlo

El análisis de Monte Carlo (.MC) puede ser muy útil cuando no puede utilizarse el análisis del peor de los casos. El análisis de Monte Carlo puede utilizarse siempre para verificar o mejorar los resultados del análisis del peor de los casos. El análisis de Monte Carlo selecciona aleatoriamente posibles valores de parámetros, que pueden ser seleccionados a través de unos puntos de selección aleatorios en *parameter space*. El análisis del peor de los casos asume que el resultado peor se produce en la superficie de este espacio, en el que los parámetros (para los que la salida es sensitiva) están en uno de sus valores extremos.

Si esto no es cierto, el análisis de Monte Carlo puede localizar un punto en el que los resultados son peores. para intentar esto, reemplace .WC en el circuito por .MC <*#runs*>, en donde <*#runs*> es el número de simulaciones que se quieren realizar. Más simulaciones dan resultados más precisos. El resumen de Monte Carlo en el fichero de salida lista las ejecuciones en orden decreciente del valor de la función colateral.

Para salvar espacio en disco, no especificar opciones OUTPUT.

A continuación, añada la siguiente opción al estamento .MC, y simular de nuevo.

```
OUTPUT LIST RUNS <worst_run#>
```

Esto realiza únicamente dos simulaciones, la nominal y la de Monte Carlo en el peor de los casos. Los valores de los parámetros utilizados durante la ejecución del peor de los casos son escritos en el fichero de salida, y se salvarán los resultados de ambas simulaciones.

Utilizar el análisis de Monte Carlo con YMAX es una buena forma de obtener un resultado conservador con la máxima desviación posible de la nominal, ya que el análisis del peor de los casos normalmente no da esa información.

Simulación digital

14

Presentación general

Este capítulo describe cómo preparar una simulación digital e incluye las siguientes secciones:

- *Qué es la simulación digital?* en la página 406
- *Pasos para simular circuitos digitales* en la página 406
- *Conceptos que son necesarios comprender* en la página 407
- *Definiendo un impulso digital* en la página 409
- *Definiendo el tiempo de simulación* en la página 422
- *Ajustando parámetros de simulación* en la página 423
- *Iniciando la simulación* en la página 425
- *Analizando los resultados* en la página 426

Qué es la simulación digital?

La simulación digital es el análisis del comportamiento lógico y de tiempos de dispositivos digitales a lo largo del tiempo. PSpice A/D simula este comportamiento durante el análisis de transitorios. Cuando calcula el punto de trabajo, PSpice A/D considera los dispositivos digitales además de cualquier dispositivo analógico que haya en el circuito.

Véase *Traceando violaciones de tiempos y riesgos* en la página 431 para más información sobre riesgos persistentes y para descripciones sobre los mensajes de aviso.

PSpice A/D realiza un detallado análisis de tiempos sujeto a las restricciones especificadas por los dispositivos. Por ejemplo, los biestables realizan comprobaciones de configuración de las señales entrantes de reloj y datos. PSpice A/D informa de cualquier violación de tiempos o riesgos con mensajes escritos en el fichero de salida de la simulación y en el fichero de datos de formas de onda.

Pasos para simular circuitos digitales

Hay seis pasos en el desarrollo y simulación de circuitos digitales:

Para más información sobre cómo realizar diseños, véase la *Guía de Usuario de OrCAD Capture*. Los pasos del 2 al 6 de este proceso están cubiertos en este capítulo.

1. Dibujar el diseño.
2. Definir el impulso.
3. Fijar el tiempo de la simulación.
4. Ajustar los parámetros de la simulación.
5. Iniciar la simulación.
6. Analizar los resultados.

Conceptos que son necesarios comprender

Estados

Cuando el circuito está funcionando, los nodos digitales toman una serie de valores o estados de salida mostrados en la Tabla 34. Cada estado digital posee al menos un componente de *fuerza*.

Las fuerzas están descritas en la siguiente sección.

Table 34 *Estados digitales*

Este estado...	Significa esto...
0	Bajo, falso no, off
1	Alto, verdad, si, on
R	Subida (cambia de 0 a 1 en algún momento durante el intervalo R)
F	Bajada (cambia de 1 a 0 en algún momento durante el intervalo F)
X	Desconocido: puede ser alto, bajo, intermedio o inestable
Z	Alta impedancia: Puede ser alto, bajo, intermedio o inestable.

Note *Los estados no se corresponden necesariamente con una tensión específica o estable. Un nivel lógico 1 indica únicamente que la tensión tiene un valor dentro del rango alto para esa determinada familia de dispositivos. Los niveles de caida y subida indican solo que la tensión pasa de 0 a 1 o viceversa en algún momento durante el intervalo R o F, no que la tensión siga un determinado ámbito.*

Fuerzas

Para más información sobre este tópico, véase *Definiendo fuerzas de salida* en la página 261 del *Capítulo 7, Modelado de dispositivos digitales.*

Cuando un nodo digital es controlado por más de un dispostivo, PSpice A/D determina el nivel correcto del nodo. Cada salida posee un valor de *fuerza*, y PSpice A/D compara las fuerzas de las salidas que controlan el nodo. El controlador más fuerte determina el nivel resultante del nodo. Si las salidas son de la misma fuerza, pero diferentes niveles controlan el nodo, el nivel de este será X.

PSpice A/D soporta 64 fuerzas. La fuerza menor se llama Z (la más débil). La mayor se llama *forcing*. La fuerza Z (llamada también alta impedancia) es la salida típica en puertas triestado desactivadas o dispositivos con la salida en colector abierto. PSpice A/D informa de cualquier nodo con fuerza Z (en cualquier nivel) con una Z, e informa del resto de los nodos por medio de las designaciones mostradas en *Estados digitales* en la página 407.

Si posee el paquete básico, puede definir señales de reloj utilizando DIGCLOCK. Para más información, véase *Utilizando la parte DIGCLOCK* en la página 418.

5 Introducir valores para las propiedades del reloj como se describen a continuación.

Para esta propiedad...	Introducir esto...
Frecuencia	Ciclo del reloj
Ciclo de trabajo	Porcentaje de nivel alto frente al nivel bajo en unidades enteras
Valor Inicial	Valor inicial: 0 o 1
Retardo de tiempo	Tiempo después que comience la simulación en el que el reloj se hace efectivo

6 En el menú File, seleccionar Save.

Example: Para crear un reloj de 20 MHz, con un ciclo de trabajo del 50%, un valor inicial de 1, y un tiempo de retardo de 5 nsec, fijar las propiedades de la señal así:

Frequency = 20Meg

Duty Cycle = 0.50 (or 50)

Initial Value = 1

Time Delay = 5ns

Para cambiar las propiedades del reloj

1 En el Editor de Impusos:

- Hacer doble clic sobre el nombre del reloj a la izquierda del eje, o
- Clicar sobre el nombre del reloj, y en el menú Edit, seleccionar properties.

2 Modificar las propiedades del reloj como sea necesario.

3 Clicar sobre OK.

Definiendo las transiciones de la señal

Cuando defina transiciones de una señal digital puede:

- Añadir una transición.
- Mover una transición.
- Editar una transición.
- Borrar una transición.

Note *Estas operaciones no pueden ser aplicadas a un impulso definido como un reloj.*

Cuando seleccione una transición a editar, se mostrará un manejador rojo.

Para añadir una transición

1. En el menú Edit del Editor de impulsos, seleccionar Add.
2. Seleccionar el impulso digital que quiera editar.
3. Arrastrar la nueva transición a su posición correcta en la onda.
4. Si desea añadir más transiciones, repetir los pasos 2 y 3.
5. Cuando termine, clicar el botón derecho del ratón para salir del modo de edición.

Para mover una transición

1. Clicar sobre la transición que quiera mover.
2. Si fuera necesario, utilizar V+click para seleccionar transiciones adicionales en la misma señal o en diferentes señales.
3. Reponer la transición (o transiciones) arrastrándola.

Note *Si pulsa V mientras arrastra, todas las transiciones seleccionadas se moverán la misma cantidad.*

Para editar una transición

1. Hacer una de las siguientes opciones:
   - Seleccionar la transición que quiera editar, y en el menú Edit, seleccionar Properties.
   - Hacer doble clic sobre la transición que desee editar.
2. En la caja de diálogo Stimulus properties, editar los tiempos y valores de la transición.
3. Clicar sobre OK.

Para borrar una transición

1 Clicar sobre la transición que desee borrar.

2 Si fuera necesario, pulsar V+clic para seleccionar más transiciones de la misma o diferentes señales.

3 En el menú Edit, seleccionar Delete.

Definiendo transiciones de buses

Hay tres pasos para crear un bus:

1 Crear el impulso del bus digital.

2 Introducir transiciones.

3 Definir opcionalmente la base para valores del bus.

Estos pasos se describen en detalle en los procedimiendos siguientes.

Para crear un impulso en un bus digital

1 En el menú Stimulus, seleccionar New.

2 En la zona Digital, seleccionar Bus.

3 Si fuera necesario, cambiar la anchura del bus de su valor por defecto de 8 bits. Para ello, en la caja de texto Width, teclear un número entero diferente.

4 Clicar sobre OK.

Durante cualquier intervalo, los bits en las líneas del bus representan un valor de 0 a (2^n - 1), en donde *n* es el número de líneas del bus. Para fijar los valores del bus, introducir transiciones utilizando cualquiera de los dos métodos descritos a continuación.

Para introducir transiciones (método uno)

1 En el menú Edit del Editor de impulsos, seleccionar Add.

2 En el campo digital value de la barra de herramientas (justo a la derecha del botón Add), teclear un valor de bus de cualquiera de las formas siguientes:

Para obtener este efecto...	Teclear esto...
Un valor literal	<*número_sin_signo*>[;*radix*]
Un incremento	+<*número_sin_signo*>[;*radix*]
Un decremento	-<*número_sin_signo*>[;*radix*]

Ejemplo: 12

Ejemplo: +12;H

Ejemplo: -12;0

Para ver más sobre valores base, véase la página 429.

Si no introduce una base, el Editor de Esquemas utilizará la base del bus por defecto.

3 Clicar sobre la onda a la que quiera añadir la transición.

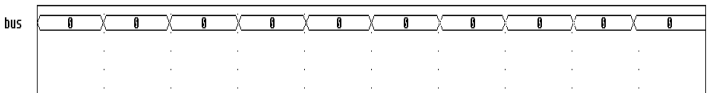
4 Repetir los pasos 2 y 3 las veces que sea necesario.

5 Cuando finalice, clicar el botón derecho para salir del modo de edición.

Para introducir transiciones (método dos)

1 En el menú Edit del Editor de Impulsos, seleccionar Add.

2 Colocar la ayuda del puntero en forma de lápiz sobre la onda, y clicar para crear transiciones así:



He aquí algunas cosas que puede hacer:

- Mover una transición a la izquierda o derecha clicándola y arrastrándola.
- Borrar una trancisión seleccionándola y después, en el menú Edit, seleccionando Delete (o pulsando D).
- Seleccionar más de una transición manteniendo pulsada la letra V mientras se clica sobre más de una.

3 Cuando termine de crear transiciones, clicar el botón derecho del ratón.

4 Clicar la transición al inicio (la parte más a la izquierda) del intervalo. Se mostrará un pequeño diamante sobre la transición.

5 En el menú Edit, seleccionar Properties.

6 En la zona Transition Type, seleccionar Set Value, Increment, o Decrement.

7 Para especificar el valor del bus:

- En la caja de texto Value, teclear un valor.
- Seleccionar uno de los valores por defecto de la lista: 0, All bits 1, X (desconocido), or Z (alta impedancia).

8 Clicar sobre OK.

9 Repetir los pasos del 4 al 8 para cada transición.

Para fijar la base del bus por defecto

1 En el menú Tools, seleccionar Options.

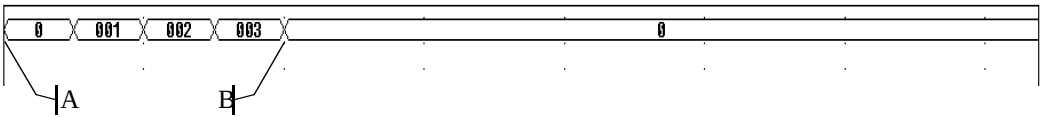
2 En la zona Bus Display Defaults, en la lista Radix, seleccionar la base que desee por defecto.

Seleccionar esta base...	Para ver los valores en esta notación...
Binaria	base 2
Octal	base 8
Decimal	base 10
Hexadecimal	base 16

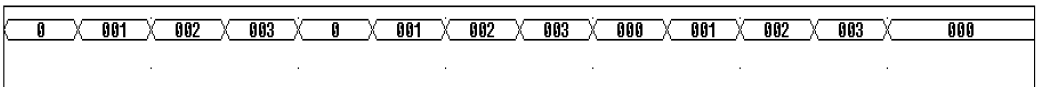
3 Clicar sobre OK.

Añadiendo bucles

Supongamos que tenemos un impulso parecido a este:



y que queremos crear un impulso que consista en tres ocurrencias consecutivas de la secuencia que comienza en A y termina en B.:



Puede hacerse esto utilizando un editor de textos estándar para editar un fichero de la librería de impulsos. Dentro de este fichero está una secuencia de transiciones que producen la onda original. Con un editor de textos puede modificarse la definición del impulso de modo que se repita a sí mismo.

Para añadir un bucle

Para ver más sobre la sintasis de los comandos de impulsos utilizados en el fichero de impulsos acuda al *Manual de Referencia en línea de OrCAD PSpice A/D*.

1. En el Editor de Impulsos, salve y cierre el fichero de impulsos.
2. En un editor de textos estándar (como puede ser Notepad), abra el fichero de impulsos.
3. Introducir el path para el fichero de impulsos y clicar sobre OK. (Por ejemplo: c:\<path>\mydesign.STL.)
4. Localizar el conjunto de líneas consecutivas que comprendan la secuencia que se quiera repetir.

   Cada línea comienza con el tiempo de la transición y termina con un valor o cambio de valor.

Dado el ejemplo mostrado en la página 416, si quiere repetir la secuencia mostrada desde el punto A al B tres veces, deberá modificar el fichero de impulsos como se muestra aquí (las líneas añadidas están en negrita):

```
+  Repeat for 3
+  +0s 000000000
+  250us INCR BY 000000001
+  500us 000000010
+  750us INCR BY 000000001
+  1ms 000000000
+  Endrepeat
```

5. Antes de estas líneas, inserte una línea que utilice esta sintaxis:

   + Repeat for *n_times*

   en donde *n_times* puede ser:

   - Un número representando el número de repeticiones.

- La palabra clave FOREVER, que significa que se repita esta secuencia por un número ilimitado de veces (como una señal de reloj).

6 Debajo de estas líneas, inserte una línea que utilice esta sintasis:

+ Endrepeat

7 En el menú File, seleccionar Save.

Utilizando la parte DIGCLOCK

Para más información sobre cómo definir un reloj utilizando el Editor de Impulsos con la parte DIGSTIMn, véase *Definiendo la transición del reloj.* en la página 410.

La parte DIGCLOCK le permite definir un reloj utilizando las propiedades de las partes.

Para definir un reloj utilizando DIGCLOCK

1. En el menú Place de Capture, seleccionar Part.
2. Colocar y conectar una parte DIGCLOCK.
3. Hacer doble clic sobre la copia de la parte.
4. Definir las propiedades como sigue:

Para esta propiedad...	Especificar...
DELAY	Tiempos antes de la primera transición del reloj
ONTIME	Tiempo en nivel alto para cada periodo
OFFTIME	Tiempo en nivel bajo para cada periodo
STARTVAL	Nivel bajo del reloj (por defecto es 0)
OPPVAL	Nivel alto del reloj (por defecto es 1)

Utilizando las partes STIM1, STIM4, STIM8 y STIM16

Las partes STIM*n* poseen un solo pin por conexión. STIM1 se utiliza para controlar una sola conexión. STIM4, STIM8 y STIM16 controlan buses de 4, 8 y 16 bits, respectivamente. Las propiedades para todas esas partes son las mismas que las mostradas en la Tabla 35 a continuación.

Table 35 *Propiedades de la parte STIMn.*

Propiedad	Descripción
WIDTH	Número de señales de salida (nodos).
FORMAT	Secuencia de dígitos definiendo el número de señales correspondientes a un dígito en cualquier término <*value*> que aparezca en la definición de la propiedad COMMAND*n*. Cada dígito deberá ser 1, 3, o 4 (binario, octal, hexadecimal, respectivamente); la suma de todos los dígitos en FORMAT deberá ser igual a WIDTH.
IO_MODEL	Modelo I/O describiendo las características de control del impulso.
IO_LEVEL	Selección del subcircuito de interface de uno de los cuatro subcircuitos analógico/digitales proporcionado con el modelo I/O de la parte.
DIG_PWR	Pin de alimentación digital utilizado por el subcircuito interface.
DIG_GND	Pin de masa digital utilizado por el subcircuito interface.
TIMESTEP	Número de segundos por ciclo o paso del reloj.
COMMAND1-COMMAND16	Estamentos de la especificación de la transición de impulsos, incluyendo parejas de tiempo/valor, etiquetas y construcciones condicionales.

Cuando se coloque, deberá conectar cada parte al hilo o bus de la base correspondiente. Generalmente sólo necesitará modificar las propiedades FORMAT, TIMESTEP, y COMMAND*n*.

Típicamente, cada propiedad COMMAND*n* contiene sólo una linea de comandos. Es posible introducir más de una línea de comandos por propiedad colocando \n+ entre las líneas de comandos de una definición dada. (La *n* deberá estar en minúsculas y no deberá haber espacios entre caracteres, los espacios deberán preceder o seguir toda la secuencia de teclas).

Acuda al *Manual de Referencia en línea de OrCAD PSpice A/D* para más información sobre la sintasis de la línea de comandos.

Acuda al *Manual de Referencia en línea de OrCAD PSpice A/D* para más información sobre la creación de impulsos digitales y ficheros.

Utilizando las partes FILESTIM*n*

Las partes FILESTIM*n* poseen un único pin para su conexión con el resto del circuito. FILESTIM1 se utiliza para controlar una sola conexión. FILESTIM2, FILESTIM4, FILESTIM8, FILESTIM16 y FILESTIM32 controlan buses de 2, 4, 8, 16 y 32 bits, respectivamente. Deberá definir una especificación de impulso digital en un fichero externo. Utilizando esta técnica, pueden crearse definiciones de impulsos desde una marca o extraerlos con una pequeña modificación desde otro fichero de salida de la simulación.

La Tabla 36 lista las propiedades de las partes FILESTIM*n*. Las propiedades PSPICEDEFAULTNET, IO_MODEL, IO_LEVEL, y describiendo las características I/O de la parte vienen con valores por defecto que raramente necesitan modificación. Sin embargo, deberá definir la propiedad FILENAME con el nombre de un fichero externo conteniendo la especificación del impulso digital.

La propiedad SIGNAME especifica el nombre de la señal dentro del fichero de impulsos que convierte la salida de la parte FILESTIM*n*. Si se deja sin definir, el nombre de la conexión conectada (generalmente un hilo etiquetado) determina qué señal se utiliza.

Table 36 *Propiedades de la parte FILESTIMn*

Propiedad	Descripción
FILENAME	Nombre del fichero conteniendo la especificación del impulso
SIGNAME	Nombre de la señal de salida

Table 36 *Propiedades de la parte FILESTIMn*

Propiedad	Descripción
IO_MODEL	Modelo I/O describiendo las características de control del impulso
IO_LEVEL	Selección del subcircuito de Interface de uno de los cuatro subcircuitos AtoD o DtoA proporcionados con el modelo I/O de la parte
PSPICEDEFAULTNET	Pines digitales ocultos de masa y alimentación utilizados por el subcircuito interface. Nombre de la conexión por defecto a usar.

Por ejemplo, puede utilizarse una parte FILESTIM*n* para resetear un contador, que podría aparecer como el mostrado en la Figura 92 abajo.

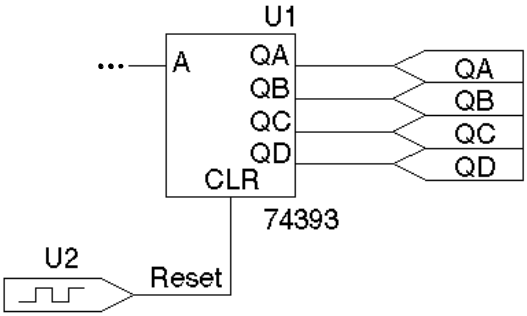


Figure 92 *FILESTIM1 utilizado en un esquema.*

En este caso, la copia de la parte FILESTIM1, U2, genera una señal de reset al pin CLR del contador 74393.

Para preparar el impulso U2

Los siguientes pasos fijan el impulso U2 de modo que el contador 74393 se borre después que hayan transcurrido 40 nsec en el análisis de transición.

1 Crear un impulso llamado RESET.STM que contenga las siguientes líneas:

Es necesaria una línea en blanco entre la lista de nombres de señales y la primera transición.

```
Reset

0ns  1
40ns 0
```

La cabecera contiene los nombres de todas las señales descritas en el fichero. En este caso sólo hay una; Reset.

El resto de las líneas son las salidas de las transiciones de estado para las señales nombradas en la cabecera. En este caso, la señal Reset permanece a 1 durante 40nsec, en cuyo momento caerá a 0.

2 Asociar este fichero con la copia del impulso digital, U2, fijando la propiedad FILENAME de U2 a RESET.STM.

3 Definir Reset en RESET.STM como la salida de U2 fijando SIGNAME de U2 a Reset. Como el hilo conectando a U2 con el contador 74393 también se llama Reset, es válido dejar SIGNAME sin definir.

4 En el menú PSpice, seleccionar Edit Simulation Settings.

5 Clicar sobre la pestaña Include Files y configurar RESET.STM como un fichero de inclusión. (Utilice el botón Browse si fuera necesario para localizar el fichero).

Definiendo el tiempo de simulación

Para prepara el análisis de transitorios

1 En PSpice de Capture, seleccionar New Simulation Profile.

2 Introducir un nombre para el nuevo perfil de simulación.

3 Clicar sobre OK.

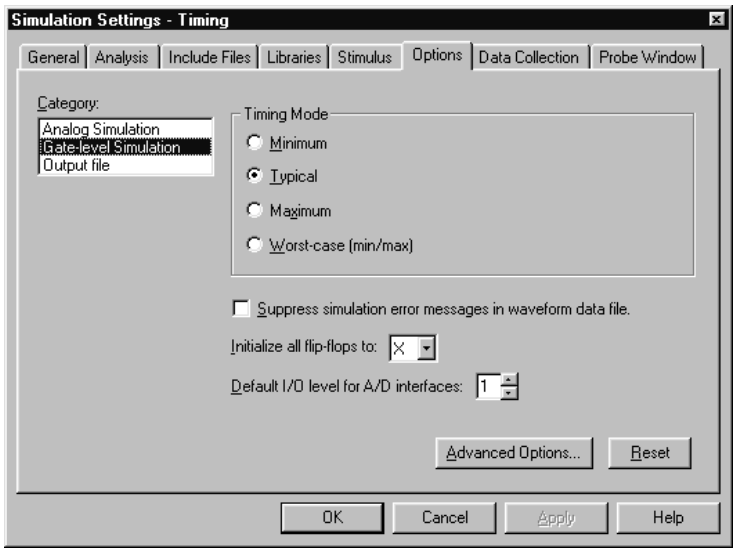
4 En la caja de lista Analysis Type en la pestaña Analysis, seleccionar Time Domain (Transient).

5 En la caja de texto Run to Time, teclear la duración del análisis de transitorios.

6 Clicar sobre OK.

Ajustando parámetros de simulación

Utilice la pestaña Options en la caja de diálogo Simulation Settings para ajustar el comportamiento de la simulación de los dispositivos digitales del circuito.



Para acceder a los valores digitales en la pestaña Options

1 En PSpice de Capture, seleccionar Edit Simulation Settings.

2 Clicar sobre la pestaña Options.

3 En la caja de lista Category, seleccionar simulación a nivel de puertas (*Gate-level simulation*).

Cada uno de los valores de la caja de diálogo se explicará en las siguientes secciones.

Para opciones adicionales, véase *Opciones de control de salida* en la página 436.

Inicializando biestables

Acuda al *Manual de Referencia en línea de OrCAD PSpice A/D* para más información sobre los biestables y los latches.

Para inicializar todos los biestables y latches

Seleccionar una de las tres opciones de inicialización de biestables en la pestaña Options:

- Si se fija a X, todos los biestables y latches producen una X (estado desconocido) hasta que explícitamente se fijen o se borren, o hasta que se coloque un estado conocido.
- Si se fija a 0, todos los dispositivos se borran.
- Si se fija a 1, todos los dispositivos se preseleccionan.

Note *La inicialización X es el valor más seguro, ya que muchos dispositivos no se encienden con un estado conocido. De todas formas los valores 1 y 0 son muy útiles en situaciones en las que el estado inicial del biestable no es importante para el funcionamiento del circuito, como puede ser un biestable de conmutación para un divisor de frecuencia.*

Iniciando la simulación

Para iniciar la simulación

En el menú PSpice, seleccionar Run.

Después que PSpice A/D complete la simulación, se iniciará automáticamente el analizador gráfico de ondas.

Analizando los resultados

En efecto, el visualizador de ondas en PSpice A/D es un osciloscopio por software. Ejecutando PSpice A/D corresponde a construir o modificar un prototipo, y el visualizador de ondas corresponde a mirar el prototipo con un osciloscopio.

Para más explicaciones sobre cómo utilizar el visualizador de ondas para analizar los resultados, véase el *Capítulo 17, Analizando formas de ondas.*

Para más información sobre cómo añadir trazas digitales, véase *Expresiones de trazas digitales* en la página 527.

PSpice A/D incluye un analizador de ondas gráfico para ver los resultados de la simulación. Puede observar y manipular interactivamente los datos de las ondas producidos por la simulación del circuito.

Para simulaciones mixtas analógicas/digitales, el analizador de ondas puede mostrar ondas analógicas y digitales simultáneamente con una base de tiempos común.

PSpice A/D genera dos formas de salida: el fichero de salida de la simulación y el fichero de datos de ondas. Los cálculos y resultados dados en el fichero de salida de la simulación son parecidos a un seguimiento vigilado de la simulación. De todas formas, el análisis gráfico de la información guardada en el fichero de datos es un método más informativo y flexible para evaluar los resultados de la simulación.

Para ver ondas

1 En el menú Trace, seleccionar Add Trace.

2 Seleccionar trazas para visualizarlas:

- En la lista Simulation Output Variables, clicar sobre cualquiera de las ondas que se quieran ver. Cada una aparece en la caja Trace Expressions abajo.

- Construir expresiones seleccionando operadores, funciones y/o macros en la lista Functions o Macros, y variables de salida en la lista Simulation Output Variables.
- También puede teclear la expresión de la traza directamente en la caja de texto Trace Expression. Un conjunto típico de entradas podría ser:

  IN1 IN2 Q1 Q2

Utilice espacios o comas para separar las variables de salida que se coloquen en la lista Trace Expressions.

3 Clicar sobre OK.

Se mostrarán las ondas de las variables de salida seleccionadas.

Añadiendo señales digitales a un dibujo

Cuando se definen expresiones de trazas digitales, puede incluir cualquier combinación de señales digitales, buses, constantes, macros y la variable de barrido Time.

Son aplicables las siguientes reglas:

- Una operación aritmética o lógica entre dos resultados de operandos de bus en un valor de un bus que sea suficientemente ancho para contener los resultados.
- Una operación aritmética o lógica entre un operando de un bus y los resultados de un operando de una señal en un valor de un bus.

La sintasis para expresar una variable de salida digital o una expresión es:

variable_de_salida_digital[;*nombre_de_presentación*]

o

expresión_digital[;*nombre_de_presentación*]

Este marcador de posición...	Significa esto...
digital_output_ variable	variable de salida de la lista Output Variable list (caja de chequeo Digital seleccionada)
digital_expression	expresión utilizando variables de salidas digitales o operadores
display_name (optional)	cadena de texto (nombre) para etiquetar la señal en el dibujo, en lugar de utilizar la notación de variable de salida por defecto.

Para añadir una expresión de una traza digital

1 En la caja de diálogo Add Traces, asegurarse de seleccionar la caja de chequeo Digital.

2 Hacer uno de lo siguiente:

- En la lista Simulation Output Variables, clicar sobre la señal que quiera visualizar.
- En la caja de texto Trace Expression, crear una expresión digital tecleando la expresión o seleccionando la opción digital output variables (variables de salida digital) en la lista Simulation Output Variables y digital operators (operadores digitales) en la lista Digital Operators and Functions.

Ejemplo: U2:Y;OUT1
En donde U2:Y es la variable de salida. En el dibujo, la señal queda etiquetada como OUT1.

3 Si desea etiquetar una señal con un nombre diferente al de la variable de salida:

a Clicar en la caja de texto Trace Expression después del último carácter del nombre de la señal.

b Teclear ;*display_name* en donde *display_name* es el nombre de la etiquetal.

Añadiendo buses a un dibujo de ondas

Puede evaluar y ver un grupo de hasta 32 señales como un bus *incluso si las señales seleccionadas no fueran un bus anteriormente*. Esto se realiza siguiendo el mismo procedimiento dado para añadir señales al dibujo. De todas formas, cuando se añada un bus, asegúrese de encerrar la lista de señales entre corchetes: { }.

{ Q3 Q2 Q1 Q2 }

La sintasis completa es la siguiente:

{*signal_list*}[;[*display_name*][;*radix*]]

o

{*bus_prefix*[*msb*:*lsb*]}[;[*display_name*][;*radix*]]

Este marcador de posición...	Significa esto...
signal_list	Lista separada por comas o espacios de hasta 32 nombres de nodos digitales, en secuencia del de mayor hasta el de menor orden
bus_prefix[msb:lsb]	forma alternativa de expresar hasta 32 señales en el bus
display_name (optional)	cadena de texto (nombre) para etiquetar el bus en el dibujo, en lugar de usar la notación de variable de salida por defecto.
radix (optional)	sistema de numeración en el que se mostrarán los valores del bus.

Para cambiar la base sin cambiar el nombre de la visualización, asegúrese de incluir dos puntos y coma consecutivos.

Ejemplo: {A3,A2,A1,A0};;radix

Valores válidos para la base se mostrarán en la siguiente tabla:

Para este sistema de numeración...	Utilice esta notación...
Binario (base 2)	B
Decimal (base 10)	D
Hexadecimal (base 16)	H o X
Octal (base 8)	O (letra)

Ejemplo:

{Q2,Q1,Q0};A;O define un bus de 3 bits cuyo bis más significativo es Q2. PSpice A/D etiqueta el dibujo A, y sus valores aparecen en notación Octal.

{a3,a2,a1,a0};;d define un bus de 4 bits. En el dibujo, los valores aparecen en notación decimal. Como no se ha especificado nombre de señal, PSpice A/D utiliza la lista de señales como una etiqueta.

{a[3:0]} es equivalente a {a3,a2,a1,a0}

Para añadir una expresión de bus

1. En la caja de diálogo Add Traces, en la lista Functions and Macros, seleccionar Digital Operators and Constants.
2. Clicar la entrada { }.
3. En la lista Simulation Output Variables, seleccionar las señales en la secuencia de orden mayor a menor.
4. Si desea etiquetar el bus con un nombre diferente del que viene por defecto:
   - **a** Clicar en la caja de texto Trace Expression después del último carácter en el nombre del bus.
   - **b** Teclear ;*display_name* en donde *display_name* es el nombre de la etiqueta.
5. Si desea fijar la base a un valor diferente del que viene por defecto:
   - **a** Clicar en la caja de texto Trace Expression después del último carácter en la expresión.
   - **b** Teclear uno de los puntos siguientes, en donde la base es un valor de la tabla de la página 429:
     - Si especificó un *display_name*, teclear ;*radix*.
     - Si no especificó un *display_name*, teclear ;;*radix* (dos puntos y coma seguidos del valor de la base).

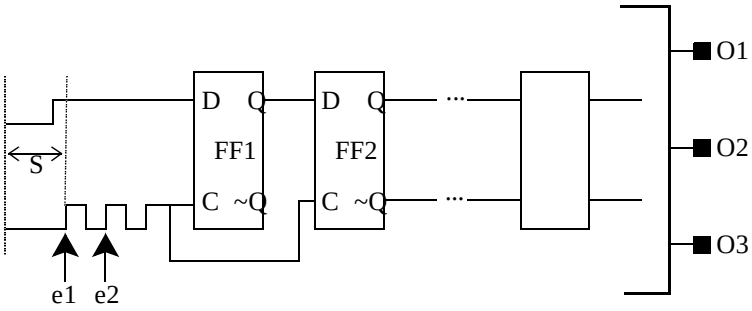


Figure 93 *Circuito con un error de tiempos*

Los problemas de tiempos son identificados muy fácilmente durante la simulación de un diseño en el modo del peor de los casos, normalmente cerca de los límites de tiempos críticos. En esas condiciones, PSpice A/D informa de condiciones tales como Convergencia de Ambiguedad (*Ambiguity Convergence*). De nuevo estas pueden o no ser un problema en la operación del diseño.

De todas formas, estos son casos identificables que producen la mayoría de los problemas. Un ejemplo de uno de los principales problemas se muestra en la Figura 94. Debido a la llegada (que contiene orígenes no relacionados) no hay nada en común en las entradas de la puerta G1, PSpice A/D informa de la ocurrencia como un problema de tipo AMBIGUITY CONVERGENCE. Esto significa que la salida de G1 puede tener problemas.

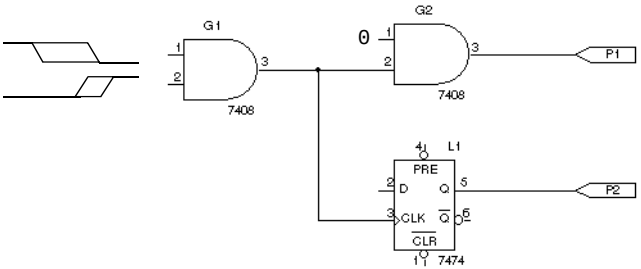


Figure 94 *Circuito con un problema de ambiguedad de tiempos*

Fíjese que la salida llega a dos dispositivos, G2 y L1. Los efectos de un fallo en G1 en este caso no llegan a la salida del circuito

P1, ya que el camino no es sensible (ya que la otra entrada a G2 está a nivel bajo, y esto bloquea el síntoma). De todos modos, como la salida G1 se utiliza también como reloj del latch L1, los efectos de un fallo pueden dar como resultado un comportamiento incorrecto en la salida de P2. esto es un ejemplo de un problema persistente.

Un problema persistente es una violación o un problema de tiempos que posee un efecto potencial sobre la salida principal del circuito (externa) o sobre el estado interno (estado guardado o elementos de memoria) del diseño. Para que el diseño pueda ser considerado válido, deberán corregirse estos problemas de tiempos.

PSpice A/D distingue completamente entre un estado incierto y un tiempo incierto. Cuando se produce un problema, PSpice A/D propaga la información del origen del problema junto en el estado de la máquina a través de todos los dispositivos digitales. Cuando un problema se propaga a un estado de almacenamiento de una primitiva de un dispositivo (JKFF, DFF, SRFF, DLTCH, RAM), PSpice A/D lo reporta como un PERSISTENT HAZARD.

Mensajes de condición de la simulación

PSpice A/D produce mensajes de aviso en varias situaciones, tales como aquellas que se originan a partir de la interrelación de tiempos de monitorización de dispositivos digitales CONSTRAINT de los nodos digitales. Estos mensajes están redirigidos al fichero de salida de la simulación o al fichero de datos de ondas. Hay opciones disponibles para controlar donde y cómo se han generado estos mensajes, como se resume más adelante en esta misma sección.

La Tabla 37 abajo resume los tipos de mensajes, junto con una breve descripción de su significado. Actualmente, los mensajes soportados son específicos de violaciones y problemas de tiempos de dispositivos digitales.

Table 37 *Mensajes de condición de la simulación, violaciones de tiempos*

Tipo de mensaje	Nivel de seguridad	Significado
SETUP	AVISO	Tiempo mínimo requerido para que una señal de datos quede estable antes que llegue la validación de un reloj.
HOLD	AVISO	Tiempo mínimo necesario para que una señal de datos quede estable después que no se llegue a la validación de un reloj.
RELEASE	AVISO	Tiempo mínimo requerido para que una señal que haya pasado a inactiva (normalmente un control como puede ser CLEAR) permanezca inactiva antes que el flanco de validación del reloj no llegue.
WIDTH	AVISO	La especificación de anchura de pulso mínimo para una señal no se cumplió; esto es, un pulso que fue demasiado estrecho para que fuera observado en el nodo.
FREQUENCY	AVISO	La especificación de frecuencia mínima o máxima para una señal no se cumplió. Las violaciones de frecuencia mínima indican que el período de la señal medida es demasiado largo, mientras que las violaciones de frecuencia máxima describen señales que cambian demasiado rápido.
GENERAL	INFORMA	Expresión booleana descrita dentro del chequeador de restricciones GENERAL que fue evaluada o generó un resultado *verdad*.

Table 38 *Mensajes de condición de simulación — problemas*

Tipo de mensaje	Nivel de severidad	Significado
AMBIGUITY CONVERGENCE	AVISO	Ha habido una convergencia o un conflicto de estados de subida o bajada (ambiguedades de tiempos) que llegan a las entradas de una primitiva y producen un pulso (fallo) en la salida. Véase el *Capítulo 16, Análisis digital de tiempos en el peor de los casos* para más información.
CUMULATIVE AMBIGUITY	AVISO	Las ambiguedades de señales son aditivas, incrementadas por la propagación a través de cada nivel lógico en el circuito. Las ambiguedades asociadas con ambos flancos de un pulso se incrementan en el punto en el que se superponen, en el que PSpice A/D informa como un problema de ambiguedad acumulativa. Véase el *Capítulo 16, Análisis digital de tiempos en el peor de los casos* para más información.
SUPPRESSED GLITCH	AVISO	El pulso aplicado a la entrada de una primitiva, que era menor que el retardo de propagación activo, fue ignorado por PSpice A/D; la importancia depende de la naturaleza del circuito. Esto puede ser un problema con el impulso, o en la configuración de retardos del circuito. Véase el *Capítulo 16, Análisis digital de tiempos en el peor de los casos* para más información.
NET-STATE CONFLICT	AVISO	Dos o más salidas trataron de llevar una conexión a estados diferentes, que PSpice A/D reporta como un estado X (desconocido). Esto resulta normalmente de la selección impropia de una entrada de habilitación de control de un bus.
ZERO-DELAY-OSCILLATION	FATAL	La salida de la primitiva cambió más de 50 veces dentro de un circlo de tiempos digital. PSpice A/D abortó la ejecución.
DIGITAL INPUT VOLTAGE	SERIO	La tensión de un pin digital estaba fuera de rango, lo que significa que PSpice A/D utilizó el estado con un rango de tensión muy cercana a la tensión de entrada y continuó la simulación.
PERSISTENT HAZARD	SERIO	Los efectos de cualquiera de los problemas de lógica antes mencionados fueron capaces de propagarse a un puerto externo o a cualquier dispositivo de almacenamiento en el circuito. Véase *Riesgos persistentes* en la página 431 para más información.

Opciones de control de salida

Hay 4 opciones de control para manejar la generación de mensajes de condición de simulación. Se describen en la Tabla 39.

Para acceder a estos comandos, seleccionar Options en la caja de diálogo Simulation Settings. Puede configurar NOOUTMSG y NOPRBMSG seleccionando la categoría de Fichero de Salida. Puede configurar DIGERRDEFAULT y DIGERRLIMIT seleccionando la categoría de Simulación a Nivel de Puertas y clicando sobre Advanced Options.

Table 39 *Opciones de control de salida de mensajes de la simulación*

Esta opción...	Significa esto...
NOOUTMSG	Suprime la grabación de mensajes de condición en el fichero de salida de la simulación.
NOPRBMSG	Suprime la grabación de mensajes de condición en el fichero de datos de ondas.
DIGERRDEFAULT=<*n*>	Establece un límite por defecto, *n*, a número de mensajes de condición que pueden ser generados por cualquier dispositivo digital que posea una primitiva de restricciones de chequeo son un valor local por defecto. So los valores locales o globales por defecto no están especificados, no hay límite.
DIGERRLIMIT=<*n*>	Establece un límite superior, *n*, para el número total de mensajes de condición que pueden ser generados por cualquier dispositivo digital. Si se sobrepasa este límite, PSpice A/D aborta la ejecución. Por defecto el número total de mensajes es de 20.

Niveles de severidad

PSpice A/D asigna uno de estos cuatro niveles de severidad a los mensajes:

- FATAL
- SERIOUS
- WARNING
- INFO (informacional)

La condición FATAL hace que PSpice A/D cancele la simulación. En otros problemas importantes, PSpice A/D continúa con la simulación, Los niveles de severidad se utilizan para filtrar la clase de mensajes que serán mostrados cuando se cargue un fichero de datos.

Simulación mixta analógica/digital

15

Presentación general del capítulo

Este capítulo describe cómo PSpice A/D ejecuta simulaciones mixtas analogicas/digitales e incluye las siguientes secciones:

- *Interconectando partes analógicas y digitales* en la página 440
- *Selección del subcircuito de interface por PSpice A/D* en la página 441
- *Especificando fuentes de tensión digitales* en la página 445
- *Interface de generación y nombres de nodos* en la página 450

Interconectando partes analógicas y digitales

Antes de la simulación, la generación de la lista de conexiones traslada las copias de las partes y conexiones definidas en el esquema a partes conectadas por nodos. La lista de conexiones contiene una vista plana del circuito, (no una jerarquía). PSpice A/D extrae las definiciones de todas las partes modeladas como subcircuitos. visualizando las partes como una colección de partes primitivas y conexiones de nodos.

Las primitivas digitales que generan una parte digital, determinan la forma en la que PSpice A/D procesa un interface analógico/digital de esa parte. Específicamente, el modelo I/O para cada primitiva digital conectada al interface da a PSpice A/D la información necesaria.

PSpice A/D reconoce tres tipos de nodos: analógicos, digitales y de interface. El tipo de nodo está determinado por los tipos de las partes conectadas a él. Si todas las partes conectadas a un nodo son analógicas, será un nodo analógico. Si son todas digitales, será un nodo digital, y si son una combinación de partes analógicas y digitales, será un nodo de interface.

PSpice A/D separa automáticamente los nodos de interface en uno o más nodos digitales insertando uno o más subcircuitos de interface analógico/digital.

PSpice A/D también conecta automáticamente una fuente de alimentación al subcircuito de interface para completar la generación del interface.

Para ver los resultados de la simulación como un interface analógico/digital en el esquema utilizando el analizador de ondas gráfico:

- Colocar un marcador en la conexión del interface apropiada. Los nodos adicionales creados por PSpice A/D permanecerán transparentes.
- Ver los resultados en PSpice A/D seleccionando trazas de la lista de variables de salida (en el menú Trace, seleccionar Add Trace). Si utiliza esta aproximación, fíjese en los nombres que PSpice A/D genera para los nuevos nodos.

Para más información, véase *Interface de generación y nombres de nodos* en la página 450.

Selección del subcircuito de interface por PSpice A/D

Los subcircuitos de interface analógico-digital (AtoD) y digital-analógico (DtoA) manejan la translación entre las impedancias/tensiones analógicas y estados digitales y viceversa. El componente principal de un subcircuito interface es tanto una parte N de PSpice A/D (entrada digital: digital-analógico) o una parte O de PSpice A/D (salida digital: analógica-digital).

Es la letra O, no el número cero.

Las partes O y N de PSpice A/D están cuidadosamente empaquetadas en los subcircuitos de interface en las librerías de modelos. La librería de modelos estándar suministrada con el software de instalación de OrCAD incluye subcircuitos de interface para cada una de las familias soportadas: TTL, series CD4000, CMOS y CMOS de alta velocidad (HC/HCT), ECL 10K, y ECL 100K. Esto le libera de tener que definirlas por si mismo utilizando la librería estándar.

Si está creando partes personalizadas en otras tecnologías diferentes de las proporcionadas en la librería de modelos estándar, necesitará crear sus propios subcircuitos de interface.

Cada primitiva digital que comprende la descripción del subcircuito de una parte digital posee un modelo I/O describiendo sus características de carga y control. El nombre del subcircuito de interface actualmente insertado por PSpice A/D queda especificado por el modelo I/O de la primitiva digitan en el interface. El modelo I/O posee parámetros para hasta cuatro nombres de subcircuitos analógico-digitales (AtoD) y cuatro digital-analógicos.

Puede seleccionar hasta cuatro niveles de interface de modelos de subcircuitos, dependiendo de la precisión en la simulación que necesite. En algunos casos puede necesitar más precisión en la simulación de los estados de entrada/salida de una parte digital, mientras que en otros casos, es suficiente un modelo más simple y menor.

Las partes digitales de la librería estándar utilizan únicamente interfaces de nivel 1 y 2. Con la excepción de las series HC/HCT (descritas abajo), los niveles 3 y 4 referencian los mismos subcircuitos que los niveles 1 y 2. La Tabla 40 resume los cuatro niveles de interface.

La diferencia entre los niveles 1 y 2 está únicamente en los interfaces AtoD, descrito abajo. En todos los casos el interface de nivel 1 DtoA es el mismo que el interface de nivel 2 DtoA.

Table 40 *Modelos del subcircuito de interface*

Nivel	Subcircuitos	Definición
1	AtoD1/DtoA1	AtoD genera niveles R, F, y X intermedios
2	AtoD2/DtoA2	AtoD no genera niveles R, F, y X intermedios
3	AtoD3/DtoA3	(lo mismo que el nivel 1)
4	AtoD4/DtoA4	(lo mismo que el nivel 2)

El modelo elaborado es mucho más lento que el modelo simple, de modo que deberá utilizarlo únicamente si está utilizando una fuente de alimentación que no sea 5.0 voltios.

Las librerías de OrCAD proporcionan dos diferentes modelos DtoA en las series HC/HCT: el modelo *simple* y el modelo *elaborado*. Puede utilizar el modelo simple especificando el nivel 1 o 2, y el modelo elaborado especificando el nivel 3 o 4.

Los modelos 1 y 2 DtoA de HC/HCT dan curvas I-V precisas con una tensión de alimentación de 5 Voltios y una temperatura de 25ªC. los modelos DtoA de los niveles 3 y 4 producen curvas I-V con un rango aceptable de tensiones de alimentación (2-6 voltios) e incluyen degradación por temperatura.

Interface de Nivel 1

El interface AtoD de nivel 1 genera niveles lógicos intermedios (R, F, X) entre los rangos de tensión VILMAX y VIHMIN (las tensiones específicas dependen de la tecnología que se esté utilizando). Una tensión de salida uniforme en la entrada de AtoD pasará de 0 a R en VILMAX. De R a 1 es la salida para las tensiones de caida uniformes de una forma parecida. El nivel X se produce si la tensión de entrada comienza en la zona umbral o vuelve a una zona ya pasada.

El nivel 1 (el dado por defecto) mapea estrictamente niveles lógicos de mapas dentro de la tensión de entrada que cambia. La tensión de conmutación exacta se asume que es alguna entre VILMAX y VIHMIN debido a las variaciones de temperatura o de la fuente de alimentación. Así, da más precisión, y, por lo tanto resultados menos optimistas.

Este comportamiento puede no ser el apropiado coando los flancos de subida y bajada son largos, o cuando la tensión de entrada nunca pasa de la zona umbral. Si este fuera el caso, puede utilizar el interface de nivel 2.

Interace de nivel 2

Las de interace AtoD de nivel 2 realizan una trancisión directamente de 0 a 1 y de 1 a 0 pasando a través de los niveles intermedios R, F, o X. Se asume una tensión de conmutación exacta (de nuevo la tensión depende de la tecnología que se esté utilizando). Da una respuesta más optimista, y por lo tanto de menor precisión que el nivel 1. El comportamiento del nivel 2 es apropiado cuando la tensión de entrada oscila alrededor de la tensión umbral.

Puede evitar simulaciones que se empantanen con el mayor detalle de los estados R, F, y X alrededor de esas oscilaciones. Puede querer especificar el nivel 2 únicamente en aquellas partes en las que su comportamiento es crítico para la simulación. Esto se describe en *Configurando el interface A/D por defecto*.

Configurando el interface A/D por defecto

Para simulación de señales mixtas, puede seleccionar la anchura del circuito del nivel de interface AtoD y DtoA en copias de partes individuales.

- Para seleccionar la anchura del circuito del nivel de interface por defecto, seleccionar uno de los cuatro interfaces A/D por defecto en la caja de diálogo Digital Setup. Las copias de partes cuya propiedad IO_LEVEL sean 0, utilizarán este valor.
- Puede ignorar el valor por defecto de la anchura del circuito en una parte individual especificando una propiedad IO_LEVEL de 1 a 4, en donde:

  1: AtoD1 and DtoA1 (selección por defecto)

  2: AtoD2 and DtoA2

  3: AtoD3 and DtoA3

  4: AtoD4 and DtoA4

Por ejemplo, puede indicar al simulador que utilice los subcircuitos de interface de nivel 2 para una parte 7400 fijando la propiedad IO_LEVEL a 2. El resto de copias de la parte continuarán utilizando el valor de la anchura del circuito. Por defecto, IO_LEVEL es 0, lo que indica al simulador que utilice el nivel de anchura del circuito definido en la parte digital (análisis de barrido DC) de la caja de diálogo Simulation Settings.

Especificando fuentes de tensión digitales

Las fuentes de tensión digital se utilizan para alimentar los subcircuitos de interface que son creados automáticamente por PSpice A/D cuando se simulan interfaces analógico/digitales. Estos se especifican así:

- PSpice A/D puede iniciarlas automáticamente.
- Puede crear sus propias fuentes de alimentación y colocarlas en el diseño.

Cuando se utilizan partes de las librerías estándares en el diseño, puede hacer que PSpice A/D genere de forma automática la fuente de alimentación digital que se necesite.

Si utiliza partes digitales creadas con otras tecnologías diferentes a las suministradas en la librería de modelos estándar, puede tener que crear sus propias fuentes de alimentación digital.

Como las fuentes de tensión digital son utilizadas únicamente por los subcircuitos de interface, analógico-digitales, estas no son necesarias en diseños puramente digitales. OrCAD recomienda que se evite colocar una fuente de tensión digital en un diseño ya que esto puede aumentar el tiempo de simulación y la memoria utilizada.

Selección de la fuente de alimentación digital por PSpice A/D

Cuando PSpice A/D encuentra un interface analógico/digital, crea el subcircuito de interface apropiado y la fuente de alimentación de acuerdo con el modelo I/O referenciado por la librería. El modelo I/O es específico de la familia lógica de la parte digital. La fuente de alimentación proporciona la referencia o el control de tensión para el lado analógico del interface.

Por defecto, PSpice A/D inserta un subcircuito de fuente de alimentación para cada familia lógica en la que una parte digital se mezcla con un interface analógico/digital. Estos subcircuitos de fuentes de alimentación crean los nodos de masa y alimentación digitales que son los valores por defecto para todas

las partes de esa familia. Si hay mezcladas múltiples primitivas digitales de la misma familia lógica con interfaces analógico /digitales, se creará una copia de la fuente de alimentación con todas las primitivas conectadas a los nodos de alimentación.

La Tabla 41 resume los nombres y valores de los nodos por defecto. Por ejemplo, la alimentación para un TTl posee un valor por defecto de 5 V en los interfaces analógico/digitales.

Table 41 *Conexiones de pines de masa/alimentación digitales por defecto*

Familia lógica	Propiedades de pines de masa y alimentación digitales	Nodos de alimentación /masa digitales por defecto
TTL	PSPICEDEFAULTNET (PWR) PSPICEDEFAULTNET (GND)	$G_DPWR (5.0 volts) $G_DGND (0 volts)
CD4000	PSPICEDEFAULTNET (VDD) PSPICEDEFAULTNET (VSS)	$G_CD4000_VDD (5 volts) $G_CD4000_VSS (0 volts)
ECL 10K	PSPICEDEFAULTNET (VEE) PSPICEDEFAULTNET (VCC1) PSPICEDEFAULTNET (VCC2)	$G_ECL_10K_VEE (-5.2 volts) $G_ECL_10K_VCC1 (0 volts) $G_ECL_10K_VCC2 (0 volts)
ECL 100K	PSPICEDEFAULTNET (VEE) PSPICEDEFAULTNET (VCC1) PSPICEDEFAULTNET (VCC2)	$G_ECL_100K_VEE (-4.5 volts) $G_ECL_100K_VCC1 (0 volts) $G_ECL_100K_VCC2 (0 volts)

Los modelos I/O por defecto y los subcircuitos de fuentes de alimentación se localizan en DIG_IO.LIB. Las cuatro fuentes de alimentación por defecto suministradas en la librería de modelos son DIGIFPWR (TTL), CD4000_PWR (series CMOS CD4000), ECL_10K_PWR (ECL 10K), y ECL_100K_PWR (ECL 100K).

Las propiedades del pin PSPICEDEFAULTNET poseen los mismos valores por defecto que los nodos de alimentación y masa digitales creados por la fuente de alimentación por defecto. Esas asignaciones de nodos están pasadas de la copia de la parte a las primitivas digitales describiendo su comportamiento, conectando cualquier primitiva digital afectada por una conexión analógica a la fuente de alimentación correcta.

Creando fuentes de alimentación digitales personalizadas

Cuando se crean fuentes de alimentación personalizadas, puede referirse a las definiciones de fuentes de alimentación en DIG_IO.LIB en busca de ejemplos de definiciones de subcircuitos de fuentes de alimentación.

Cada modelo de parte digital posee nodos de fuentes y masas digitales que pueden utilizarse para especificar fuentes de alimentación personalizadas. para ello, utilice una de las fuentes de alimentación listadas en la Tabla 42 en el diseño y redefina los nodos de las fuentes de alimentación digitales.

Table 42 *Partes de fuentes de alimentación en SPECIAL.OLB*

Tipo de parte (Modelo X de PSpice A/D)	Nombre de la parte
Fuente de alimentación CD4000	CD4000_PWR
Fuente de alimentación TTL	DIGIFPWR
Fuente de alimentación ECL 10K	ECL_10K_PWR
Fuente de alimentación ECL 100K	ECL_100K_PWR

Las propiedades relevantes para crear las fuentes de alimentación personalizadas se muestran en la Tabla 43.

Table 43 *Propiedades de fuentes de alimentación digitales*

Nombre de la parte	Propiedad	Descripción
CD4000_PWR	VOLTAGE	Tensión de la fuente de alimentación CMOS para la serie CD4000
	PSPICEDEFAULTNET	Pines de alimentación ocultos CMOS de la serie CD4000 para VDD y VSS
DIGIFPWR	VOLTAGE	Tensión de alimentación TTL
	PSPICEDEFAULTNET	Pines ocultos de masa (GND) y alimentación (PWR) de TTL
ECL_10K_PWR ECL_100K_PWR	VEE VCC1 VCC2	Tensiones de la fuente de alimentación ECL
	PSPICEDEFAULTNET	Pines de alimentación ocultos ECL para VEE, VCC1 y VCC2

Note *Este procedimiendo se aplica a todas las familias lógicas.*

Para crear una fuente de alimentación digital personalizada

1. Colocar la parte de fuente de alimentación apropiada listada en la Tabla 42 en el diseño (por familia lógica).
2. Renombrar los pines de alimentación y masa de la fuente (propiedades PSPICEDEFAULTNET).
3. Inicializar las tensiones de alimentación y masa como sea necesario.
4. Para cualquier parte digital que utilice la fuente de alimentación, fijar las propiedades del pin PSPICEDEFAULTNET a los pines de masa y alimentación apropiados creados por la fuente de alimentación secundaria.

Ignorando la tensión de la fuente de alimentación CD4000 en un diseño

Los diseños que utilizan partes CD4000 a menudo necesitan de fuentes de alimentación diferentes de la dada por defecto de 5 V suministrada con la parte de fuente de alimentación estándar CD4000_PWR. Si fuera necesario, puede ignorar la tensión de la fuente de alimentación para todas las partes CD4000 en un diseño.

Los nodos de la fuente de alimentación por defecto utilizados por las partes CD4000 se llaman $G_CD4000_VDD y $G_CD4000_VSS tal y como fueron creados por el subcircuito de fuente de alimentación CD4000_PWR. Este está por defecto a 5.0 voltios. Puede ignorar la tensión a lo largo de estos dos nodos definiendo valores para los parámetros nombrados como CD4000_VDD y CD4000_VSS que están referenciados por la definición del subcircuito CD4000_PWR.

Para cambiar la fuente de alimentación CD4000_PWR a 12 voltios, referenciada a tierra:

1. Colocar una copia de la pseudo parte PARAM desde SPECIAL.OLB.
2. Crear una nueva propiedad PARAM como sigue:

   CD4000_VDD = 12.0V

DC4000_VSS se deja con su valor por defecto de 0 voltios.

Si necesita resetearse la tensión de referencia, puede utilizarse el mismo método para definir el parámetro CD4000_VSS fijando esta propiedad de la misma copia de PARAM. Por ejemplo, si desea que la alimentación oscile entre -5 voltios y +5 voltios (una diferencia de 10 voltios), fijar CD4000_VSS a -5V y CD4000_VDD a +10V; como resultado, CD4000_VDD está a 10 voltios por encima de CD4000_VSS, o +5 voltios.

Creando una fuente de alimentación CD4000, TTL, o ECL secundaria

Los diseños con partes TTL y ECL raramente requieren fuentes de alimentación secundarias. Si fuera necesario, de todas formas, puede utilizar este procedimiento para añadir una fuente de alimentación secundaria para las partes TTl y ECL.

Los diseños que utilizan partes CD4000, TTL, o ECL pueden necesitar tensiones de alimentación adicionales además de los 5.0 voltios por defecto suministrados por la parte de fuente de alimentación CD4000_PWR.

Para crear una segunda fuente de alimentación para cualquiera de las tecnologías CD4000, TTL, o ECL, deberá colocar la parte de alimentación apropiada y crear nodos definidos por el usuario con un nuevo valor de tensión.

Para crear y utilizar fuentes de alimentación CD4000 secundarias con los nodos MY_VDD y MY_VSS y una tensión de 3.5 volts:

1 Colocar la fuente de alimentación CD4000_PWR y modificar las propiedades del pin apropiado como sigue:

```
VOLTAGE = 3.5V
PSPICEDEFAULTNET = MY_VDD
PSPICEDEFAULTNET = MY_VSS
```

2 Seleccionar una parte CD4000 en el esquema en el que se aplicará la nueva fuente de alimentación, después cambiar las propiedades de los pines apropiados como sigue:

```
PSPICEDEFAULTNET = MY_VDD
PSPICEDEFAULTNET = MY_VSS
```

Interface de generación y nombres de nodos

La mayoría de los procesos de generación del interface que contiene PSpice A/D determinan si se conectarán primitivas digitales o analógicas, y si se insertará un subcircuito de interface para cada conexión digital. Esto convierte un nodo de interface en un nodo puramente analógico, que ahora puede conectar el terminal analógico al subcircuito de interface. Para completar la conexión origial, PSpice A/D crea un nuevo nodo digital entre el terminal digital del subcircuito de interface y la primitiva digital.

Estos nombres de nodos se utilizando en las variables de salida en la lista de trazas visualizables cuando seleccione Add Trace en el menú Trace.

Como PSpice A/D deberá crear nuevos nodos digitales, les deberá dar también nombres únicos. La generación de nombres sigue estas reglas:

- El nodo analógico mantiene el nombre del nodo del interface original; tanto el nombre del hilo etiquetado en el diseño, o el nombre de nodo generado automáticamente para un hilo sin etiquetar.
- Cada nuevo nombre de nodo digital consiste en el nombre del hilo etiquetado o el nombre del nodo generado de forma automática en los hilos sin etiquetar, añadiéndoles $AtoD o $DtoA. Si el nodo está unido a más de una parte digital, al segundo nodo digital se le añadirá la extensión $AtoD2 o $DtoA2, y así sucesivamente.

La Figura 95 abajo muestra un fragmento de un circuito mixto analógico/digital antes y después que se le hayan añadido los subcircuitos de interface. Los hilos etiquetados 1 y 2 en la representación del esquema son las conexiones de interface que unen las partes analógicas y digitales. Estas transladan los nodos de interface, que son procesados por PSpice A/D para crear el fragmento del circuito en la representación de PSpice A/D.

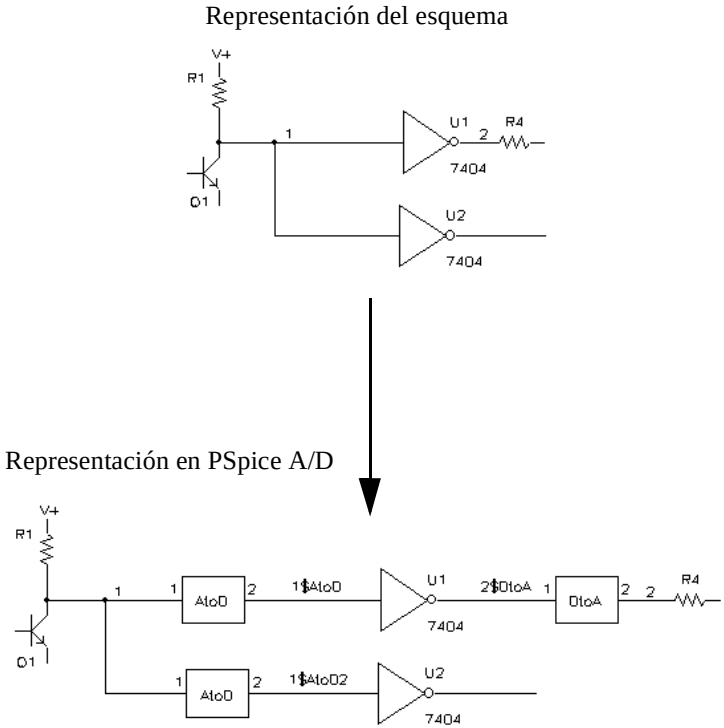


Figure 95 *Esquema analógico/digital antes y después de la generación de interface.*

Después de la generación del interface, el nodo 1 es un nodo puramente analógico, conectando la resistencia, el transistor y las entradas analógicas a ambos subcircuitos AtoD. El nodo 2 también es un nodo puramente analógico, conectando la resistencia y la salida analógica al interface DtoA. Puede ver que PSpice A/D insertó dos nuevos nodos digitales, 1$AtoD y 1$AtoD2, que conecta las salidas de los interfaces AtoD a las entradas de los inversores. También creó un nodo digital, 2$DtoA, para conectar la salida de U1 a la entrada digital del interface DtoA.

Los subcircuitos de interface que PSpice A/D genera automáticamente están listados en el fichero de salida de la simulación bajo la sección llamada Generated AtoD and DtoA Interfaces. Para el ejemplo de la Figura 95, esta sección aparecería en el fichero de salida de la simulación como se muestra en la Figura 96.

```
**** Generated AtoD and DtoA Interfaces ****
*
* Analog/Digital interface for node 1
*
* Moving X1.U1:.A from analog node 1 to new digital node * 1$AtoD
X$1_AtoD1 1 1$AtoD $G_DPWR $G_DGND AtoD_STD
+     PARAMS: CAPACITANCE=   0
* Moving X2.U1:.A from analog node 1 to new digital node * 1$AtoD2
X$1_AtoD2 1 1$AtoD $G_DPWR $G_DGND AtoD_STD
+     PARAMS: CAPACITANCE=   0
*
* Analog/Digital interface for node 2
*
** Moving X1.U1.Y from analog node 2 to new digital node * 2$DtoA
X$2_DtoA1 2$DtoA 2 $G_DPWR $G_DGND DtoA_STD
+     PARAMS: DRVL=0 DRVH=0 CAPACITANCE=0
*
* Analog/Digital interface power supply subcircuit
*
X$DIGIFPWR 0 DIGIFPWR

.END ;(end of AtoD and DtoA interfaces)
```

Figure 96 *Salida de la simulación para circuitos mixtos analógico/digitales.*

Las líneas que comienzan con “Moving…from analog node” indican los nuevos nombres de nodos digitales que fueron generados. Debajo de cada uno de ellos están las llamadas a los subcircuitos de interface insertados por PSpice A/D.

En este ejemplo, los subcircuitos llamados AtoD_STD y DtoA_STD se obtienen a partir del modelo I/O que está referenciado por la primitiva del inversor dentro del subcircuito describiendo la parte 7404. Los valores del parámetro de subcircuito CAPACITANCE, DRVL (resistencia de control de bajo nivel), y DRVH (resistencia de control de alto nivel) provienen del mismo modelo I/O.

Después de la llamada al subcircuito de interface, PSpice A/D inserta uno o más subcircuitos de fuente de alimentación. El nombre del subcircuito está especificado en el modelo I/O para la primitiva digital en el interface. En este ejemplo, PSpice A/D insertó DIGIFPWR, que es el subcircuito de fuente de alimentación utilizado por todos los modelos TTL de la librería de modelos.

DIGIFPWR crea los nodos globales $G_DPWR y $G_DGND, que son los nodos por defecto utilizados para cada parte TTL.

Análisis digital de tiempos en el peor de los casos

16

Presentación general

Este capítulo le guía en el análisis de tiempos en el peor de los casos e incluye las siguientes secciones:

- *Tiempos digitales en el peor de los casos* en la página 454
- *Análisis de tiempos en el peor de los casos* en la página 455
- *Representación del simulador para la ambiguedad de tiempos* en la página 455
- *Propagación de la ambiguedad de tiempos* en la página 457
- *Identificación de los problemas de tiempos* en la página 458
- *Peligros de convergencia* en la página 458
- *Peligros críticos* en la página 459
- *Problemas de ambiguedad acumulativos* en la página 460
- *Peligros de reconvergencia* en la página 462
- *Supresión de fallos por retardos inerciales* en la página 464
- *Metodología* en la página 465

Comparación del análisis analógico en el peor de los casos

La simulación digital de tiempos en el peor de los casos es diferente del análisis en el peor de los casos en varias cosas. El análisis en el peor de los casos está implementado como un análisis de sensitividad para cada parámetro que tenga tolerancias, seguido de una simulación proyectada en el peor de los casos con cada parámetro fijado a su valor máximo o mínimo. Este tipo de análisis es general ya que puede ser estudiada cualquier tipo de tolerancia. Pero esto es tiempo perdido, ya que es necesaria una simulación diferente para cada parámetro. Esto no siempre produce un análisis real del peor de los casos, ya que el algoritmo asume que la sensitividad es monotónica sobre el rango de tolerancias.

Las técnicas utilizadas para la simulación de tiempos en el peor de los casos no son compatibles en el análisis analógico del peor de los casos. Así, no es posible realizar una análisis combinado analógico/digital del peor de los casos y obtener los resultados correctos. PSpice A/D permite la simulación digital en el peor de los casos y en todos los circuitos digitales; cualquier sección analógica será simulada con sus valores nominales.

Aquellos sistemas conteniendo secciones analógicas y digitales no darán un resultado preciso del peor de los casos; pueden ser optimistas o pesimistas. Esto es porque la simulación analógica no puede modelar una señal que cambie de tensión en un punto desconocido dentro de algún intervalo de tiempo.

Análisis de tiempos en el peor de los casos

Para preparar el análisis de tiempos en el peor de los casos:

1. En la caja de diálogo Simulation Settings, clicar sobre la pestaña Options.
2. En Category, seleccionar Gate-level Simulation.
3. En la zona Timing Mode, habilitar Worst-case (min/max)
4. En la lista desplegable Initialize all flip-flops, seleccionar X.
5. Fijar Default I/O level for A/D interfaces a 1.
6. Clicar sobre OK.
7. Iniciar la simulación como se explicó en *Iniciando una simulación* en la página 296.

Véase *Preparando el análisis* en la página 288 para una descripción de la caja de diálogo Simulation Settings.

Representación del simulador para la ambiguedad de tiempos

PSpice A/D utiliza cinco representaciones de estados {0, 1, R, F, X}, en donde R y F representan las transiciones de subida y bajada. Cualquier transición R o F pueden estar en zonas de ambiguedad. Como los estados inicial y final son conocidos (ejemplo: R es una transición 0 → 1), el tiempo exacto de la transición no se conoce, excepto para decir que sucede algo dentro de la *zona de ambiguedad*.

La zona de ambiguedad es el intervalo de tiempo entre el tiempo más temprano y el último en el que se producirá una transición.

Las ambiguedades de tiempos que se propagan a través de dispositivos digitales por medio de caminos están influenciadas por las transiciones específicas que conllevan. Este es el comportamiento lógico normal. Los valores de retardos (MIN, TYP, o MAX) desvían la propagación de esas señales un valor

igual al retardo de propagación asociado con cada copia de la primitiva.

Cuando está seleccionada la operación de tiempos en el peor de los casos (MIN/MAX), se utiliza tanto el valor de retardo MIN como MAX para calcular la duración del resultado de la ambiguedad de tiempos que representa un cambio en la salida de la primitiva.

Por ejemplo, consideremos el modelo de un dispositivo BUF en la siguiente figura.

```
U5 BUF $G_DPWR $G_DGND IN1 OUT1 ; BUFFER model
+ T_BUF IO_STD

.MODEL T_BUF UGATE (          ; BUF timing model
+ TPLHMN=15ns TPLHTY=25ns TPLHMX=40ns
+ TPHLMN=12ns TPHLTY=20ns TPHLMX=35ns)
```

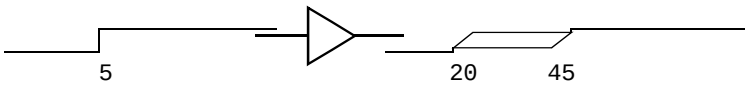


Figure 97 *Ejemplo uno de ambiguedad de tiempos.*

La aplicación de una transición instantánea 0-1 en 5nsec en este ejemplo, produce un resultado en la salida. Dadas las especificaciones de retardo en el modelo de tiempos, el flanco de salida se produce en un MIN de 15nsec más tarde y en un MAX de 40nsec más tarde. La región de ambiguedad de la respuesta de salida va desde 20 a 45nsec (desde los valores TPLHMN y TPLHMX). Se aplican cálculos similares a la transición 1-0 en la entrada, utilizando los valores TPHLMN y TPHLMX.

Propagación de la ambiguedad de tiempos

Conforme se propaga una señal por el circuito, la ambiguedad es aumentada por cada primitiva que posea un valor de retardo MIN/MAX diferente de cero. Consideremos el ejemplo siguiente que utiliza los valores de retardo el anterior modelo BUF.

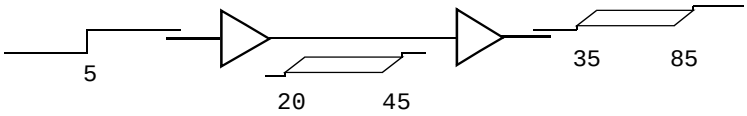


Figure 98 *Ejemplo dos de ambiguedad de tiempos.*

Esta acumulación en la ambiguedad puede tener efectos adversos en la correcta operación del circuito. En el ejemplo siguiente, consideremos la ambiguedad de la entrada de datos a un biestable.

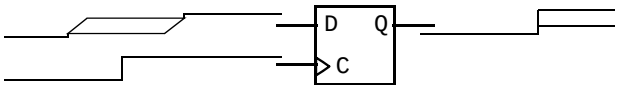


Figure 99 *Ejemplo tres de ambiguedad de tiempos.*

El simulador deberá predecir una salida X, ya que esta no es conocida con seguridad cuando la entrada de datos realiza la transición 0-1. Si la ambiguedad acumulativa presente en la señal de datos hubiera sido menor, el estado 1 habría sido lacheado correctamente.

La Figura 100 ilustra el caso de un cambio de dato ambiguo (fijado antes de que cambiara el reloj) siendo lacheado por una señal de reloj con alguna ambiguedad. La salida 1 cambiará, pero el tiempo de su transición es una función tanto de la ambiguedad del reloj como de la contritribución de los retardos MIN/MAX del biestable.

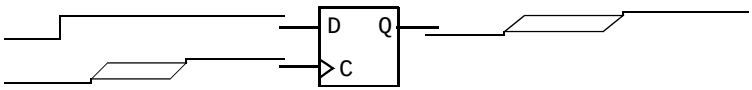


Figure 100 *Ejemplo cuatro de ambiguedad de tiempos*

Identificación de los problemas de tiempos

Timing hazard es el término aplicado a situaciones tales en las que la respuesta de un dispositivo no puede ser predecida correctamente debido a una indeterminación en los tiempos de las señales aplicadas a sus entradas.

Por ejemplo, la Figura 101 muestra las siguientes transiciones de señal (0-1, 1-0) aplicadas a la puerta AND.

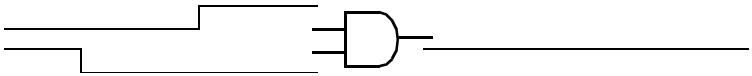


Figure 101 *Ejemplo de un problema de tiempos.*

El estado de la salida no cambia (y no cambiará), ya que no se cualifican los estados de entrada a la vez, y se conocen los tiempos de llegada de las transiciones.

Peligros de convergencia

En casos en los que haya ambiguedades asociadas con las transiciones de señal 0-R-1 y 1-F-0, que tengan un cierto solapamiento, no se está seguro de cual de las transiciones se produce primero.

La salida puede generar cualquier pulso (0-1-0) en algún momento, ya que los estados de entrada pueden habilitar la puerta. Por otra parte, la salida puede permanecer estable en el estado 0. A esto se le llama *peligro de convergencia* ya que la razón del problema es la convergencia de las ambiguedades en conflicto de las dos primitivas de entrada.

Las primitivas de puertas (incluyendo las primitivas LOGICEXP) que se presentan con niveles opuestos R y F simultáneos pueden producir un pulso de la forma 0-R-0 o 1-F-1.

Por ejemplo, una puerta AND de dos entradas como la mostrada en la Figura 102, genera la salida mostrada.

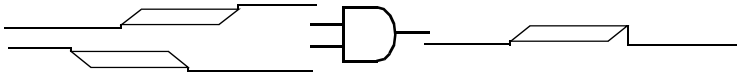


Figure 102 *Ejemplo de un problema de convergencia.*

Esta salida (0-R-0) deberá ser interpretada como *un posible pulso único, no mayor que la duración del nivel R*. La salida actual del dispositivo puede cambiar o no, dependiendo de los tiempos de transición de las entradas.

Fíjese que otros tipos de primitivas, como pueden ser biestables, pueden producir una X en vez de R-0 o F-1 en respuesta a un problema de convergencia.

Peligros críticos

Es importante ver que el fallo predecido puede propagarse por el circuito provocando una operación incorrecta. Si el fallo de un problema de tiempos se lachea en un estado interno (como puede ser un biestable o una memoria ram), o si hace que se lachee un estado incorrecto, se le llama un *problema crítico* ya que definitivamente provoca una operación incorrecta.

Por otra parte, el problema puede no ser tal, la Figura 103, muestra el mismo caso que arriba, pero llevando la entrada de datos a un latch.

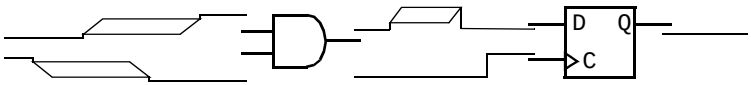


Figure 103 *Ejemplo de un problema crítico.*

Como el fallo se produce antes que el flanco de la entrada del reloj, no produce un problema.

Problemas de ambiguedad acumulativos

Véase *Supresión de fallos por retardos inerciales* en la página 464.

En el modo del peor de los casos, una simple propagación de señal a lo largo de la red puede dar como resultado una generalización de ambiguedades a través de los caminos entre los puntos de sincronización. La ambiguedad acumulativa puede verse en la Figura 104.

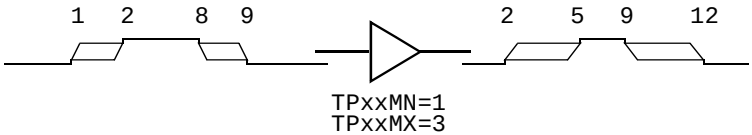


Figure 104 *Ejemplo uno de un problema de ambiguedad acumulativa.*

Las transiciones de subida y bajada aplicadas a la entrada del buffer tienen una ambiguedad de 1nsec. Las especificaciones de retardo del buffer indican que hay un tiempo adicional de ambiguedad de 2nsec añadido a cada flanco conforme se propaga a través del dispositivo. Fíjese que la duración del estado 1 estable ha disminuido debido a la acumulación de ambiguedades.

La Figura 105 muestra el efecto de la ambiguedad acumulativa adicional.

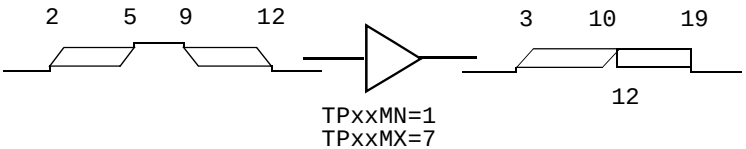


Figure 105 *Ejemplo dos de un problema de ambiguedad acumulativa.*

Se predice una X debido a que la ambiguedad en la propagación del flanco de subida a través del dispositivo se ha incrementado hasta el punto en que coincide con la ambiguedad posterior del flanco de bajada. Más concretamente, el flanco de subida se produce entre 3nsec y 12nsec; pero el flanco de bajada aplicada a la entrada predice que la salida comienza a caer a los 10nsec. A esta situación se la llama *un problema de ambiguedad acumulativa*.

Otra causa de un problema de ambiguedad acumulativa son los circuitos con realimentación asíncrona. La simulación de esos circuitos en el peor de los casos dan un resultado mucho más pesimista debido a la acumulación de ambiguedades. Un ejemplo de este efecto se muestra en la Figura 106.

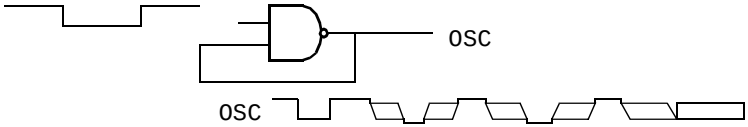


Figure 106 *Ejemplo tres de un peligro de ambiguedad acumulativa.*

Debido a la acumulación de ambiguedades en el bucle, la señal de salida será una X, ya que se juntan las ambiguedades de los flancos de subida y bajada. De todas formas, en la implementación hardware de este circuito, se producirá un desplazamiento de fase continuo con respecto al tiempo absoluto (asumiendo desviaciones normales de los retardos de subida y bajada a partir de los valores nominales).

Si la señal se utilizó como reloj en otro circuito, puede convertirse en la referencia y los efectos en el desplazamiento de fase pueden ser ignorados. Puede hacer esto fijando el parámetro NAND del modelo de puertas, MNTYMXDLY=2 para que utilice valores de retardo típicos únicamente para esa puerta) el resto de dispostivos continuan trabajando en el modo del peor de los casos).

Peligros de reconvergencia

PSpice A/D reconoce situaciones en las que hay señales que tienen una reconvergencia con un origen común en las entradas de un dispositivo. En la Figura 107, la interrelación de tiempos entre los dos caminos (U2, U3) es importante.

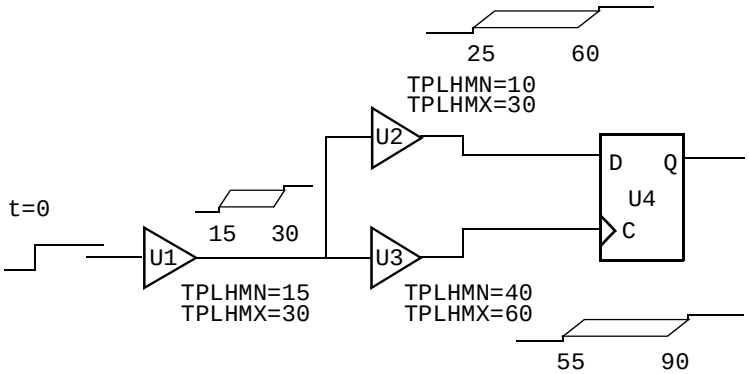


Figure 107 *Ejemplo uno de problema de reconvergencia.*

Dados los retardos de valores mostrados, es imposible que el reloj cambie antes de la entrada de datos, ya que el retardo MAX del camino U2 es menor que el retardo MIN del camino U3. en otras palabras, jamás se producirá el solapamiento de las dos zonas de ambiguedad.

PSpice A/D reconoce este tipo de situación y no produce el resultado pesimista de lachear un estado X en la salida Q de U4. Este saca el factor común de 15 nsec de la ambiguedad común atribuida a U1 desde las señales U2 y U3 (véase la Figura 108).

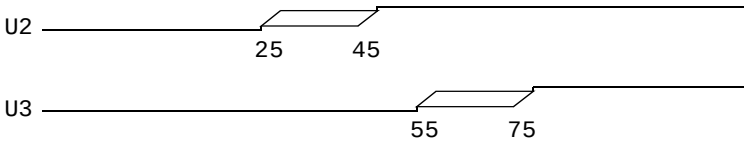


Figure 108 *Ejemplo dos de problema de reconvergencia.*

El resultado de la Figura 108 no representa lo que está propagándose actualmente en U2 y U3, pero es un cálculo para determinar que U2 deberá estar estable en el primer moemnto que cambie U3. Esto es por lo que no se debería de lachear un nivel X.

En el caso que discontinuar la ambiguedad común no incluya el lacheo de X (en el caso de puertas simples, predecir un fallos), a esta situación se la llama un *problema de reconvergencia*. Esto es lo mismo que un problema de convergencia con las ambiguedades de las señales en conflicto teniendo un origen común.

Para utilizar de forma eficaz la simulación digital en el peor de los casos, localice las áreas del circuito más críticas y utilice chequeadores de restricciones en donde fuera apropiado. Estos dispositivos identifican violaciones de tiempos tomando en cuenta las ambiguedades de la señal actual (resultantes de las características de retardo MIN/MAX de los elementos). La áreas más comunes son:

Véase el *Manual de Referencia en línea PSpice A/D de OrCAD* para más información sobre primitivas digitales.

- Interrelacción de señales datos/reloj.
- Anchuras del pulso del reloj.
- Tiempo de funcionamiento del bus.

Las ambiguedades de señal que convergan (o reconvergan) en conexiones o buses unidos con múltiples controladores también pueden producir situaciones peligrosas de una forma parecida al comportamiento de las puertas lógicas. En esos casos, PSpice A/D reune cualquier ambiguedad común antes de informar de la existencia de una condición de peligro.

El uso de chequeadores de restricciones para validar el comportamiento de una señal y la interación en aquellas áreas del diseño en las que identifique problemas de tiempos antes del proceso de diseño. En caso contrario, un fallo relacionado con el tiempo se identifica únicamente cuando el circuito no produzca los resultados esperados.

Véase *Metodología* en la página 465 para más información sobre la metodología de la simulación digital en el peor de los casos.

Supresión de fallos por retardos inerciales

La propagación de señales a través de dispositivos digitales es realizada por el simulador sujeta a restricciones tales como la función de la primitiva, los valores de parámetros de retardo, y la frecuencia aplicada al impulso. Estas restricciones son aplicadas tanto en el contexto de un impulso con un comportamiento normal, como en un impulso que represente problemas de tiempos.

Los problemas de tiempos no necesariamente dan como resultado una X, o una salida de un fallo de la primitiva, esto es debido a las características de retardo de la primitiva, que PSpice A/D modela utilizando el concepto de retardo inercial.

Un dispositivo presentado con una combinación de transiciones de entrada de subida y bajada (asumiendo que no hayan otras entradas dominantes) produce un fallo debido a lo incierto de los tiempos de llegada de las transiciones (véase la Figura 109).

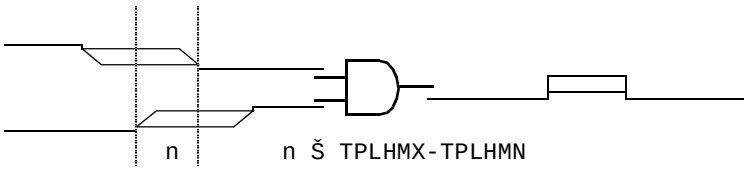


Figure 109 *Ejemplo uno de supresión de fallos.*

De todas formas, cuando la duración de los impulsos de entrada en conflicto es menor que el retardo inercial del dispositivo, el resultado X será eliminado automáticamente por el simulador ya que sería demasiado pesimista (véase la Figura 110).

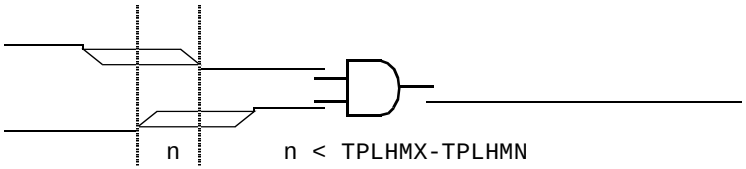


Figure 110 *Ejemplo dos de supresión de fallos.*

En los análisis de los casos de abanicos de reconvergencia (en los que se reconoce una ambiguedad común) es posible que las ambiguedades de las señales en conflicto sigan solapándose con

las entradas de la primitiva, incluso después de eliminar la parte común. En esos casos, en donde la cantidad del solapamiento es menor que el retardo inercial del dispositivo, la predicción de un fallo será suprimida por el simulador (véase la Figura 111).

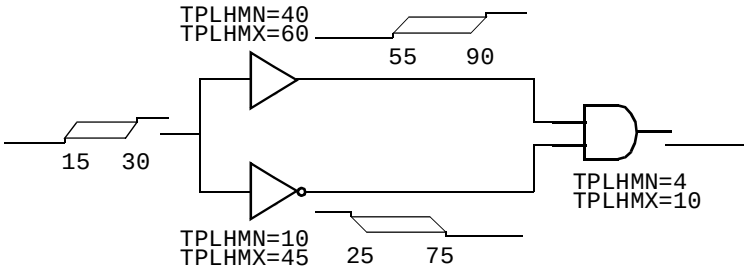


Figure 111 *Ejemplo tres de supresión de fallos.*

En este caso, el sacar factor común a la ambiguedad de 15nsec seguira teniendo un solapamiento de 5nsec de los estados en conflicto. El fallo se suprime, ya que 5nsec es menor que TPLHMX-TPLHMN (el valor de retardo inercial de la puerta AND, 6nsec).

Note *La supresión de fallos puede ignorarse fijando el parámetro umbral de rechazo de la anchura del pulso (TPWRT) en el modelo I/O del dispositivo.*

Metodología

La combinación de las tolerancias de componentes y las respuesta funcional del diseño del circuito a un determinado impulso presenta un reto. Deberá asegurarse que todos los circuitos terminados funcionen correctamente. Los diseños bien diseñados poseen un alto grado de inmunidad contra los efectos de variar las combinaciones de las tolerancias en los componentes.

Esto no intenta ser una discursión comprensible de la aplicación de una simulación de tiempos digital en el peor de los casos en el proceso de diseño. En lugar de eso, es un punto de arranque sugerido para comprender los resultados de la simulación.

La simulación de tiempos digital en el peor de los casos puede ayudarle a identificar problemas de diseño, dependiendo de la naturaleza del impulso aplicado al diseño. Puede utilizar la simulación de la propagación de señales a través de la red para observar la interelación de tiempos entre los diferentes dispositivos y realizar ajustes en el diseño.

La simulación de tiempos en el peor de los casos no llega a esos resultados con un impulso aplicado; no es una herramienta de análisis estático. El nivel de confidencia que se establezca para

las características en función del tiempo en el diseño es directamente una función del impulso aplicado.

Por ejemplo, si está diseñando un circuito digital ADDER, probablemente desearía asegurarse que no hay problemas de condiciones de tiempos en la lógica.

Generalmente, el forma más productiva de definir un impulso es utilizar un chequeo funcional: un impulso pensado para manejar el diseño de una forma normal, ejercitando todas las utilidades importantes en combinación con un práctico conjunto de datos.

Su metodología de simulación de tiempos debería de incluir los siguientes pasos llave:

- Mejorar la especificación de las características de retardo del dispositivo.
- Realizar una especificación funcional del comportamiento del circuito, incluyendo todos los estados o condiciones “sin importancia”.
- Un grupo de impulsos diseñados para verificar la operación de todas las funciones del diseño.

Una estrategia de verificación de diseños muy común es separar la identificación de las secciones del diseño a las que serán aplicados impulsos especiales, seguido por la verificación de la respuesta contra la especificación funcional.

Completar esta fase utilizando una simulación normal (no la del peor de los casos), con los retardos típicos seleccionados para los elementos. La métrica crucial que es la respuesta del estado del diseño. Fíjese que (con raras excepciones), esta respuesta consiste en estados definidos y no incluyen el estado X.

La segunda fase en la verificación de un diseño es utilizar una simulación digital en el peor de los casos, aplicando de nuevo los impulsos corregidos funcionalmente, y comparando la respuesta de los estados resultantes con la obtenida durante la simulación normal. Investigar las diferencias entre los primeros puntos de observación (tales como salidas del circuito y variables de estado internas), particularmente aquellas debidas a estados X (tales como peligros críticos), para determinar su causa.

Por ejemplo, en el caso de un problema de convergencia o reconvergencia, busque posibles entradas de subida/bajada en conflicto. En el caso de una ambiguedad acumulativa, busque posibles regiones contiguas con dos bordes formando un pulso.

Comenzando con estos puntos, utilizar un analizador de ondas y el esquema para tracear a través de la red. Continúe hasta encontrar la razón para ese peligro.

Después de identificar los caminos apropiados y conocer el tiempo relativo de los caminos, puede hacer lo siguiente:

- Modificar el impulso (en el caso de un problema de convergencia simple) para reordenar el tiempo relativo de las señales afectadas.
- Cambiar uno o ambos retardos para reordenar el tiempo relativo, añadiendo o eliminando lógica, o sustituyendo tipos de componentes por otros que posean diferentes características de retardo.

Modificar el impulso generalmente no es efectivo en problemas de reconvergencia, ya que el problema está entre la fuente del abanico de salida de la reconvergencia y la localización del problema. En este caso, discontinuar la ambiguedad común no excluye el peligro.

En el caso de un problema de ambiguedad acumulativa, la solución más recomendada es recortar el camino afectado. Puede hacer esto de dos formas diferentes:

- Añadir un punto de sincronización a la lógica, como puede ser un biestable, o controlar la señal con un reloj, antes que su ambiguedad crezca hasta una duración incontrolable.
- Sustituir los componentes más rápidos del camino, de forma que la formación de la ambiguedad se produzca más lentamente.

Parte cuarta

Visualizando resultados

La parte cuarta describe las formas de visualizar los resultados de la simulación.

- Capítulo 17, *Analizando formas de ondas*, describe cómo realizar un análisis gráfico de formas de onda o de los resultados de la simulación.
- Capítulo 18, *Otras opciones de salida*, describe los símbolos especiales que pueden colocarse en el esquema para generar información adicional en el fichero de salida de PSpice, en la ventana de PSpice, y en los ficheros de vectores digitales.

Analizando formas de ondas

17

Presentación general

Este capítulo describe cómo realizar análisis gráficos de formas de onda a partir de los resultados de la simulación en PSpice A/D. Este capítulo incluye lo siguiente:

- *Presentación general del análisis de formas de onda* en la página 472
- *Preparando el análisis de formas de onda* en la página 476
- *Visualizando formas de onda* en la página 479
- *Ejemplo analógico* en la página 493
- *Tutorial mixto analógico/digital* en la página 496
- *Utilidades del interface de usuario para el análisis de formas de onda* en la página 501
- *Traceando mensajes de simulación digital* en la página 513
- *Expresiones de trazas* en la página 515

Presentación general del análisis de formas de onda

Puede utilizar los análisis de formas de onda de PSpice A/D para analizar visualmente y manipular interactivamente los datos de la onda producidos por la simulación del circuito.

PSpice A/D utiliza gráficos de alta resolución de forma que pueda ver los resultados de la simulación tanto en pantalla como impresos. En pantalla las ondas son como dibujos mostrados en las ventanas Probe dentro del área de trabajo de PSpice A/D.

En efecto, el análisis de ondas es un osciloscopio software. Realizar una simulación en PSpice A/D es parecido a construir o cambiar un prototipo, y realizar un análisis de ondas corresponde a mirar el prototipo con un osciloscopio.

Con el análisis de la forma de onda puede:

- ver los resultados de la simulación en varias ventanas Probe
- Comparar los resultados de la simulación desde varios diseños de circuitos en una sola ventana Probe.
- Ver datos de tensiones, corrientes y ruidos.
- Ver expresiones aritméticas complejas con medidas básicas.
- Ver las transformadas de Fourier en tensiones o corrientes, o en expresiones aritméticas con tensiones y corrientes.
- Para simulaciones mixtas analógicas/digitales, pueden verse las ondas analógicas y digitales simultáneamente con una base de tiempos común.
- Añadir etiquetas de texto y otros símbolos de anotación para una mejor representación.

PSpice A/D genera dos ficheros de salida. El fichero de salida de la simulación y el fichero de datos de ondas. Los calculos y resultados dados en el fichero de salida de la simulación actuán como una auditoría de la suimulación. De todas formas el análisis gráfico de la información en el fichero de datos de formas de onda es el método más flexible e informativo para evaluar los resultados de la simulación.

Elementos de un dibujo

Un dibujo está formado por un área analógica (inferior) y un área digital (superior).

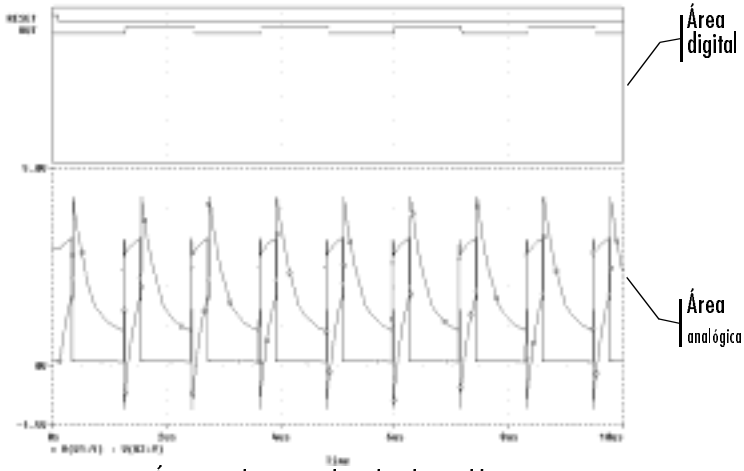


Figure 112 *Áreas analógicas y digitales de un dibujo.*

Puede ver múltiples dibujos a la vez. Si mira únicamente ondas analógicas, todo el dibujo será un área analógica. Del mismo modo si mira únicamente ondas digitales, todo el dibujo será un área digital.

Elementos de una ventana Probe

Una ventana Probe es un área de presentación de ondas controlada de forma separada. Una ventana Probe puede incluir múltiples dibujos analógicos y digitales. La Figura 113 muestra dos dibujos juntos.

En el menú View, seleccionar Toolbar para ver u ocultar la barra de herramientas.

Como una ventana Probe es un objeto ventana, puede aumentar y reducir la ventana, o moverla y escalarla, dentro del área de trabajo de PSpice A/D. Puede verse una barra de herramientas en la ventana Proble y aplicarse a la ventana Probe activa.

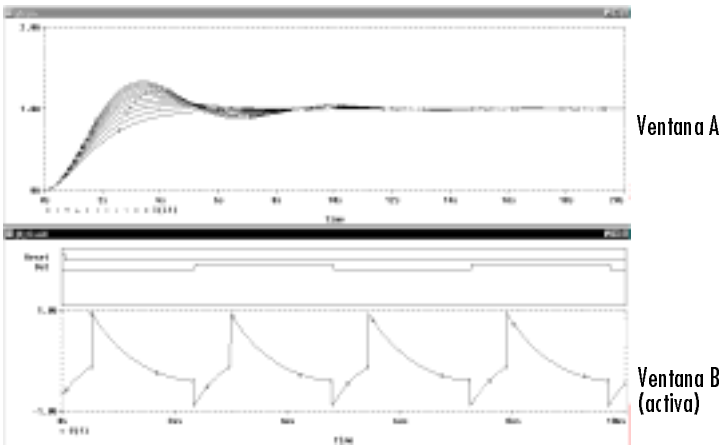


Figure 113 *Dos ventanas Probe.*

Puede ver información de uno o más ficheros de datos de ondas en una ventana Probe. Después de cargar el primer fichero, cargar otros ficheros en la misma ventana Probe, añadiéndolos en PSpice A/D.

Manejando múltiples ventanas Probe

Puede abrir cualquier número de ventanas Probe. Cada ventana Probe es una pestaña en la hoja de trabajo mostrada en la mitad del área de trabajo.

El mismo fichero de datos de ondas puede ser visualizado en más de una ventana Probe. Puede distribuir las ventanas para comparar datos.

Únicamente puede haber una ventana Probe activa en un momento dado, identificada por una barra de títulos resaltada en la parte superior de esta. Las operaciones del ratón, del menú y del teclado afectan únicamente a la ventana Probe activa. Puede cambiar a otra ventana Probe clicando sobre cualquier pestaña o en la barra de títulos.

Imprimiendo múltiples ventanas

Puede imprimir todas o las ventanas Probe seleccionadas, hasta nueve ventanas en una sola página. Cuando seleccione Print en el menú File, aparecerá una ventana con todas las ventanas Probe abiertas. Cada ventana Probe está identificada por un único nombre entre paréntesis en su barra de títulos.

El orden de las ventanas Probe en la página puede ser personalizado utilizando la caja de diálogo Page Setup. Puede imprimir tanto con orientación portrait (vertical) como landscape (horizontal). También puede utilizar Print Preview para ver todas las ventanas Probe conforme aparecerán impresas.

Preparando el análisis de formas de onda

Configurando los colores

Puede configurar la ventana de Probe e imprimir colores en:

- El fichero de configuración, PSPICE.INI
- La caja de diálogo Probe Options

Para más información sobre cómo utilizar los colores disponibles y el orden de colores en una ventana Probe, véase *Configurando los colores de las trazas* en la página 478.

Editando los colores de presentación e impresión en el fichero PSPICE.INI.

En el fichero PSPICE.INI, puede controlar los siguientes valores de colores para imrpimir y visualizar en las ventanas Probe:

- Los colores utilizados para ver las trazas.
- Los colores de fondo utilizados en la ventana Probe.
- El orden de colores utilizados para ver las trazas.
- El número de colores utilizados para ver las trazas.

Los colores para los diferentes elementos se especifican cómo: *<nombre del elemento> = <color>*. El nombre del elemento y lo que representa está listado en la Tabla 44.

He aquí los colores que pueden definirse:

cyan claro		azul claro
verde claro		rojo claro
magenta claro		
blanco claro		
amarillo claro		azul oscuro
cian oscuro	gris oscuro	verde oscuro
magenta oscuro		rojo oscuro
rosa oscuro		
verde claro		
azul claro	gris claro	verde
magenta	mostaza	naranja
rosa	púrpura	rojo
marrón	azul	cian
blanco	negro	amarillo

Para editar, ver e imprimir colores en el fichero PSPICE.INI

Note *Después de editar PSPICE.INI, deberá reiniciar PSpice A/D antes que los cambios sean efectivos.*

1. En un editor estándar de textos (como Notepad), abrir PSPICE.INI. (Este fichero está en el directorio windows).
2. Desplazarse hasta la sección [PROBE DISPLAY COLORS] o [PROBE PRINTER COLORS] del fichero.
3. Añadir o modificar una entrada de color. Véase la Tabla 44 en la página 477 para una descripción de los colores y sus valores por defecto. Nombres válidos pueden ser:
   - BACKGROUND
   - FOREGROUND

- TRACE_1 hasta TRACE_12

4 Si añadió o borró algún número de entradas, fijar NUMTRACECOLORS=n al nuevo número de trazas en donde n es un valor del 1 al 12. Este elemento representa el número de colores de trazas presentados en pantalla antes que se repita el orden de colores.

5 Salve el fichero.

Table 44 *Colores de visualización de ondas por defecto.*

Nombre del elemento	Descripción	Valor por defecto
BACKGROUND	especifica el color de fondo de la ventana	BLACK
FOREGROUND	especifica el color por defecto para aquellos elementos no dados de forma explícita	WHITE
TRACE_1	Especifica el primer color utilizado para ver trazas	BRIGHTGREEN
TRACE_2	Especifica el segundo color utilizado para ver trazas	BRIGHTRED
TRACE_3	Especifica el tercer color utilizado para ver trazas	BRIGHTBLUE
TRACE_4	Especifica el cuarto color utilizado para ver trazas	BRIGHTYELLOW
TRACE_5	Especifica el quinto color utilizado para ver trazas	BRIGHTMAGENTA
TRACE_6	Especifica el sexto color utilizado para ver trazas	BRIGHTCYAN

Cuando desee copiar dibujos de Probe al portapapeles y pegarlos en un documento en blanco o en negro, seleccione la opción Change All Colors to Black at Foreground en la caja de diálogo Copy to Clipboard–Color Filter (en el menú Window, seleccione Copy to Clipboard).

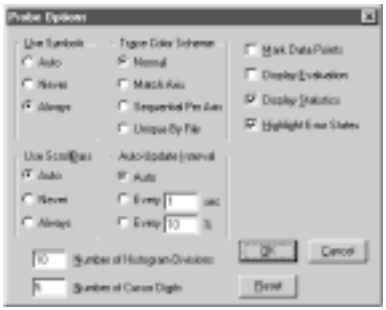
Configurando los colores de las trazas

Para más información sobre el orden de los colores disponibles por defecto y cómo cambiarlos, véase *Editando los colores de presentación e impresión en el fichero PSPICE.INI.* en la página 476.

En la caja de diálogo Probe Options, puede fijar las opciones sobre cómo se utilizarán los colores disponibles y el orden de colores especificados en el fichero PSPICE.INI para ver las trazas en una ventana Probe. Puede utilizar:

- Un color diferente para cada traza
- El mismo color para todas las trazas que pertenezcan al mismo eje Y
- Los colores disponibles en secuencia para cada eje Y
- El mismo color para todas las trazas que pertenezcan al mismo fichero de datos de onda

Para confingurar los colores de las trazas en la caja de diálogo Probe Options



1 En el menú Tools, seleccionar Options para ver la caja de diálogo Probe Options.

2 En Trace Color Scheme, seleccionar una de las siguientes opciones:

Seleccionar esta opción...	Para hacer esto...
Normal	Utiliza un color diferente para cada traza (hasta 12 trazas, dependiendo del número de colores fijado en PSPICE.INI).
Match Axis	Utiliza el mismo color para todas las trazas que pertenezcan al mismo eje y. El título del eje (por defecto, 1, 2, etc.) es del mismo color que sus trazas.
Sequential Per Axis	Utiliza los colores disponibles en secuencia para cada eje Y
Unique by File	Utiliza el mismo color para todas las trazas de una ventana Probe que pertenezcan al mismo fichero de ondas.

3 Clicar sobre OK.

PSpice A/D salva los colores seleccionados para futuros análisis de ondas.

Visualizando formas de onda

Si está utilizando Capture, puede ver las ondas de forma automática tras realizar una simulación, o puede monitorizar el progreso de la simulación conforme se está ejecutando.

No necesita salir de PSpice si ha terminado de examinar los resultados de la simulación y desea realizar una nueva captura. PSpice A/D descarga el anterior fichero de datos de ondas del circuito cada vez que se ejecuta una nueva simulación del circuito. Después que se haya completado la simulación, el fichero de datos de ondas nuevo o actualizado será cargado para su visualización

Configurando la presentación de las formas de onda en Capture

Puede configurar la forma en la que desea ver las ondas en PSpice A/D definiendo valores de presentación en la pestaña Probe Window en la caja de diálogo Simulation Settings.

Los valores de presentación en la pestaña Probe Window se explican en la tabla siguiente.

Este valor...	Habilita este tipo de presentación de onda...
Display Probe window when profile is opened.	Las ondas se muestran sólo cuando está abierto un fichero .DAT dentro de PSpice A/D.
Display Probe window... during simulation.	Las ondas se muestran conforme progresa la simulación (“marching waveforms”).
Display Probe window... after simulation has completed.	Las ondas se muestran sólo despues que se haya completado toda la simulación y se hayan calculado todos los datos.
Show... all markers on open schematics.	Las ondas se muestran para aquellas conexiones que tengan marcadores asociados en el esquema.
Show... last plot.	Las ondas se muestran de acuerdo con la última configuración de presentación que se utilizó en la ventana Probe.

Visualizando formas de onda durante la simulación

Mientras se ejecuta una simulación, puede ver los resultados para la sección de datos que está siendo escrita por PSpice A/D. Esta función está disponible sólo cuando la opción Display Probe window during simulation está habilitada en la pestaña Probe Window de la caja de diálogo Simulation Settings.

Para monitorizar los resultados durante la simulación

Si abre una nueva ventana Probe (en el menú Window, seleccionar New Window) mientras se monitorizan los datos, la nueva ventana tanbién se inicia en modo monitor ya que está asociada con el mismo fichero de datos de ondas.

1. En el menú PSpice de Capture, seleccionar Edit Simulation Settings para ver la caja de diálogo Simulation Settings.
2. Clicar sobre la pestaña Probe Window.
3. Seleccionar Select Display Probe y clicar during simulation.
4. Clicar OK para cerrar la caja de diálogo Simulation Settings
5. En PSpice, seleccionar Run para iniciar la simulación.

En modo monitor, sólo se muestra una ventana Probe.

6 Hacer uno de los siguientes pasos para seleccionar las ondas a monitorizar:

- En el menú Trace de PSpice, seleccionar Add, e introducir una o más expresiones de trazas.
- En el menú PSpice de Capture, apuntar a Markers, después seleccionar y colocar uno o más marcadores.

La ventana Probe monitoriza las ondas conforme se escriben los datos más recientes. Después que haya terminado cada sección de datos, la ventana cambia al modo manual. Para ver todo el conjunto de ejecuciones, deberá actualizar la pantalla utilizando el comando Add Trace en el menú Trace.

Durante una simulación múltiple (como Monte Carlo, paramétrico o de temperatura), PSpice muestra sólo los datos de la ejecución más reciente en el ventana Probe.

o pulsar I

Para más información, véase *Utilizando marcadores de páginas de esquemas para añadir trazas* en la página 483.

Configurando los intervalos de actualización

Puede definir la frecuencia con la que PSpice actualiza la presentación de ondas:

- En intervalos fijos de tiempo (every *n* sec)
- De acuerdo con el porcentaje de simulación completada (every *n* %), donde *n* está definido por el usuario

Los valores por defecto (Auto) actualizan las trazas cada vez que PSpice obtiene nuevos datos de la simulación.

Para cambiar el intervalo de actualización

1 En el menú Tools, seleccionar Options.

2 En la zona Auto-Update Interval, seleccionar el tipo de intervalo (sec o %), y teclear el intervalo en la caja de texto.

Interactuando con el análisis de ondas durante la simulación

La función que cambia el dominio en el eje X (fija una nueva variable X) no puede accederse a ella mientras se ejecuta la simulación. Si ha habilitado la presentación de ondas durante la simulación y desea configurar de nuevo los valores del eje X (como se explicó anteriormente), deberá esperar hasta que haya terminado la simulación.

La siguiente tabla muestra cómo habilitar las funciones que cambian el dominio del eje X.

Habilitar esta función...	Haciendo esto...
Fast Fourier transforms	**1** En el menú Plot, seleccionar Axis Settings. **2** En la zona Processing Options, seleccionar Fourier.
Performance analysis	**1** En el menú Plot, seleccionar Axis Settings. **2** En la zona Processing Options, seleccionar Performance Analysis.
New x-axis variable	**1** En el menú Plor, seleccionar Axis Settings, después clicar sobre la pestaña X Axis. **2** Clicar sobre el botón Axis Variable. **3** En la caja de diálogo X Axis Variable, especificar una nueva variable para el eje X.
Goal function evaluation	**1** En el menú Trace, seleccionar la función Eval Goal. **2** En la caja de diálogo Evaluate Goal Function(s), especificar una función objetivo.
Load a completed data section	**1** En el menú File, seleccionar Append Waveform (.DAT). **2** Seleccionar un fichero .DAT a añadir.

Pausando una simulación y viendo las ondas

Puede pausar una simulación para analizar las ondas antes que termine esta. Después de pausar la simulación, puede continuar la simulación o terminarla.

Para pausar una simulación

1 En el menú Simulation de PSpice, seleccionar Pause.

2 En la ventana Probe, visualizar las ondas generadas antes de pausar la simulación.

3 Hacer uno de los siguientes puntos:

- En el menú Simulation, seleccionar Run para continuar con la simulación.

- En el menú Simulation, Seleccionar Stop para detener la simulación.

Utilizando marcadores de páginas de esquemas para añadir trazas

Puede colocar marcadores en un esquema para identificar los puntos de los que quiera ver los resultados de ondas. Puede colocar marcadores:

Véase *Expresiones de trazas* en la página 515 para formas de añadir trazas en PSpice A/D.

- Antes de la simulación, para limitar los resultados escritos en el fichero de datos de onda y ver automáticamente esas trazas en PSpice.
- Durante o después de la simulación, con PSpice A/D ejecutándose, para ver trazas de forma automática en la ventana activa de Probe.

El color del marcador que coloque será el mismo que su traza correspondiente en el análisis de ondas. Si cambia el color de la traza, el color del marcador correspondiente en el esquema también cambiará.

El submenú Markers también proporciona opciones para controlar la presentación de los resultados marcados en PSpic, después del posicionado inicial de los marcadores y durante y después de la simulación.

Para colocar marcadores en una página de un esquema

1 En el menú PSpice de Capture, apuntar a Markers, después seleccionar el marcador que quiera colocar (algunos marcadores están en el submenú Advanced).

Onda	Comando del menú Markers	Comando del submenú Advanced
voltage	Voltage Level	No requerido
voltage differential	Voltage Differential	No requerido
current	Current Into Pin	No requerido
digital signal	Voltage Level	No requerido

Onda	Comando del menú Markers	Comando del submenú Advanced
dB*	Advanced	magnitud en db de la tensión Magnitud en db de la corriente
phase*	Advanced	Fase de la tensión Fase de la corriente
group delay*	Advanced	Retardo del grupo de tensión Retardo del grupo de corriente
real*	Advanced	Parte real de la tensión Parte real de la corriente
imaginary*	Advanced	Parte imaginaria de la tensión Parte imaginaria de la corriente

* Puede utilizar estos marcadores en lugar de las funciones ya construidas proporcionadas en las expresiones de variables de salida (véase la Tabla 53 en la página 525). De todas formas, estos marcadores están disponibles únicamente después de definir un perfil de la simulación para un análisis de barrido/ruido AC.

El color del marcador es el mismo que su traza de análisis. Si cambia el color de una traza, el color del marcador también cambiará.

2 Apuntar a los hilos o pines que quiera marcar y clicar para colocar los marcadores seleccionados.

3 Clicar con el botón derecho del ratón y seleccionar End Mode para dejar de colocar marcadores.

4 Si todavía no ha simulado el circuito, en el menú PSpice, seleccionar Run.

Para ocultar o borrar resultados marcados

1 En el menú PSpice de Capture, apuntar a Markers, después seleccionar uno de los puntos siguientes:

Seleccionar esta opción...	Para...
Hide All	Ocultar trazas en la presentación del análisis de ondas para todos los marcadores colocados en cualquier página o nivel del esquema.
Delete All	Eliminar todos los marcadores del esquema y sus trazas correspondientes de la presentación del análisis de ondas.

Limitando el tamaño del fichero de datos de formas de onda

Cuando PSpice A/D realiza una simulación, crea un fichero de datos de ondas. El tamaño de este fichero para un análisis de transitorio es aproximadamente igual a:

(# transitorios)·(# puntos de tiempo de simulación)·24 bytes

El tamaño para otros tipos de análisis es aproximadamente 2.5 veces menor. Para ejecuciones largas, especialmente para ejecuciones de transitorios, esto puede generar ficheros de datos de ondas con un tamaño de varios megabytes. Incluso aunque esto no provocara problemas de espacio en disco, los ficheros de datos de ondas demasiado grandes tardan mucho más en ser leídos y en mostrar las trazas en pantalla.

Puede limitar este tamaño de la siguientes maneras:

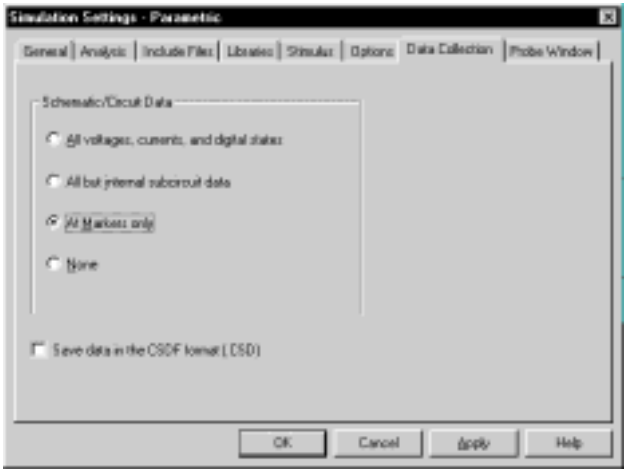
- Colocando marcadores en el esquema antes de la simulación y haciendo que PSpice A/D restringa los datos salvados únicamente a esos marcadores.
- Excluyendo datos de los subcircuitos internos.
- Suprimiendo la salida de la simulación.

Limitando el tamaño utilizando marcadores

Una razón por la que los ficheros de datos de ondas son tan grandes es que, por defecto, PSpice A/D guarda *todas las tensiones de las conexiones y las corrientes de los dispositivos* para cada paso (por ejemplo, puntos de tiempo y frecuencia). De todas formas, si colocó marcadores en el esquema antes de la simulación, PSpice A/D salva únicamente los resultados de los hilos y pines que contengan los marcadores.

Para limitar el tamaño del fichero utilizando marcadores

1 En el menú PSpice de Capture, seleccionar Edit Simulation Settings para ver la caja de diálogo Simulation Settings.



2 Clicar sobre la pestaña Data Collection.

3 En la zona Schematic/Circuit Data, seleccionar At Markers only y clicar sobre OK.

4 En el menú PSpice, apuntar a Markers, y seleccionar el tipo de marcador que quiera colocar.

5 Apuntar a los hilos o pines que quiera marcar y clicar para colocar los marcadores seleccionados.

6 Hacer clic con el botón derecho del ratón y seleccionar End Mode para dejar de colocar marcadores.

7 En el menú PSpice, seleccionar Run para iniciar la simulación.

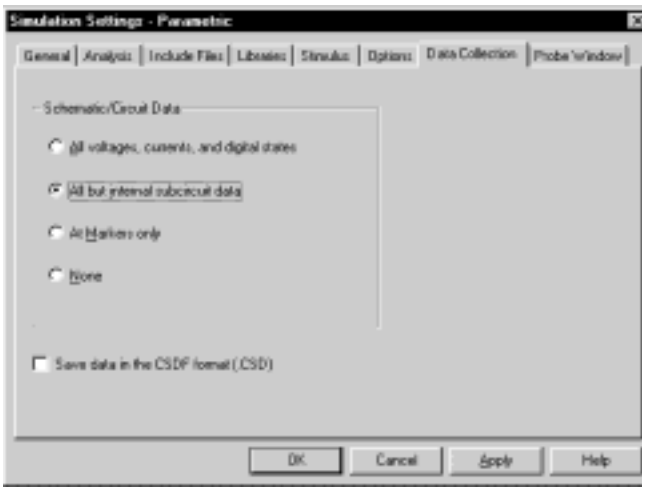
El color del marcador en la página del esquema es el mismo que su traza correspondiente. Si cambia el color de la traza, el color del marcador también cambiará.

Limitando el tamaño del fichero excluyendo datos de los subcircuitos internos

Por defecto, PSpice A/D salva los datos de todos los nodos internos y dispositivos en los modelos de subcircuitos en un diseño. Puede excluir los datos de los nodos de los subcircuitos internos y de los dispositivos.

Para limitar el tamaño del fichero excluyendo datos de los subcircuitos internos

1. En el menú Simulation de PSpice, seleccionar Edit Simulation Settings para ver la caja de diálogo Simulation Settings.



2. Clicar en la pestaña Data Collection.
3. En la zona Schematic/Circuit Data, seleccionar All but internal subcircuit data, después clicar en OK.
4. En el menú PSpice, seleccionar Run para iniciar la simulación.

Limitando el tamaño del fichero suprimiendo la primera parte de la salida de la simulación

Suprimiendo parte de los datos de la ejecución también se limita el tamaño del fichero de salida de PSpice A/D.

Las simulaciones con transitorios largos crean ficheros de datos de ondas grandes ya que PSpice A/D guarda muchos puntos de datos. Puede suprimir esa parte de los datos de un análisis de transitorios fijando el análisis de la simulación para que

comience la salida a un tiempo mayor de 0. Esto no afecta al cálculo de transitorios, estos siempre comienzan en un tiempo igual a 0, Este retardo únicamente suprime la salida de la primera parte de la simulación.

Para limitar el tamaño del fichero suprimiendo la primera parte de la salida de la simulación de los transitorios

1. En el menú PSpice de Capture, seleccionar Edit Simulation Settings para ver la caja de diálogo Simulation Settings.
2. Clicar en la pestaña Analysis.
3. En la lista Analysis type, seleccionar la opción Time Domain (Transient).
4. En la caja de texto Start saving data after, teclear un tiempo de retardo.
5. OK para cerrar la caja de diálogo Simulation Settings.
6. En el menú PSpice, seleccionar Run para inicial la simulación.

   La simulación comienza, pero no se guardará dato alguno hasta que no pase el tiempo de retardo.

Utilizando datos de simulación desde varios ficheros

Puede cargar datos de la simulación desde varios ficheros en la misma ventana Probe añadiendo ficheros de datos de ondas.

Cuando se cargue más de un fichero de datos de ondas, puede añadir trazas utilizando todos los datos cargados, los datos de un solo fichero o secciones individuales de datos de uno o más ficheros.

Añadiendo ficheros de datos de ondas

Para añadir un fichero de datos de ondas

1. En PSpice A/D, en el menú File, seleccionar Append Waveform (.DAT).
2. Seleccionar un fichero *.DAT a añadir, después clicar OK.
3. Si el fichero tuviera múltiples secciones de datos del tipo de análisis seleccionado, se mostrará la caja de diálogo Available Sections. Hacer uno de los siguientes puntos:
   - Clicar sobre las secciones que quiera utilizar.
   - Clicar sobre el botón All para usar todas las secciones.
4. Clicar sobre OK.

Añadiendo trazas de ficheros de datos de ondas cargados

Si dos o más ficheros de datos de ondas poseen las mismas variables de salida de la simulación, las expresiones de trazas que incluyen esas variables generarán trazas para cada fichero. De todas formas, puede especificar qué fichero de datos de ondas fue utilizado para generar una determinada traza.

o pulsar UI

La lista Simulation Output Variables en la caja de diálogo Add Traces contiene las variables de salida de todos los ficheros de datos de ondas cargados.

Ejemplo: Para dibujar la salida V(1) para la sección de datos 1 desde el segundo fichero de datos cargado, teclear la siguiente expresión de traza:

V(1)@1@f2

También puede utilizar el nombre del fichero de datos cargados para especificarlo. Por ejemplo, para dibujar la salida V(1) para todas las secciones de datos de un fichero de datos cargado, MYFILE.DAT, teclear la siguiente expresión de traza:

V(1)@"MYFILE.DAT"

Para añadir una traza desde un determinado fichero de datos de ondas cargado

1. En PSpice A/D, en el menú Trace, seleccionar Add Trace para ver la caja de diálogo Add Traces.
2. En la caja de texto Trace Expression, teclear una expresión utilizando la siguiente sintasis:

   trace_expression@f*n*

   En donde *n* es el orden numérico (de izquierda a derecha) del fichero de datos de ondas como aparece en la barra de PSpice, o

   trace_expression@*s*@f*n*

   donde *s* es una determinada sección de datos de un fichero de datos de onda específico.
3. Clicar sobre OK.

Para identificar el fichero fuente de una traza individual

1 En la leyenda trace, hacer doble clic sobre el símbolo de la traza que quiera identificar (Figura 114).

Aparecerá la caja de diálogo Section Information, conteniendo el nombre de la traza y, si hubiera más de un fichero de ondas cargados en el dibujo, el camino completo del fichero desde el que fue generada la traza.

También listada hay información sobre la simulación que generó el fichero de ondas y el número de puntos de datos utilizado (Figura 115).

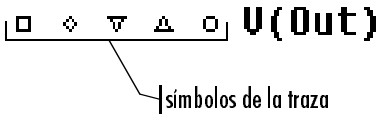


Figure 114 *Leyenda de la traza*

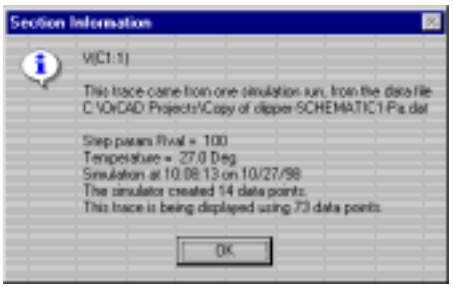


Figure 115 *Caja de mensajes de información de la sección.*

Salvando los resultados de la simulación en formato ASCII

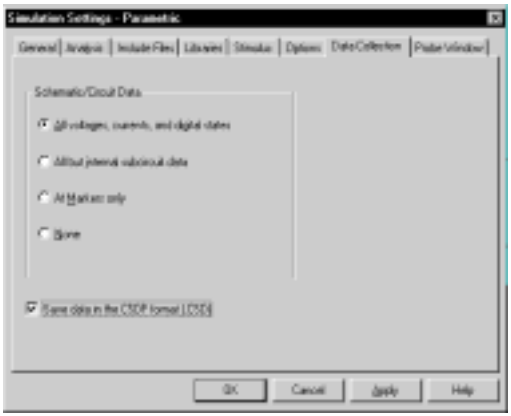
El formato por defecto del fichero de ondas es binario. De todas formas, puede salvarlo en el Formato Común de Datos de Simulación (Common Simulation Data Format - CSDF).

Aviso: Los ficheros de datos salvados en el formato DF son dos o más veces más grandes que los ficheros binarios.

Cuando abra primero un fichero de datos CSDF, PSpice A/D lo convertirá al formato .DAT. Esta conversión tarda dos o más veces mas tiempo que abrir el fichero .DAT. PSpice A/D salva el nuevo fichero .DAT para su uso posterior.

Para salvar los resultados en formato ASCII

1 En el menú Simulation de PSpice, seleccionar Edit Profile para ver la caja de diálogo Simulation Settings.



2 Clicar sobre la pestaña Data Collection.

3 Seleccionar Save data in the CSDF format (.CSD).

4 Clicar sobre OK.

PSpice A/D escribe los resultados de la simulación en el fichero de datos de ondas en formato ASCII (como *.CSD en lugar de *.DAT), siguiendo la convención CSDF.

Ejemplo analógico

En esta sección se muestran las técnicas básicas para realizar análisis de ondas utilizando el circuito EXAMPLE.OPJ.

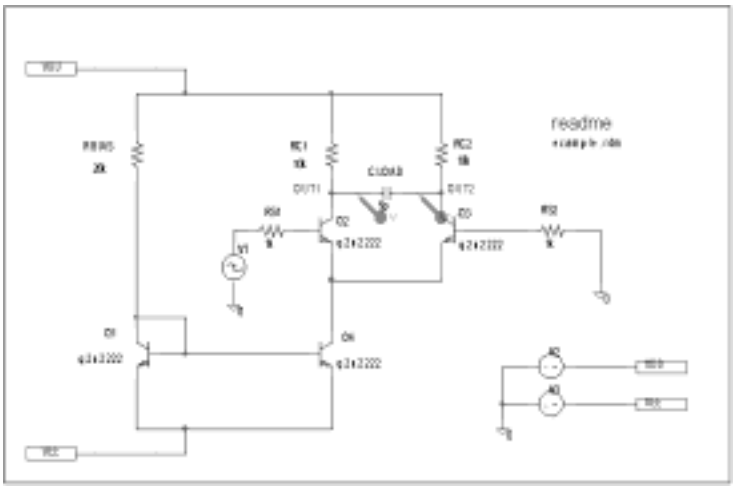


Figure 116 *Esquema de ejemplo EXAMPLE.OPJ.*

El proyecto de ejemplo EXAMPLE.OPJ viene con los programas de OrCAD.

Cuando se entrega, EXAMPLE.OPJ está preparado para múltiples análisis. Para este ejemplo se han deshabilitado los análisis de barrido AC, DC, Monte Carlo, peor de los casos y de función de transferencia de pequeña señal. La especificación para cada uno de estos análisis permanece intacta. Para ejecutarlos desde Capture en el futuro, en el menú PSpice, seleccionar Edit Simulation Settings y habilitar los análisis.

Ejecutando la simulación

La simulación se realiza con Bias Point Detail, Temperature, y Transient analyses habilitados. El análisis de temperaturas está fijado a 35 grados y el de transitorios como sigue:

Print Step	20ns
Final Time	1000ns
Enable Fourier	selected
Center Frequency	1Meg
Output Vars	V(OUT2)

Para iniciar la simulación

1. En el menú File de Capture, apuntar a Open y seleccionar Project.
2. Abrir el siguiente proyecto en el directorio de instalación del programa OrCAD:

Note *Cuando realiza un análisis de Fourier utilizando PSpice A/D como se especificó en este ejemplo, PSpice A/D escribe los resultados en el fichero de salida de PSpice (*.OUT). También puede utilizar la ventana Probe para ver la transformada de Fourier de cualquier expresión de traza utilizando la capacidad FFT en PSpice. Para más información véase la Ayuda en Línea de PSpice A/D.*

\PSPICE\SAMPLES\ANASIM\EXAMPLE\
EXAMPLE.OPJ

Si PSpice está preparado para mostrar las trazas de todos los marcadores al inicio, verá las trazas V(OUT1) y V(OUT2) cuando se muestre la ventana Probe. Para quitar esas trazas del dibujo, en el menú Trace, seleccionar Delete All Traces.

3 En el menú PSpice, seleccionar Run para iniciar la simulación.

PSpice A/D generará un fichero de datos de ondas binario conteniendo los resultados de la simulación. Aparecerá una nueva ventana Probe con el fichero de datos de ondas EXAMPLE.DAT ya cargado (Figura 117).

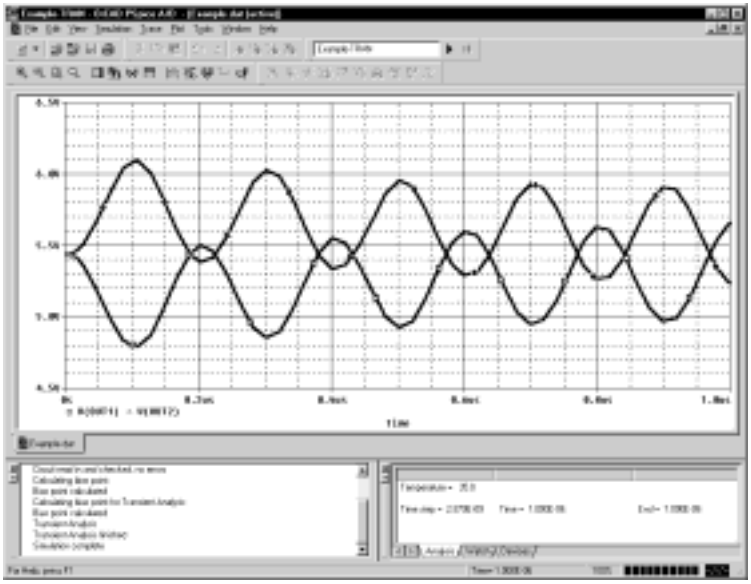


Figure 117 *Presentación de ondas para EXAMPLE.DAT.*

Como este proyecto de ejemplo estaba preparado como un tipo de análisis de transitorios, los datos cargados actualmente son los resultados del análisis de transitorios.

Note *En este ejemplo, los marcadores de tensión para OUT1 y OUT2 ya estaban colocados en el diseño. Si los marcadores no estuviesen colocados antes de la simulación, podrá ver las ondas más tarde, como se explicó en Visualizando tensiones en conexiones.*

Visualizando tensiones en conexiones

Después de seleccionar un análisis, las tensiones en las conexiones y corrientes en los pines del dispositivo, pueden ser visualizadas en las ventanas Probe utilizando tanto marcadores de esquemas como variables de salida (como se mostrará en este ejemplo).

Para ver las tensiones en las conexiones OUT1 y OUT2 utilizando variables de salida

pulsar UI o

1 En el menú Trace, seleccionar Add Trace para ver la caja de diálogo Add Traces.

La zona Simulation Output Variables presenta una lista de variables de salida válidas.

2 Clicar sobre V(OUT1) y V(OUT2), después clicar sobre OK. La ventana Probe se verá parecida a la de la figura Figura 117.

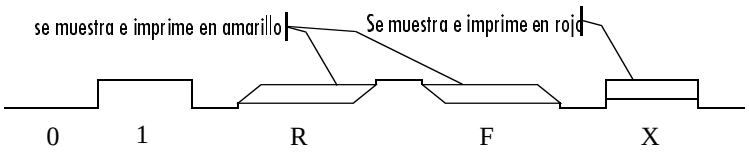
Tutorial mixto analógico/digital

En este tutorial, utilizaremos PSpice A/D para simular un circuito analógico/digital mixto. Después analizaremos la salida para:

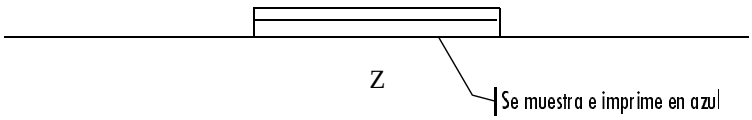
- Ver simultáneamente las trazas analógicas y digitales en un eje de tiempos común, y
- Ver los valores de los datos digitales y las utilidades exclusivas del análisis de circuitos mixtos analógico/digitales, tales como la identificación de las conexiones digitales insertadas por PSpice A/D.

Sobre los estados digitales

Todos los estados digitales son soportados por PSpice A/D. Los niveles lógicos aparecen así:



Las conexiones de fuerza Z (en cualquier nivel) se muestran con una línea triple, como puede verse abajo.



Sobre el circuito oscilador

El circuito que se simulará y analizará es un oscilador mixto analógico/digital utilizando inversores Trigger Schmitt, un inversor con la salida en colector abierto, un inversor estándar y biestable J-K, una resistencia, y un condensador. El diseño puede verse en la Figura 118.

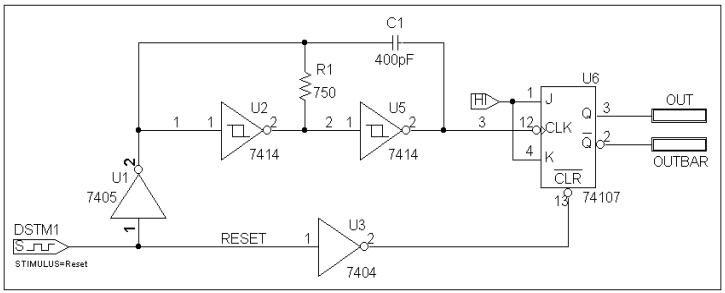


Figure 118 *Diseño de un oscilador mixto analógico/digital*

El circuito utiliza un dispositivo, DSTIM1 con un impulso digital de 1 bit. El dispositivo está conectado al resto del circuito por un solo pin y crea un pulso de reset, que inicializa el biestable.

Preparando el diseño

Preparar y simular el oscilador utilizando Capture.

Para abrir el fichero de diseño

1 En el menú File de Capture, apuntar a Open y seleccionar Project.

2 Abrir el siguiente proyecto situado en el directorio de instalación del programa de OrCAD:

\PSPICE\SAMPLES\MIXSIM\OSC\OSC.OPJ

Para eliminar los marcadores

1 En el menú PSpice de Capture, apuntar a Markers y seleccionar Delete All.

Ejecutando la simulación

Para ejecutar la simulación

1 En el menú PSpice de Capture, seleccionar Run.

Como el circuito oscilador utilizado aquí se ha ejecutado sólo durante el análisis de transitorios, PSpice selecciona automáticamente la sección de datos de análisis de transitorios del fichero de datos de ondas. Esto significa que se salta la caja de diálogo Available Selection y aparece inmediatamente una ventana Probe.

Analizando los resultados de la simulación

Para ver la entrada del reloj al inversor (tensión en la conexión 1)

o pulsar I

1 En el menú Trace de PSpice, seleccionar Add Trace para ver la caja de diálogo Add Traces.

También puede utilizar apodos para referirse a las conexiones. Por ejemplo, V(U2:A) se refiere a la misma conexión que V(1).

2 En la lista Simulation Output Variables, clicar sobre V(1) para ver la tensión en la conexión 1.

3 Clicar sobre OK.

Para añadir un segundo eje X para evitar el solapamiento de las trazas analógicas

1 En el menú Plot, seleccionar Axis Settings para ver la caja de diálogo Axis Settings.

La pestaña X Axis está activa por defecto.

En la caja de diálogo Y Axis Settings, puede cambiar los valores para cualquier otro eje Y seleccionándolo de la caja Y axis Number.

a En la zona Data Range, seleccionar User Defined y fijar el rango de 0us a 10us, si aun no estuviese seleccionado.

En la ventana Probe, hacer doble clic en el eje Y.

b En la zona Scale, seleccionar Linear, si todavía no estuviese seleccionado.

2 Clicar sobre la pestaña Y Axis.

a En la zona Data Range, seleccionar User Defined y fijar el rango de -5 a 5. Esto cambiará el rango del eje Y actual.

b Clicar sobre OK.

3 En el menú Plot, seleccionar Add Y Axis.

pulsar C+Y

La ventana Probe mostrada será parecida a la de la Figura 119.

Fíjese que la etiqueta V(1) en la parte inferior del dibujo está precedida por una caja 1. Esto indica que el eje Y más a la izquierda se aplica a la onda V(1).

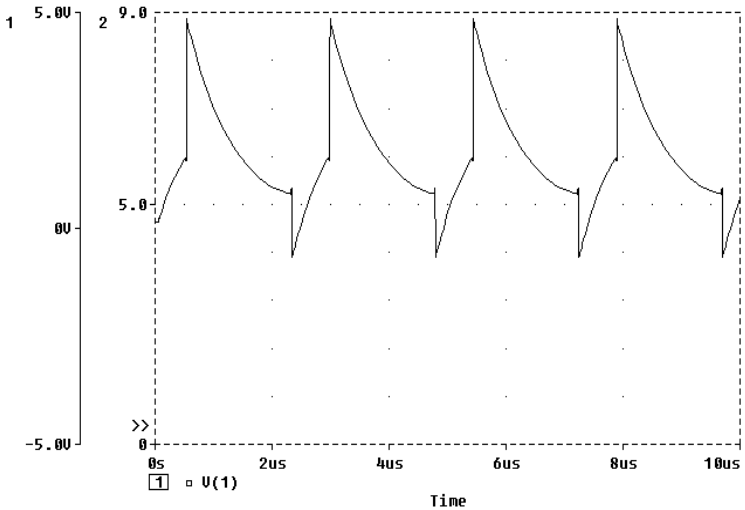


Figure 119 *Tensión en la conexión 1 con el eje Y añadido.*

Para ver trazas para V(3), RESET, y OUT

1 En el menú Trace, seleccionar Add Trace para ver la caja de diálogo Add Traces.

2 En la lista Simulation Output Variables, clicar sobre V(3), RESET, y OUT.

El nombre de la traza aparecerá en la caja de texto Trace Expression.

3 Clicar sobre OK para dibujar las trazas.

El dibujo presentará un área digital debajo del área analógica como puede verse en la Figura 120.

Puede añadir hasta 75 trazas digitales a la parte digital del dibujo. Si añade más trazas de las que puedan mostrarse, PSpice A/D las desplazará hacia arriba de modo que pueda ver la última traza añadida. El carácter A + enfrente del nombre de la traza superior o inferior indica que hay más trazas arriba o abajo de las trazas marcadas.

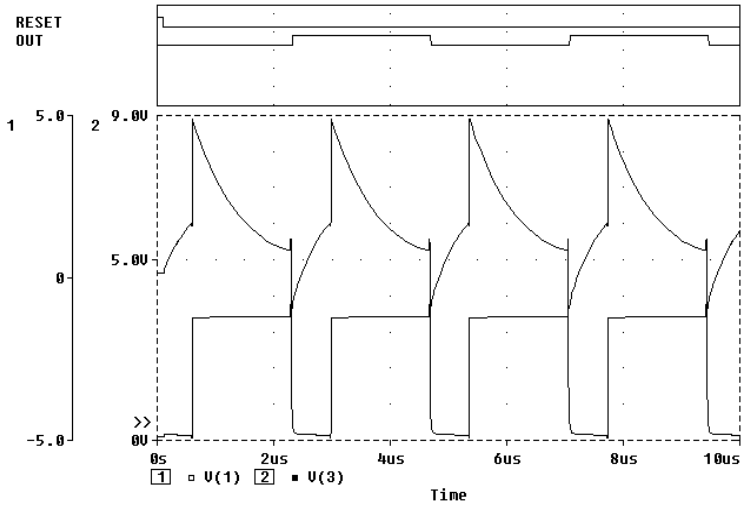


Figure 120 *Resultados del oscilador mixto analógico/digital.*

Utilidades del interface de usuario para el análisis de formas de onda

PSpice A/D proporciona técnicas de manipulación directa y atajos para analizar los datos de las ondas. Estas técnicas se describen a continuación.

Teclas de acceso rápido

Muchos de los comandos del menú en PSpice A/D poseen teclas de acceso rápido. POr ejemplo, si coloca un rectángulo de selección en la parte analógica del dibujo, puede teclear C+A en lugar de seleccionar Area en el menú View. Para una lista de las teclas de acceso rápido, acuda a Teclas de Acceso Rápido en la ayuda de PSpice A/D.

Zoom de regiones

PSpice proporciona un método de manipulación directa para marcar la zona de zoom tanto en el área analógica como en la digital del dibujo.

Para hacer zoom in o out

1 Hacer uno de los puntos siguientes en la barra de herramientas:

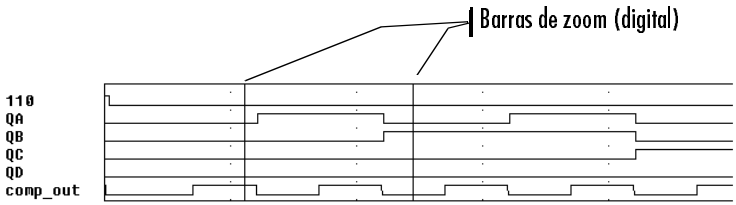
- Clicar sobre el botón View In en la barra de herramientas para hacer zoom en un factor de 2 alrededor del punto que se especifique.
- Clicar sobre el botón View Out en la barra de herramientas para hacer zoom out en un factor de 2 alrededor del punto que se especifique.

o

Para hacer zoom en el área digital utilizando el ratón

1 En el área digital, arrastrar el puntero del ratón a la izquierda o derecha para producir dos barras verticales.

Clicar con el ratón en cualquier lugar del dibujo para eliminar las barras verticales sin tener que hacer zoom.



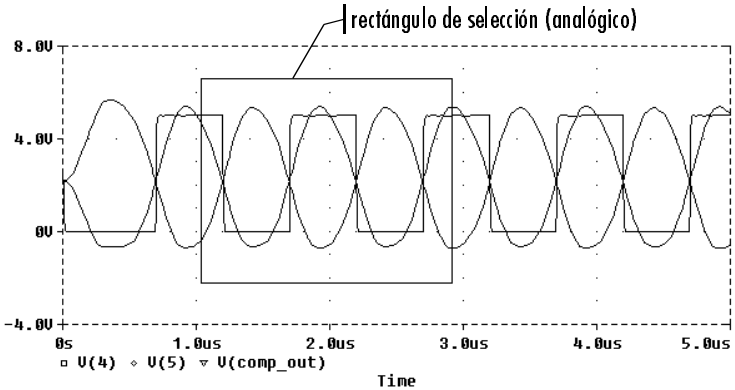
2 En el menú View, apuntar a Zoom, después seleccionar Area.

PSpice cambia la presentación del dibujo al área comprendida entre las dos barras de selección. Si el dibujo incluye un área analógica, está también quedará afectada por el zoom.

Para hacer zoom en el área analógica utilizando el ratón

Clicar en cualquier lugar del dibujo para eliminar el rectángulo de selección sin tener que hacer zoom.

1 Arrastrar el puntero del ratón para crear un rectángulo de selección como se muestra en la figura.



2 En el menú View, apuntar a Zoom, después seleccionar Area.

PSpice A/D cambia el dibujo para ver la zona dentro del rectángulo de selección. La parte digital de la pantalla, si estuviese presente, también quedará afectada por el zoom.

Desplazando las trazas

Por defecto, cuando se hace zoom en un dibujo, o cuando un dibujo digital contiene más trazas de las que pueden ser mostradas en el área visible, aparecen unas barras de desplazamiento en la parte derecha e inferior del área de dibujo, si fueran necesarias. Estas pueden ser utilizadas para desplazarse por los datos. Puede configurar barras de desplazamiento de modo que siempre aparezcan o que no aparezcan jamás.

Para configurar las barras de desplazamiento

1 En PSpice A/D, en el menú Tools, seleccionar Options.

2 En la zona Use Scroll Bars frame, seleccionar una de las opciones de las barras de desplazamiento, como se explica abajo.

Seleccionar esta opción ...	**Para hacer esto...**
Auto	Hace que las barras de desplazamiento aparezcan cuando se hace zoom en un dibujo o cuando se muestran trazas adicionales pero no están visibles (selección por defecto).
Never	No presenta nunca las barras de desplazamiento. Este modo da el máximo tamaño de dibujo y es muy útil cuando se utilizan resoluciones de pantalla VGA o menores.
Always	Muestra las barras de desplazamiento siempre. A pesar de esto, estarán desactivadas si puede verse todo el eje correspondiente.

Dimensionando los dibujos digitales

Las barras de dimensionamiento pueden ser utilizadas para cambiar el tamaño del dibujo digital en lugar de seleccionar Digital Size en el menú Plot. La barra de tamaño del nombre de la traza digital está en los límites verticales izquierdos del dibujo digiral. Si se mostrara un área analógica de forma simultánea con el dibujo digital, habrá una barra de dimensionamiento de dibujo adicional en el límite horizontal inferior del dibujo digital.

Para ver el tamaño del dibujo digital utilizando el ratón

1 Visualizar al menos una traza digital y una traza analógica en la ventana Probe para las que quiera fijar el tamaño digital.

2 Para cambiar la posición inferior de la ventana digital Probe, hacer lo siguiente:

- **a** Situar el puntero del ratón entre las partes analógicas y digitales del dibujo.
- **b** Clicar sobre el separador de los dibujos.
- **c** Arrastrar el separador de dibujos hasta obtener el tamaño digital deseado.

3 Para cambiar el lado izquierdo de la ventana Probe digital, hacer lo siguiente:

- **a** Situar el puntero del ratón en el borde izquierdo de la ventana Probe digital que quiera redimensionar.
- **b** Clicar sobre el borde izquierdo.
- **c** Arrastrar el borde izquierdo de la ventana Probe digital para ajustar el espacio disponible para ver los nombres de las trazas digitales.

Para fijar el tamaño del dibujo digital utilizando las opciones de los menús

1. Visualizar al menos una traza digital para la que desee fijar su tamaño digital.
2. En el menú Plot, seleccionar Digital Size.
3. En la caja de diálogo Digital Size, fijar lo siguiente:
   - Porcentaje del dibujo que será digital
   - Longitud del Nombre de la Traza Digital
4. Clicar sobre OK.

Para colocar una etiqueta, clicar sobre Plot, apuntar a Label y después seleccionar el tipo de objeto que se quiera colocar.

Modificando expresiones de trazas y etiquetas

Puede modificar expresiones de trazas, etiquetas de texto y de elipses que aparezcan dentro de la ventana Probe, eliminando así tener que borrar y rehacer cualquiera de esos objetos.

Par más información sobre cómo añadir etiquetas (incluyendo texto, líneas, polilíneas, flechas, cajas, elipses y marcas) véase la ayuda en línea de PSpice A/D.

Para modificar expresiones de trazas

1. Clicar sobre el nombre de la traza para seleccionarlo (la selección queda indicada por un cambio en su color).
2. En el menú Edit, seleccionar Modify Object.
3. En la caja de diálogo Modify Trace, editar la expresión de la traza del mismo modo que se hizo para añadir una traza.

También puede hacer doble clic sobre el nombre de la traza para modificar la expresión de la traza.

Para más información sobre la adición de trazas, véase *Añadiendo trazas de ficheros de datos de ondas cargados* en la página 490 y *Para añadir trazas utilizando variables de salida* en la página 515.

Para modificar texto y etiquetas ellipse

1. Clicar sobre el texto o ellipse para seleccionarlo (la selección queda indicada por un cambio en su color).
2. En el menú Edit, seleccionar Modify Object.
3. Editar la etiqueta haciendo lo siguiente:
   - En la caja de diálogo Ellipse Label, cambiar el ángulo de inclinación, o

También puede hacer doble clic sobre el texto o elipse para modificarlo.

- En la caja de diálogo Text Label, cambiar la etiqueta del texto.

Moviendo y copiando nombres de trazas y expresiones

Los nombres de las trazas y las expresiones pueden ser seleccionadas, movidas y copiadas, tanto dentro de la misma ventana Probe como desde otra ventana.

Para copiar o mover nombres de trazas y expresiones

1 Clicar sobre uno o más nombres de trazas (V+clic). Los nombres de las trazas seleccionadas quedarán resaltados.

o

2 En el menú Edit, seleccionar Copy o Cut para salvar los nombres de las trazas y las expresiones en el portapapeles. Cut borra los nombres de las trazas y las trazas de la ventana Probe.

o pulsar C+v

3 En la ventana Probe en la que se quieren añadir las trazas:

- Para añadir las trazas al final de la lista mostrada, seleccionar Paste en el menú Edit.
- Para añadir trazas antes del nombre de la traza mostrada, seleccionar el nombre de la traza y después seleccionar Paste en el menú Edit.

He aquí algunas consideraciones cuando se copie o se muevan nombres de trazas y expresiones dentro de una ventana Probe:

- Si la nueva ventana Probe está leyendo el mismo fichero de datos de ondas, los nombres de las trazas copiados o movidos y las expresiones mostrarán trazas que serán idénticas al conjunto de la selección original.
- Si la nueva ventana Probe está leyendo un fichero de datos de ondas *diferente*, los nombres movidos o copiados y sus expresiones mostrarán trazas diferentes generadas a partir de los nuevos datos.

  Por ejemplo, supongamos dos ficheros de datos de ondas, MYSIM.DAT y YOURSIM.DAT cada uno conteniendo

Cuando se añade una traza a una ventana Probe, puede hacer que el nombre de la presentación sea diferente del de la expresión de la traza:

1 En el menú Trace, seleccionar Add Trace.

2 En la caja de texto Trace Expression, introducir una expresión de la traza utilizando la sintaxis:

trace_expression[;*display_name*]

3 Click OK.

una onda V(2). Supongamos también que hay dos ventanas Probe en pantalla en donde la ventana A está cargada con MYSIM.DAT, y la ventana B con YOURSIM.DAT.

Cuando V(2) es copiado desde la ventana A a la B, la traza se verá diferente ya que está definida por los datos de YOURSIM.DAT en lugar de MYSIM.DAT.

Copiando y moviendo etiquetas

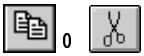
Las etiquetas pueden ser seleccionadas, movidas o copiadas tanto dentro de la misma ventana Probe como en otra ventana Probe.

Para más información sobre cómo añadir etiquetas (incluyendo texto, líneas, polilíneas, flechas, cajas, círculos, elipses y marcas), véase la Ayuda en Línea en PSpice A/D.

Para copiar etiquetas

1 Seleccionar una o más etiquetas (V+clic), o selecionar varias etiquetas dibujando un rectángulo de selección. Las etiquetas seleccionadas quedarán resaltadas.

2 En el menú Edit, seleccionar Copy o Cut para salvar las etiquetas en el portapapeles.



Cut elimina las etiquetas de la ventana Probe.

3 Cambiar a la ventana Probe en donde se quieran añadir las etiquetas, y en el menú Edit, seleccionar Paste.

pulsar C+v o

4 Clicar en la nueva localización para colocar las etiquetas.

Para mover etiquetas

1 Seleccionar una o más etiquetas (V+clic), o seleccionar varias etiquetas dibujando un rectángulo de selección. Las etiquetas seleccionadas quedarán resaltadas.

2 Mover las etiquetas arrastrándolas a una nueva posición.

Tabulando valores de datos de trazas

Puede generar una tabla de puntos de datos reflejando una o más trazas en la ventana Probe y utilizar esta información en un documento u hoja de cálculo.

Para ver la tabla de valores con los datos de las trazas

1 Seleccionar una o más etiquetas (V+clic). Las etiquetas seleccionadas quedarán resaltadas.

o

2 En el menú Edit, seleccionar Copy o Cut para salvar los valores de los puntos de datos de las trazas en el portapapeles.

   Cut elimina las trazas de la ventana Probe.

3 En Clipboard Viewer, en el menú Display, seleccionar Text o OEM Text.

Salvar los datos directamente a un fichero desde el visor del portapapeles puede crear datos superfluos al comienzo del fichero.

Para exportar los puntos de datos a otras aplicaciones

1 Seleccionar una o más etiquetas (V+clic). Las etiquetas seleccionadas quedarán resaltadas.

o

2 En el menú Edit, seleccionar Copy o Cut para salvar los valores de los puntos de datos de las trazas en el portapapeles.

   Cut elimina las trazas de la ventana Probe.

3 Pegar los datos desde el portapapeles al editor de textos, a un programa de hoja de cálculo o a un programa de cálculo técnico (como puede ser Mathcad).

4 Salvar el fichero.

Utilizando cursores

Cuando se muestran una o más trazas, pueden utilizarse cursores para ver las coordenadas exactas de dos puntos de la misma traza. Además, las diferencias se muestran entre los valores de coordenadas correspondientes para los dos cursores.

Visualizando cursores

Para ver ambos cursores

1 En el menú Trace, apuntar a Cursor, y seleccionar Display.

Se mostrará la ventana Probe Cursor, mostrando la posición actual del cursor en los ejes X e Y. Conforme mueva los cursores, cambiarán los valores mostrados en la caja de texto.

En el área analógica del dibujo (si la hubiera) ambos cursores están colocados inicialmente en la traza listada primero en la leyenda de trazas. El símbolo de la traza correspondiente quedará resaltado con una línea intermitente.

En el área digital del dibujo (si la hubiera) ambos cursores están colocados inicialmente sobre la traza nombrada primera en el eje Y. El nombre de la traza correspondiente está resaltado con una línea intermitente.

pulsar C+S+C o

Puede mover la caja del cursor en cualquier posición sobre la ventana Probe arrastrando la caja a otra posición.

Moviendo cursores

Para mover cursores a lo largo de la traza utilizando los comandos del menú

Para más información sobre los comandos del cursor, véase la ayuda en línea de PSpice A/D.

1 En el menú Trace, apuntar a Cursor, después seleccionar Peak, Trough, Slope, Min, Max, Point, o Search.

Para mover cursores a lo largo de la traza utilizando el ratón

Para una familia de curvas (como por ejemplo un barrido DC anidado), puede utilizar el ratón o las teclas de flechas para mover el cursor a una de las otras curvas en la familia. También puede clicar sobre la curva deseada.

1 Utilice los botones izquierdo y derecho del ratón como se describe en la Tabla 45.

Table 45 *Acciones del ratón para el control del cursor*

Clicar esto...	Para hacer esto con el cursor...
Asignación del cursor	
Clic izquierdo sobre el símbolo de la traza analógica o el nombre de la traza digital.	Asociar el primer cursor con la traza seleccionada.
Clic derecho sobre el símbolo de la traza analógica o el nombre de la traza digital.	Asociar el segundo cursor con la traza seleccionada.
Movimiento del cursor	
Clic izquierdo sobre el área de presentación	Mover el primer cursor sobre el segmento de traza más cercano a la posición X.
Clic derecho sobre el área de presentación.	Mover el segundo cursor sobre el segmento de traza más cercano a la posición X.

Para mover los cursores sobre una traza utilizando el teclado.

1 Utilice las combinaciones de teclas descritas en la Tabla 46.

Table 46 *Combinaciones de teclas para el control del cursor*

Utilice esta combinación de teclas...	Para hacer esto con los cursores...
C+l y C+r	Cambiar la traza asociada con el primer cursor.
V+C+l y V+C+r	Cambiar la traza asociada con el segundo cursor.
l y r	Mover el primer cursor sobre la traza.
V+l y V+r	Mover el segundo cursor sobre la traza.
h	Mover el primer cursor al comienzo de la traza.
V+h	Mover el segundo cursor al comienzo de la traza.
e	Mover el primer cursor al final de la traza.
V+e	Mover el segundo cursor al final de la traza.

Ejemplo: utilizando cursores

La Figura 121 muestra ambos cursores colocados en la señal Out en el área digital del dibujo, y ambos cursores en la onda V(1) en el área analógica del dibujo.

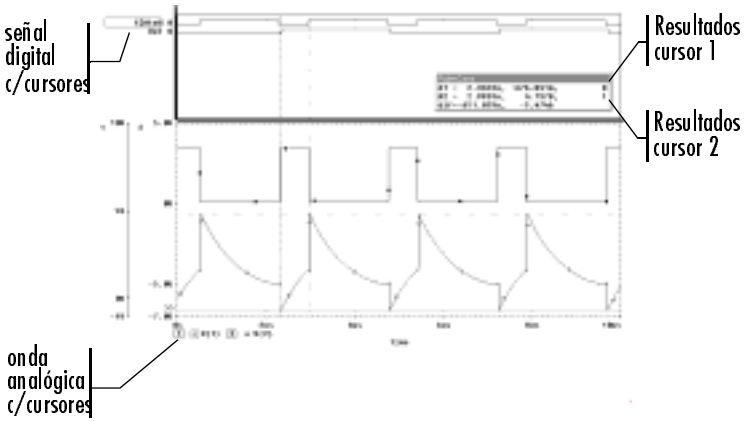


Figure 121 *Cursores colocados sobre una depresión o una cima de V(1)*

El Cursor 1 está colocado en la primera depresión (dip) de la onda V(1). El Cursor 2 está colocado en la segunda cima de la

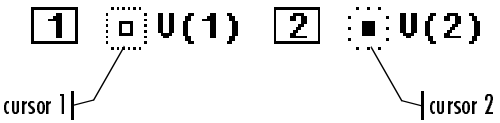
Para colocar el cursor en la onda siguiente, en el menú Trace, apuntar a Cursor, después seleccionar Trough.

Para colocar el cursor en la siguiente cima de una onda, en el menú Trace, apuntar a Cursor, y seleccionar Peak.

Para más información sobre los cursor, véase la ayuda en línea de PSpice A/D.

misma onda. En la ventana Probe Cursor, se muestran las coordenadas del cursor 1 y del cursor 2 (A1 y A2, respectivamente) con su diferencia mostrada en la línea inferior (dif). El estado lógico de la señal Out también se muestra en la parte derecha de las coordenadas del cursor.

Los botones del ratón también se utilizan para asociar cada cursor con una traza diferente clicando de forma apropiada tanto sobre el símbolo de la traza analógica en la leyenda o sobre el nombre de la traza digital (véase la Tabla 45 en la página 510). Estas son indicadas en el patrón correspondiente al patrón de cursor en forma de cruz asociado. Dado el ejemplo de la Figura 121, haciendo un clic derecho sobre el símbolo V(2) se asociará el cursor 2 con la onda V(2). La leyenda analógica aparecerá ahora como puede verse a continuación.



La ventana Probe Cursor también actualiza las coordenadas de A2 para reflejar los valores X e Y correspondientes a la onda V(2).

Traceando mensajes de simulación digital

PSpice A/D porporciona mensajes explicativos que se pueden producir durante una simulación digital con sus ondas correspondientes. Puede ver mensajes en :

- La caja de diálogo Simulation Message Summary, o
- La presentación de la onda.

Véase *Mensajes de condición de la simulación* en la página 433 para más información sobre los tipos de mensajes que pueden ser visualizados en PSpice A/D.

Traceo de mensajes desde el resumen de mensajes

Está disponible un resumen de mensajes para aquellas simulaciones en las que se hayan guardados los diagnósticos en el fichero de datos de ondas. Puede ver el resumen de los mensajes:

- Cuando cargue el fichero de datos de ondas (clicar OK cuando se muestre la caja de diálogo Simulation Errors).
- En cualquier momento seleccionando Simulation Messages en el menú View.

La caja de diálogo Simulation Message Summary

La caja de diálogo Simulation Message Summary lista mensajes de información de la cabecera. Puede filtrar los mensajes mostrados en la lista seleccionando un nivel de seguridad en el menú desplegable Minimum Severity Level. Los mensajes están agrupados (en orden de severidad decreciente) como FATAL, SERIOUS, WARNING, o INFO (informativos).

Cuando seleccione un nivel de seguridad, el Message Summary muestra únicamente aquellos mensajes con el nivel de seguridad seleccionado o *superior*. Por defecto, el mínimo nivel de seguridad mostrado es SERIOUS.

Ejemplo: Si selecciona WARNING como el mínimo nivel de seguridad, la caja de diálogo Simulation Message Summary mostrará los mensajes WARNING, SERIOUS, y FATAL.

Para ver ondas asociadas con mensajes

1 En la caja de diálogo Simulation Message Summary, hacer doble clic sobre un mensaje.

Para la mayoría de las condiciones de los mensajes, se mostrará una ventana Probe que contendrá las ondas asociadas a la condición de la simulación, así como el texto del mensaje detallado.

Problemas persistentes

Si se muestra un mensaje de tipo PERSISTENT HAZARD, se mostrarán dos dibujos (véase la Figura 122), conteniendo lo siguiente:

- Las ondas que provocaron inicialmente la violación de tiempos o el problema (dibujo inferior)
- Las salidas principales del estado interno de los dispositivos en los que se ha propagado la condición (dibujo superior).

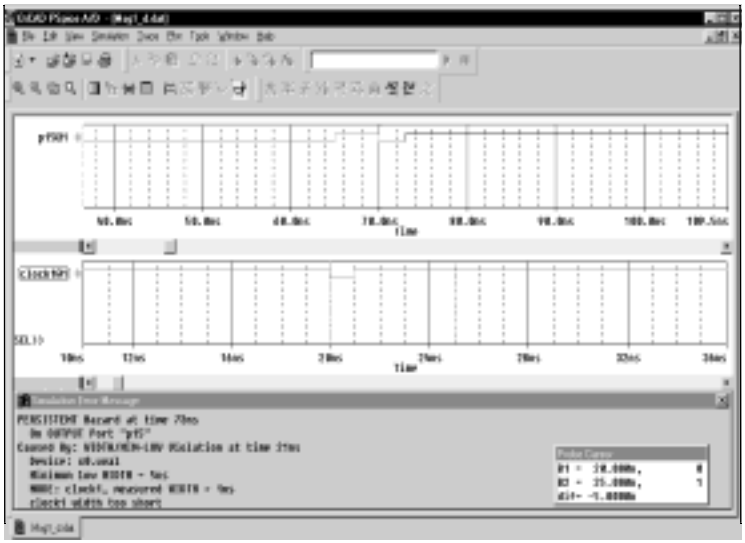


Figure 122 *Presentación de ondas para un problema persistente.*

Mensajes de las formas de onda

Los segmentos de trazas con diagnósticos asociados se muestran en el color de primer plano especificado en el fichero PSPICE.INI. Este color es diferente de los utilizados en las transiciones de estados estándares.

Para ver texto de mensajes explicativos

1 Hacer doble clic dentro de la región tabulada de una traza.

Expresiones de trazas

Las trazas están referenciadas por los nombres de las variables de salida. Las variables de salida son parecidas a las variables de salida de PSpice A/D especificadas en la caja de diálogo de Simulation Settings para los análisis de ruidos, Monte Carlo, del peor de los casos, las funciones de transferencia, y análisis de Fourier. De todas formas, hay formas de aliases adicionales que también son válidas para las expresiones de las trazas. Ambas formas se describen aquí.

Para añadir trazas utilizando variables de salida

1 En el menú Trace, seleccionar Add Trace para ver la caja de diálogo Add Traces.

2 Construir una expresión de traza utilizando cualquier combinación de los siguientes controles:

- En la zona Simulation Output Variables, clicar sobre output variables.
- En la zona Functions o Macros, seleccionar operators, functions, constants, o macros.
- En la caja de texto Trace Expression, teclear o editar las variables de salida, los operadores, las funciones, las constantes o las macros.

Puede ver un subconjunto de las variables de salida de la simulación seleccionando o borrando las cajas de chequeo de los tipos de variables de salida de la simulación disponibles en la zona Simulation Output Variables. Los tipos de variables no generados por la simulación del circuito quedarán difuminadas.

Para más información sobre las expresiones de trazas, véase *Expresiones de trazas analógicas* en la página 524 y *Expresiones de trazas digitales* en la página 527.

3 Si desea cambiar el nombre de la expresión de la traza conforme se muestra en la ventana Probe, utilice la siguiente sintasis:

expresión de la traza;nombre de presentación

4 Click OK.

Forma de la variable de salida báseica

Esta forma es representativa de aquellas utilizadas para especificar algunos análisis en PSpice A/D.

<*output*>[*AC suffix*](<*name*>[,*name*])

Este marcador de posición...	**Significa...**
<*output*>	tipo de entidad de salida: V para tensión o I para corriente (los valores digitales no necesitan un prefijo)
[*AC suffix*]*	Entidad que será reportada en un análisis AC. Para una lista de los sufijos AC válidos, véase la Tabla 49 en la página 520
<*name*>[,*name*]	Especifica tanto la parejas *net* o (+ *net*, - *net*) para las que se da la tensión, o el *dispositivo* para el que se da la corriente, en donde: • *net* especifica tanto la *net* o el *pin id* (<*fully qualified device name*>:<*pin name*>) • *device name* especifica el nombre del dispositivo totalmente cualificado, para una lista de tipos de dispositivos, véase la Tabla 50 en la página 520 y la Tabla 51 en la página 521

Un nombre de dispositivo bien definido consiste en el path jerárquico completo seguido por el designador de referencia del dispositivo. Para más información sobre la sintasis, véase las reglas de nombrado de la variable de salida de la tensión en la página 290.

Forma de la variable de salida para los terminales del dispositivo

Esta forma puede ser especificada por expresiones de trazas. La diferencia principal entre esta forma y la básica es que los símbolos de terminal aparecen antes que la especificación *net* o *device name* (en donde la forma básica la traza como el *pin name* dentro del *pin id*).

<*output*>[*terminal*]*[*AC suffix*](<*name*>[,*name*])

Este marcador de posición ...	**Significa...**
<*output*>	Tipo de entidad de salida: V para tensión, I para corriente, o N para ruido (los valores digitales no necesitan un prefijo)
[*terminal*]*	Uno o más terminales para dispositivos con con más de dos terminales; para una lista de los identificadores de los terminales, véase la Tabla 51 en la página 521
[*AC suffix*]*	Entidad que será reportada en un análisis C; para una lista de los sufijos AC válidos, véase la Tabla 49 en la página 520
<*name*>[,<*name*>])	*pareja net*, *net*, o un *device name* totalmente cualificado; para una lista de los tipos de dispositivos, véase Tabla 50 en la página 520 y la Tabla 51 en la página 521

La Tabla 47 en la página 520 resume los formatos de salida válidos. La Tabla 48 en la página 519 da ejemplos de variables de salida equivalentes. Fíjese que algunos formatos de variblas de salida son únicos para expresiones de trazas.

Table 47 *Tabla de valores de salida*

Formato	Significado
Variables de tensión	
V[*ac*](< +*conexión analógica*> [,< -*conexión analógica*>])	Tensión entre + y - *de los identificadores de una conexión analógica*
V<*nombre del pin*>[*ac*](< *dispositivo*>)	Tensión en el *nombre del pin* de un *dispositivo*
V< *x* >[*ac*](< *dispositivo terminal 3 o 4*>)	Tensión en un terminal no conectado a masa *x de un dispositivo terminal 3 o 4-*
V< *z* >[*ac*](< *dispositivo de línea de transmisión*>)	Tensión al final *z* de una *línea de transmisión (z es tanto A como B)*
Variables de corriente	
I[*ac*](< *dispositivo* >)	Corriente en un dispositivo
I< *x* >[*ac*](< *dispositivo terminal 3 o 4* >)	Corriente en el terminal *x* de un *dispositivo terminal 3 o 4*
I< *z* >[*ac*](< *dispositivo de línea de transmisión*>)	Corriente al final *z* de un *dispositivo de línea de transmisión (z es tanto A como B)*
Señal digital y variables de buse	
< *conexión digital* >[;< *nombre presentado* >]	Estado digital en la *conexión digital* etiquetado como *nombre presentado*
{< conexión digital >*}[;< *nombre presentado*>] [;< base >]	Bus digital etiquetado como *nombre presentado* y con una determinada *base*

Table 47 *Tabla de valores de salida*

Formato	Significado
Variables de barrido	
< Variable de barrido *DC* >	Nombre de cualquier variable utilizada en el análisis de barrido DC
FREQUENCY	Variable de análisis de barrido AC
TIME	Variable de barrido del análisis de transitorios
Variables de ruidos	
V[db](ONOISE)	Ruido total RMS sumado a la conexión de salida
V[db](INOISE)	Ruido total equivalente en una fuente de entrada
NTOT(ONOISE)	Suma de todas las contribuciones de ruido en el circuito
N< *noise type* >(< *device name* >)	Contribución desde el *tipo de ruido* del *nombre del dispositivo* al ruido total de salida*

* Véase la Tabla 52 en la página 517 para una lista completa de tipos de ruidos por tipo de dispositivo. Para más información sobre las ecuaciones de variables de salida de ruidos, las unidades utilizadas para representar las cantidades de ruidos en las expresiones de trazas, y un ejemplo de un análisis de ruidos, véase *Analizando ruidos en la ventana Probe* en la página 333.

Table 48 *Ejemplos de formatos de variables de salida*

Una forma básica	Un alias equivalente	Significado
V(NET3,NET2)	(el mismo)	Tensión entre las conexiones analógicas etiquetadas como NET3 y NET2
V(C1:1)	V1(C1)	Tensión en el pin 1 de C1
VP(Q2:B)	VBP(Q2)	fase de tensión en la base del transistor bipolar Q2

Table 48 *Ejemplos de formatos de variables de salida (continuación)*

Una forma básica	Un alias equivalente	Significado
V(T32:A)	VA(T32)	Tensión en el puerto A de la línea de transmisión T32
I(M1:D)	ID(M1)	Corriente a través del drenador del MOSFET M1
QA	(el mismo)	Estado digital de la conexión QA
{IN1, IN2, IN3}; MYBUS;X	(el mismo)	Bus digital formado por tres conexiones digitales (IN1, IN2, IN3) llamadas MYBUS y presentadas en hexadecimal
VIN	(el mismo)	Fuente de tensión llamada VIN
FREQUENCY	(el mismo)	Variable de barrido de un análisis AC
NFID(M1)	(el mismo)	ruido intermitente en MOSFET M1

Table 49 *Sufijos Ac de la variable de salida*

Sufijo	Significado de las variables de salida
none	magnitud
DB	magnitud en decibelios
G	retardo del grupo (-*d*PHASE/*d*FREQUENCY)
I	parte imaginaria
M	magnitud
P	fase en grados
R	parte real

Table 50 *Nombres de dispositivos para tipos de dispositivos con dos terminales*

Tipo de dispositivo de dos terminales*	Letra del tipo de dispositivo
Condensador	C
Diodo	D
Fuente de tensión controlada por tensión**	E

Table 50 *Nombres de dispositivos para tipos de dispositivos con dos terminales (continuación)*

Tipo de dispositivo de dos terminales*	Letra del tipo de dispositivo
Fuente de corriente controlada por corriente**	F
Fuente de corriente controlada por tensión**	G
Fuente de tensión controlada por corriente**	H
Fuente de corriente independiente	I
Bobina	L
Resistencia	R
Conmutador controlado por tensión**	S
Fuente de tensión independiente	V
Conmutador controlado por corriente**	W

* El nombre del pin para dispositivos con dos terminales es 1 o 2.

** Las entradas de control para estos dispositivos no se consideran terminales

Table 51 *Identificación de terminales para dispositivos de 3 o 4 terminales*

Tipo de dispositivo de tres y cuatro terminales	Letra del tipo de dispositivo	Identificación de los terminales
GaAs MOSFET	B	D (drenador) G (puerta) S (fuente)
Junción FET	J	D (drenador) G (puerta) S (fuente)
MOSFET	M	D (drenador) G (puerta) S (fuente) B (masa, sustrato)

Table 51 *Identificación de terminales para dispositivos de 3 o 4 terminales*

Tipo de dispositivo de tres y cuatro terminales	Letra del tipo de dispositivo	Identificación de los terminales
Transistor bipolar	Q	C (colector) B (base) E (emisor) S (substrate)
Línea de transmisión	T	A (lado *cercano*) B (*lado lejano*)
IGBT	Z	C (colector) G (puerta) E (emisor)

Table 52 *Tipos de ruidos por tipo de dispositivo*

Tipo de dispositivo	Tipos de ruido*	Significado
B (GaAsFET)	FID	filtro de ruidos
	RD	ruido térmico asociado con RD
	RG	ruido térmico asociado con RG
	RS	ruido térmico asociado con RS
	SID	aguja de ruido
	TOT	ruido total
D (diodo)	FID	ruido intermitente
	RS	ruido térmico asociado con RS
	SID	aguja de ruido
	TOT	ruido total
Entrada digital	RHI	ruido térmico asociado con RHI
	RLO	ruido térmico asociado con RLO
	TOT	ruido
Salida digital	TOT	ruido total
J (JFET)	FID	ruido intermitente
	RD	ruido térmico asociado con RD
	RG	ruido térmico asociado con RG
	RS	ruido térmico asociado con RS
	SID	aguja de ruido
	TOT	ruido total
M (MOSFET)	FID	ruido intermitente
	RB	ruido térmico asociado con RB
	RD	ruido térmico asociado con RD
	RG	ruido térmico asociado con RG
	RS	ruido térmico asociado con RS
	SID	aguja de ruido
	TOT	ruido total

Tabla **Table 52** *Tipos de ruidos por tipo de dispositivo (continuación)*

tipo de dispositivo	Tipos de ruido*	Significado
Q (BJT)	FIB	ruido intermitente
	RB	ruido térmico asociado con RB
	RC	ruido térmico asociado con RC
	RE	ruido térmico asociado con RE
	SIB	aguja de ruido asociada con la corriente de base
	SIC	aguja de ruido asociada con la corriente de colector
	TOT	ruido total
R (resistencia)	TOT	ruido total
Iconmutador	TOT	ruido total
Conmutador V	TOT	ruido total

* Estas variables informan de la contribución al ruido del ruido de cada dispositico especificado en unidades de V^2/Hz. Esto significa que la suma de todas las contribuciones a ruidos de los dispositicos es igual al ruido total de salida en V^2/Hz, NTOT(ONOISE).

Expresiones de trazas analógicas

Alías de expresiones de trazas

Las expresiones de trazas analógicas varían desde las variables de salida utilizadas en la simulación debido a que los valores de las conexiones analógicas pueden ser especificados por:

<*variable de salida*>[;*nombre de presentación*]

Al contrario que en el formato <*output variable*> utilizado en estos análisis. Con este formato, la expresión de la traza analógica puede visualizarse en la leyenda analógica con un alias opcional.

Funciones aritméticas

Las expresiones aritméticas o las variables de salida analógicas utilizan los mismos operadores que los utilizados en los análisis de simulación (por medio de las definiciones de propiedades de partes en Capture). También puede utilizar funciones intrínsecas en expresiones. Las funciones intrínsecas para las expresiones

de las trazas son parecidas a las disponibles en las expresiones matemáticas de PSpice A/D, pero con algunas difierencias, como puede verse en la Tabla 53. En la Tabla 10 en la página 112 puede verse una lista completa de las funciones aritméticas de PSpice A/Din.

Table 53 *Funciones aritméticas analógicas para expresiones de trazas*

Función Probe	**Descripción**	**Disponible en PSpice A/D?**
ABS(x)	|x|	SI
SGN(x)	+1 (if x>0), 0 (if x=0), -1 (if x<0)	SI
SQRT(x)	$x^{1/2}$	SI
EXP(x)	e^x	SI
LOG(x)	*ln*(x)	SI
LOG10(x)	*log*(x)	SI
M(x)	magnitud de x	SI
P(x)	Fase de x (grados)	SI
R(x)	Parte real de x	SI
IMG(x)	Parte imaginaria de x	SI
G(x)	Retardo de grupo de x (segundos)	NO
PWR(x,y)	$\|x\|^y$	SI
SIN(x)	*sin*(x)	SI
COS(x)	*cos*(x)	SI
TAN(x)	*tan*(x)	SI
ATAN(x) ARCTAN(x)	tan^{-1}(x)	SI
d(x)	Derivada de x respecto a la variable en el eje X	SI
s(x)	Integral de x en el rango de la variable en el eje X	SI
AVG(x)	media de la ejecución de x en función del rango de la variable en el eje x	SI
AVGX(x,d)	Media de ejecución de X desde el valor en el eje X-d hasta el valor del eje X (x)	NO

Table 53 *Funciones aritméticas analógicas para expresiones de trazas*

Función Probe	Descripción	Disponible en PSpice A/D?
RMS(x)	Media RMS de la ejecución de x en función del rango de la variable en el eje x	NO
DB(x)	magnitud en decibelios de x	NO
MIN(x)	mínimo de la parte real de x	NO
MAX(x)	máximo de la parte real de x	NO

Note *Para el análisis AC, PSpice A/D utiliza expresiones aritméticas complejas para evaluar las expresiones de las trazas. Si el resultado de la expresión es complejo, se mostrará su magnitud.*

Reglas para los sufijos de valores numéricos

Los valores numéricos explícitos se introducen en las expresiones de trazas del mismo modo que en los análisis de simulación (por medio de las propiedades de partes en Capture) con las excepciones siguientes:

- Los sufijos M y MEG son reemplazados por una m (mlli, 1E-3) y una M (mega, 1E+6), respectivamente.
- MIL y mil no están soportados.
- Con la excepción de los sufijos de escala m y M, PSpice no es sensible al contexto, así, las minúsculas y mayúsculas son equivalentes.

Los sufijos de unidades se útilizan únicamente para etiquetar el eje; no afectan jamás a los resultados numéricos. Aun así, es una buena idea salvarlos que dejar fuera un sufijo numérico.

Las unidades a utilizar para expresiones de trazas se muestran en la Tabla 54.

Ejemplo: V(5) y v(5) son equivalentes en las expresiones de trazas.

Ejemplo: Las cantidades 2e-3, 2mV, y .002v tienen todas el mismo valor numérico. Para etiquetar los ejes, PSpice A/D reconoce que la segunda y tercera forma están en voltios, mientras que la primera no tiene dimensiones.

PSpice también sabe que W=V·A, V=W/A, y A=W/V. De modo que si añade esta traza:

V(5)*ID(M13)

Los valores del eje aparecerán etiquetados con W.

Para una demostración de la presentación de las trazas analógicas, véase *Ejemplo analógico* en la página 493.

Table 54 *Unidades de salida para expresiones de trazas*

Símbolu	Unidades
V	voltios
A	amperios
W	watios
d	grados (o fase)
s	segundos
Hz	herzios

Expresiones de trazas digitales

Las variables de salida digitales en expresiones de trazas varían de las utilizadas en los análisis de simulación, así:

- Los valores de las conexiones digitales están definidos por:

  <conexión digital>[;*nombre de presentación*]

  Al contrario que el formato *<digital net>* utilizado para el análisis. Con este formato, la señal digital puede ser mostrada en el dibujo digital con un alias opcional.

- La salida de varias conexiones digitales puede ser reunida en una simple salida de base mayor conocida como un bus.

- Un bus se forma englobando una lista de nombres de conexiones digitales (separadas por espacios en blanco o comas) dentro de corchetes conforme a este formato:

  {*<high-order net>* [*mid-order net*]* *<low-order net>*}

  Los elementos de la definición del bus, tomados de izquierda a derecha, especifican los valores de salida del bus de mayor a menor orden.

Por definición, una *señal digital* es un valor de una conexión digital o una expresión lógica encerrando conexiones digitales. Para los formatos de variables de salida digitales descritos anteriormente, puede utilizar una expresión de una señal digital en cualquier lugar en el que se espere un nombre de conexión.

Para una explicación del procedimiento de las expresiones de las trazas digitales, véase *Analizando los resultados* en la página 426 del capítulo *Simulación digital*.

Ejemplo: Puede querer que las cuatro líneas del bus se muestren juntas como un dígito hexadecimal. Puede combinar hasta 32 señales en un bus.

Ejemplo: { Q2, Q1, Q0 } define un bus de 3 bits cuyo bit de mayor orden es el valor digital en la conexión Q2.

También puede formar buses utilizando operadores lógicos y aritméticos.

La forma generalizada para definir una traza digital es:

<expresiones de la traza digital> [;*nombre de presentación* [;base]]

Ejemplo: Puede visualizar la opción de designación de base con la expresión de la traza digital dejando el nombre de presentación en blanco y utilizando la siguiente sintasis:

digital trace expression;;radix

Este marcador de posición...	**Significa esto...**
expresión de traza digital	Expresión de los buses o señales digitales.
nombre de presentación	Nombre que será mostrado en la pantalla; si no se especifica alguno, se utilizará la expresión de la traza actial; si se expresa uno, este quedará disponible para las siguientes definiciones de trazas.
Base	Se aplica solo a buses e indica la base en la que se muestra el valor del bus, la base se especifica así: H or X hexadecimal (por defecto) D decimal O octal B binario

La Tabla 55 muestra los operadores disponibles para las señales digitales y las expresiones de buses listadas en orden de preferencia (alto a bajo).

Table 55 *Operadores digitales lógicos y aritméticos*

Operador	**Significado**
()	Agrupamiento
~	Complemento lógico
*	multiplicación (solo valores de buses)
/	división (solo valores de buses)
+	adición (solo valores de buses)
-	sustracción (solo valores de buses)

Table 55 *Operadores digitales lógicos y aritméticos*

Operador	Significado
&	y
^	or exclusiva
|	o

Una operación lógica o aritmética entre dos operandos de un bus da como resultado un valor de bus que es tan ancho como sea necesario para contener el resultado. Antes de la operación, si fuera necesario, el operando más corto será extendido a la anchura del operando mayor, rellenándose de ceros al final del número de mayor orden.

Una operación lógica o aritmética entre un operando de un bus y una señal da como resultado un bus. Antes de la operación, la señal será convertida a un bus de ancho uno, y después se ampliará si fuera necesario.

Puede utilizar constantes en las expresiones de señales. Especifíquelas como se muestra en la Tabla 56.

Table 56 *Constantes de señales para expresiones de trazas digitales*

Constante	Significado
’0	Bajo
’1	Alto
’F	Caida
’R	Subida
’X	Desconocido
’Z	Alta impedancia

Puede utilizar constantes de bus en expresiones de bus. Especifíquelas como cadenas de la forma:

r'ddd

Notaciones de ejemplo para constantes de bus:

Esta notación...	Tiene esta base...
x'3FFFF	hexadecimal
h'5a	hexadecimal
d'79	decimal
o'177400	octal
b'100110	binaria

Este marcador de posición...	**Significa esto...**
r	Indicador de la base sensible a mayúsculas/minúsculas (x, h, d, o, o b)
ddd	Cadena de dígitos apropiada a la base especificada

Para una discursión y explicación de la presentación de trazas digitales, complete el *Tutorial mixto analógico/digital* en la página 496.

Otras opciones de salida

18

Presentación general

Este capítulo describe cómo sacar los resultados además de los escritos en el fichero de datos o en el fichero de salida.

- *Visualizando resultados analógicos en la ventana de PSpice* en la página 532 explica cómo monitorizar los valores numéricos para tensiones o corrientes de hasta tres conexiones conforme se realiza la simulación.
- *Escribiendo resultados adicionales al fichero de salida de PSpice* en la página 533 explica cómo generar líneas de dibujo y tablas adicionales de valores de tensión y corriente del fichero de salida de PSpice.
- *Creando ficheros de vectores de prueba* en la página 536 explica cómo salvar estados de salida digitales a un fichero que pueda utilizarse posteriormente como entrada a otro circuito.

Visualizando resultados analógicos en la ventana de PSpice

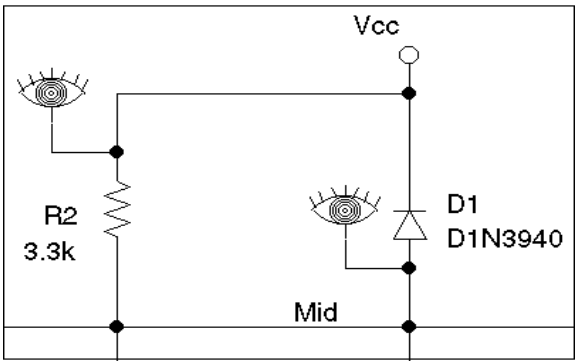
Capture tiene una parte especial WATCH1 que deja ver valores de tensión en el esquema como un barrido DC. AC o un análisis de transitorios. Los resultados se muestran en PSpice A/D.

Para ver valores de tensión en la ventana de PSpice

1. Colocar y conectar una parte WATCH1 (en la librería SPECIAL.OLB de PSpice) en una conexión analógica.
2. Clicar dos veces sobre WATCH1 para ver la hoja de cálculo Parts.
3. En la columna de propiedades ANALYSIS, teclear DC, AC, o TRAN (transitorio) para los resultados del tipo de análisis que se deseen visualizar.
4. Introducir valores en las columnas de propiedades LO y HI para definir los límites superior e inferior, respectivamente, en los valores que se esperen visualizar en esta conexión.
5. Repetir los pasos 1 a 4 para dos copias más de WATCH1.
6. Iniciar la simulación.

Si los resultados sobrepasan los límites especificados, PSpice A/D detendrá la simulación para que pueda investigarse el comportamiento.

Por ejemplo, en el trozo de esquema mostrado abajo, las partes WATCH1 están conectadas a las conexiones Mid y Vcc. Después de iniciar la simulación, PSpice A/D mostrará las tensiones de las conexiones Mid y Vcc.



Escribiendo resultados adicionales al fichero de salida de PSpice

Capture tiene partes especiales que le permiten salvar resultados adicionales de la simulación en el fichero de salida de PSpice o en impresoras o en tablas.

Para ver el fichero de salida de PSpice después de haber ejecutado la simulación:

1 En el menú Simulation, seleccionar Examine Output.

Generando dibujos de los valores de tensión y corriente

Puede generar impresiones de tensiones y corrientes para cualquier barrido DC, AC o análisis de transitorios.

Para generar dibujos de tensiones o corrientes en el fichero de salida

1 Coloque y conecte cualquiera de las partes siguientes (de la librería SPECIAL.OLB de PSpice).

Utilice esta parte ...	Para dibujar esto...
VPLOT1	Tensión en la conexión en la que está conectado el terminal de la parte.
VPLOT2	Tensión diferencial entre dos conexiones a las que están conectados sus terminales.
IPLOT	Corriente a través de una conexión. (Insertar esta parte en serie, igual que un medidor de corriente.)

2 Hacer doble clic sobre la copia de la parte para ver la hoja de cálculo Parts.

3 Clicar sobre el nombre de la propiedad para el tipo de análisis que desee dibujar: DC, AC, o TRAN.

4 En las columnas para el tipo de análisis que desee dibujar (DC, AC o TRAN), teclee cualquier valor como Y, YES o 1.

Si no habilita un formato, PSpice A/D utiliza por defecto MAG.

5 Si seleccionó un tipo de análisis AC, habilite un formato de salida:

a Clicar sobre el nombre de la propiedad para uno de los siguientes formatos de salida: MAG (magnitud), PHASE, REAL, IMAG (imaginario), o DB.

b Teclear cualquier valor como Y, YES o 1.

c Repetir los pasos anteriores (a) y (b) para cada formato de salida AC que se quiera dibujar.

6 Repetir los pasos 2 a 5 para cualquier tipo de análisis adicional que desee dibujar.

Note *Si no habilitó un tipo de análisis, PSpice A/D reportará los resultados del transitorio.*

Generando tablas de valores de tensión y corriente

Puede generar tablas con valores de tensión y corriente en las conexiones para cualquier análisis de barrido DC, AC o de transitorios.

Para generar tablas de tensiones o corrientes en el fichero de salida

1 Colocar y conectar cualquiera de las partes siguientes (de la librería SPECIAL.OLB de PSpice).

Utilice esta parte...	Para tabular esto...
VPRINT1	Tensión en la conexión a la que está conectado el terminal de la parte
VPRINT2	Tensión diferencial entre las dos conexiones a las que están conectados los terminales de las partes.
IPRINT	Corriente a través de un corte en la conexión (Insertar esta parte en serie, igual que un amperímetro.)

2 Hacer doble clic sobre la copia de la parte para ver la hoja de cálculo Parts.

3 Clicar sobre el nombre de la propiedad para el tipo de análisis que desee tabular: DC, AC, o TRAN.

4 En las columnas para el tipo de análisis que desee dibujar (DC, AC o TRAN), teclear cualquier valor como Y, YES o 1.

5 Si seleccionó el tipo de análisis AC, habilite un formato de salida.

Si no habilita un formato, PSpice A/D utiliza por defecto MAG.

- **a** Clicar el nombre de la propiedad para uno de los siguientes formatos de salida: MAG (magnitud), PHASE, REAL, IMAG (imaginario), o DB.
- **b** Teclear cualquier valor como Y, YES o 1.
- **c** Repetir los pasos anteriores (a) y (b) para cada formato de salida AC que desee tabular.

6 Repetir los pasos 2 a 5 para cualquier tipo de análisis adicional que desee dibujar.

Note *Si no habilitó un tipo de análisis, PSpice A/D informará de los resultados del transitorio.*

Generando tablas con cambios en los estados digitales

Puede generar una tabla con los cambios de los estados digitales durante un análisis de transitorios para cada conexión.

Para generar una tabla de cambios en el estado digital en el fichero de salida

1 Colocar una parte PRINTDGTLCHG (de la librería SPECIAL.OLB de PSpice) y conectarla a la conexión en la que esté interesado.

Creando ficheros de vectores de prueba

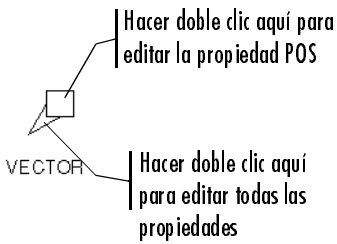
Para ver más sobre la sintasis del fichero de vectores, acuda a la *Manual de Referencia en Línea de OrCAD PSpice A/D*.

Capture proporciona una parte especial VECTOR que le permite salvar los resultados de la simulación en un fichero de vectores. Siempre que una conexión que tenga una parte VECTOR asociada cambie de estado, PSpice A/D escribirá una línea de datos de *valores-tiempos* en el fichero de vectores utilizando el mismo formato que en el fichero de impulsos del dispositivo. Esto significa que puede utilizar el fichero de vectores para llevar entradas de otras simulaciones.

Para ver más sobre la definición de un impulso digital, véase *Definiendo un impulso digital* en la página 409.

Para generar un fichero de vectores de prueba desde el circuito

1. Colocar una parte VECTORn (en la librería SPECIAL.OLB de PSpice) y conectarla al hilo o bus como la salida de la copia de una parte digital.
2. Hacer doble clic sobre la copia de la parte VECTORn para ver la hoja de cálculo Parts.
3. Fijar las propiedades de las partes así:



Para esta propiedad...	Defina esto...
POS	Posición de la columna en el fichero. El rango de valores válido es desde 1 a 255.
FILE	Nombre del fichero vector. Si se deja en blanco, PSpice A/D creará un fichero llamado NOMBRE_DEL_ESQUEMA.VEC.

Para esta propiedad...	Defina esto...
RADIX	Si la parte VECTOR no está unida a un bus, la notación numérica para un bus. Valores válidos son B[inario], O[ctal], y H[exadecimal].
BIT	Si la parte VECTOR está unida a un bus, la posición del bit dentro de un digito hexadecimal u octal.
SIGNAMES	Nombres de las señales que aparecen en la cabecera del fichero. Si se deja en blanco, PSpice A/D hace lo siguiente por defecto: • Para un hilo, la etiqueta (nombre) del hilo. • Para un bus, un nombre derivado de la posición de cada señal en el bus (desde MSB a LSB).

Note *Puede agrupar valores de señales separadas especificando la misma propiedad POS y definiendo RADIX como Hex o Octal. Definir la posición del bit dentro del valor utilizando la propiedad.*

4 Repita los pasos del 1 al 3 para cada vector de prueba que desee crear.

Preparando el estado inicial

A

Presentación general del Apéndice

Este apéndice incluye las siguientes secciones:

- *Salvando y cargando el punto de trabajo* en la página 540
- *Setpoints* en la página 542
- *Fijando condiciones iniciales* en la página 544

Si el circuito utiliza componentes de alta ganancia, o si el comportamiento del circuito no es lineal en el punto de trabajo, esta utilidad no es válida

Véase *Preparando el análisis* en la página 288 para una descripción de la caja de diálogo Analysis Setup.

Load bias point

Load bias point es una función de control de la simulación que le permite fijar el punto de trabajo como una condición inicial. Una razón muy común para dar a PSpice A/D condiciones iniciales es para seleccionar uno o más puntos de operación estables (por ejemplo, fijar o resetear un biestable).

Para utilizar load bias point

1. Ejecutar una simulación utilizando la opción Save Bias Point en la caja de diálogo Simulation Settings.
2. Antes de ejecutar otra simulación, clicar sobre la pestaña Analysis en la caja de diálogo Simulation Settings.
3. En Options, seleccionar Load Bias Point.
4. Especificar un fichero de punto de trabajo a cargar. Incluir el path si el fichero no estuviese localizado en el directorio de trabajo o utilice el botón Browse para localizar el fichero.
5. Clicar sobre OK.

Véase *Preparando el análisis* en la página 288 para una descripción de la caja de diálogo Analysis Setup.

Setpoints

Los pseudo componentes que especifican condiciones iniciales son llamados setpoints. Estos se aplican a la parte analógica del circuito.

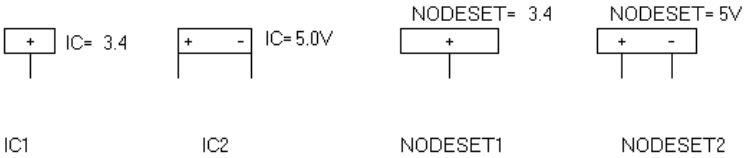


Figure A-1 *Setpoints.*

El ejemplo de la Figura A-1 incluye lo siguiente:

IC1	un símbolo de 1 pin que le permite fijar la condición inicial de una conexión tanto para pequeña señal como para el punto de trabajo de los transitorios.
IC2	un símbolo de dos pines que le permite fijar la condición inicial entre dos conexiónes.

Utilizando símbolos IC se fijan las condiciones iniciales. No afecta al barrido DC. Si su diseño contiene tanto un símbolo IC como un símbolo NODESET para la misma conexión, el símbolo NODESET será ignorado.

Para especificar la condición inicial, editar el valor de la propiedad VALUE a la condición inicial deseada. PSpice A/D une una fuente de tensión con una resistencia en serie de 0.0002 ohm a cada conexión en la que se haya conectado un símbolo IC. La tensión queda fijada de esta forma durante todo el cálculo del punto de trabajo.

NODESET1 es un símbolo de un pin que le ayuda a calcular el punto de trabajo dando una suposición inicial para algunas conexiones. NODESET2 es un símbolo de dios pines que le ayuda a calcular el punto de trabajo entre dos conexiones. Algunas de todas las conexiones del circuito pueden tener que asignárselas un estado teórico inicial. Los símbolos NODESET son efectivos para el punto de trabajo (punto de trabajo tanto de pequeña señal como de transitorios) y para el primer paso del barrido DC. No tiene efecto durante el resto del barrido DC o durante el propio análisis de transitorios.

Al contrario que los pseudo componentes IC, NODESET da solo una estimación inicial para las tensiones de algunas conexiones. No lleva esos nodos a las tensiones especificadas. De todas formas, dando un estimación inicial, los símbolos NODESET pueden ser utilizados para romper el vínculo (por ejemplo, en un biestable) y llevarlo al estado deseado. Para calcular el punto de trabajo, introducir la estimación inicial en la caja de texto Value para la propiedad VALUE. PSpice A/D une una fuente de tensión con una resistencia en serie de 0.0002 ohm a cada conexión a la que esté conectado el símbolo IC.

Estos pseudo componentes están en las listas de conexiones como comandos .IC y .NODESET en PSpice A/D. Véanse estos comandos en el *Manual de Referencia en Línea de OrCAD PSpice A/D* para más información. Los Setpoints pueden ser creados para corrientes de bobinas y tensiones en condensadores utilizando la propiedad IC descrita en *Fijando condiciones iniciales* en la página 544.

Fijando condiciones iniciales

La propiedad IC permite fijar condiciones iniciales en bobinas y condensadores. Estas condiciones son aplicadas durante todos los cálculos del punto de trabajo. De todas formas, si selecciona la caja Skip Initial Transient Solution en la caja de diálogo Transient Analysis Setup, se saltará el cálculo del punto de trabajo y la simulación procederá directamente con el análisis de transitorios en TIME=0. Los dispositivos con la propiedad IC están definidos para que comiencen con el valor de corriente o tensión especificados: el resto de los dispositivos poseen una tensión y corriente iniciales de 0.

Note *Saltando el cálculo del punto de trabajo puede provocar que el análisis de transitorios tenga problemas de convergencia.*

Véase *Setpoints* en la página 542 para más información sobre IC1 y IC2.

Aplicando una propiedad IC a un condensador tiene el mismo efecto que aplicar uno de los pseudo componentes IC1 o IC2 a través de sus nodos. PSpice A/D une una fuente de tensión con una resistencia en serie de 0.002 ohm en paralelo con el condensador. La propiedad IC permite al usuario asociar la condición inicial con un dispositivo, mientras que los pseudo componentes IC1 e IC2 permiten la asociación entre un nodo o un pareja de nodos.

En el caso de corrientes iniciales a través de bobinas, la asociación es únicamente con un dispositivo, por lo que no habrán pseudo componentes. La implementación interna es análoga al condensador. PSpice A/D une una fuente de corriente con una resistencia en paralelo de 1 Gohm y en serie con la bobina.

Convergencia y “errores de escalones de tiempos muy cortos”

B

Generalidades del apéndice

Este apéndice explica los errores más comunes y los problemas de convergencia en PSpice.

- *Introducción* en la página 546
- *Punto de trabajo y barrido DC* en la página 551
- *Análisis de transitorios* en la página 554
- *Diagnósticos* en la página 559

Introducción

Para calcular el punto de trabajo, el barrido DC y el análisis de transitorios para los dispositivos analógicos de PSpice deberán resolver un conjunto de ecuaciones no lineales que describen el comportamiento del circuito. Esto se realiza utilizando una técnica interactiva—el algoritmo Newton-Raphson—que comienza con una aproximación inicial a la solución y de forma interactiva la mejora hasta que los sucesivos valores de tensiones y corrientes convergan al mismo resultado.

Algunas veces, PSpice no puede encontrar una solución a las ecuaciones del circuito no lineales. A esto generalmente se le llama un “problema de convergencia” ya que el síntoma es que la repetición de series de Newton-Raphson no convergen en un conjunto consistente de tensiones y corrientes. La siguiente discursión da una base sobre los algoritmos en PSpice y una guía para evitar problemas de convergencia.

Los análisis de ruidos y AC son lineales y no utilizan un algoritmo interactivo, de modo que esto no se aplica a ellos. Los dispositivos digitales se evaluan utilizando álgebra de boole; esto tampoco se aplica a ellos.

El análisis de transitorios posee la posibilidad adicional de ser incapaz de continuar debido a que el tiempo requerido se vuelve demasiado corto para algo que en el circuito es demasiado rápido. Esto también se explicará posteriormente.

Requerimientos de Newton-Raphson

El algoritmo Newton-Raphson está *garantizado para que converga a una solución*. De todas formas, esta garantía tiene algunas condiciones:

1 Las ecuaciones no lineales deberán tener una solución.

2 Las ecuaciones deberán ser continuas.

3 El algoritmo necesita las derivadas de las ecuaciones.

4 La aproximación inicial debe quedar cerca de la solución.

Cada una de estas condiciones tiene que ser realizada por orden. Recuerde que los algoritmos de PSpice son utilizados en un ordenador que tiene una precisión finita y un rango dinámico finito que produce estos límites:

- Las tensiones y corrientes en PSpice están limitadas a +/-1e10 voltios y amperios.
- Las derivadas en PSpice están limitadas a 1e14.
- La aritmética utilizada en PSpice es de doble precisión y tiene una precisión de 15 dígitos.

¿Es una solución?

Si, para cualquier circuito realista. De todas formas, no es difícil preparar un circuito que no tenga solución dentro de los cálculos numéricos de PSpice. Consideremos un ejemplo, una fuente de tensión de un megavoltio conectada a una resistencia de un microohmnio. Este circuito no tiene solución dentro del rango dinámico de corriente (+/- 1e10 amperios). He aquí otro ejemplo:

```
V1      1,      0       5v
D1      1,      0       DMOD
.MODEL          DMOD(IS=1e-16)
```

El problema aquí es que el modelo de diodo no tiene resistencia en serie. Puede verse que la corriente a través del diodo es:

$$I = IS*e^{V/(N*k*T)}$$

N vale por defecto uno y k*T a la temperatura de la habitación es aproximadamente de .025 voltios. Así, en este ejemplo, la corriente a través del diodo será de:

$$I = 1e\text{-}16*e^{200} = 7.22e70 \text{ amperios}$$

Este circuito no tiene una solución dentro de los límites del rango dinámico de PSpice. En general hay que tener cuidado con los componentes sin límites construidos dentro de él. Y un cuidado especial cuando se utilicen las expresiones para fuentes controladas (como es el modelado del comportamiento). Es fácil escribir expresiones con valores muy largos.

Par ver más sobre las ecuaciones de diodos, véase el capítulo *Dispositivos analógicos* en el *Manual de referencia en línea de OrCAD PSpice A/D*.

¿Son las ecuaciones continuas?

Las ecuaciones de dispositivos construidas dentro de PSpice son continuas. Las funciones disponibles para el modelado del comportamiento son también continuas (hay muchas funciones, como por ejemplo int(x), que no pueden ser añadidas debido a esto). Así, para circuitos reales físicos, las ecuaciones también pueden ser continuas. Las excepciones que aparecen son normalmente por exceder los límites de los valores numéricos en PSpice. Este ejemplo trata de aproximar un conmutador ideal utilizando el modelo del diodo:

.MODEL DMOD(IS=1e-16 N=1e-6)

La corriente a través del diodo es:

$$I = 1e\text{-}16 * e^{V/(N*.025)} = 1e\text{-}16 * e^{V/25e\text{-}9}$$

Evitar parámetros de modelos no reales. Las expresiones de modelado del comportamiento necesitan un cuidado extra.

Como el denominador de la exponencial es demasiado pequeño. la corriente I es prácticamente cero para V < 0 e infinita para V > 0. Incluso si hubiesen componentes externos que limitaran la corriente, el “codo” de las curvas I-V del diodo es demasiado brusca por lo que se considera una discontinuidad.

¿Son las derivadas correctas?

Las ecuaciones de dispositivos construidas en PSpice incluyen las derivadas, y estas son correctas. Dependiendo del dispositivo, el significado físico de las derivadas es la conductancia, la transconductancia o la ganancia a pequeña señal.

Los parámetros de modelos no reales pueden exceder del límite de 1e14, pero necesitan algún esfuerzo. El punto principal a revisar son las expresiones de modelado del comportamiento, especialmente aquellas que posean denominadores.

Es la aproximación inicial suficientemente cercana?

Newton-Raphson está garantizado para que converga únicamente si el análisis se inicia cerca de la respuesta. También no hay medida que puede indicar lo cerca que se está de ella.

PSpice va alrededor de esto haciendo un uso intensivo de la continuidad. Cada análisis comienza desde una solución conocida y utiliza un tamaño de paso variable para encontrar la siguiente solución. Si la siguiente solución no converge, PSpice reduce el tamaño del paso, vuelve atras y lo intenta de nuevo.

Punto de trabajo

Lo más complicada de todo el proceso es el comienzo: encontrar el punto de trabajo. PSpice lo intenta primero con las fuentes de alimentación al 100%. No se garantiza una solución, pero la mayoría de las veces el algoritmo de PSpice la encuentra. Si no fuera así, las fuentes de alimentación se llevan a un valor cercano a cero. Se cortan a un nivel lo suficientemente pequeño para que *todas las no linearidades se desactiven.* Cuando un circuito es lineal puede encontrarse una solución (muy cercana a 0). Así, PSpice trabaja hasta llevar las fuentes de alimentación a un valor del 100% utilizando pasos de tamaño variable.

Una vez encontrado el punto de trabajo, puede realizarse el análisis de transitorios. Comienza con una solución conocida (el punto de trabajo) y salta hacia adelante en el tiempo. El tamaño del escalón es variable y se reduce si fuera necesario para encontrar posibles soluciones.

Barrido DC

El barrido DC utiliza una aproximación híbrida. Utiliza el algoritmo del punto de trabajo (variando las fuentes de alimentación) para comenzar. Para los pasos siguientes utiliza la solución anterior como aproximación inicial. Este paso no es variable. Si no puede encontrarse una solución en el escalón se utiliza un algoritmo del punto de trabajo para ese paso.

Todo el proceso hace un uso intensivo de la continuidad. También requiere que el circuito sea lineal cuando se desactiven las alimentaciones.

STEPGMIN

Un algoritmo interactivo es el paso GMIN. Este no se obtiene por defecto, y se habilita especificando la opción de análisis de circuito STEPGMIN (utilizando tanto .OPTION STEPGMIN en la lista de conexiones, o realizando la selección apropiada en el menú Analysis/Setup/Options). Cuando se habilita, el algoritmo de pasos GMIN se aplica después que el circuito falla al converger con la fuente de alimentación al 100%, y si GMIN también falla, las alimentación se devuelven a cero.

El paso GMIN trata de encontrar una solución comenzando un ciclo repetitivo con un valor grande de GMIN, inicialmente 1.0e10 veces el valor nominal. Si se encuentra una solución con este valor, reduce el valor de GMIN en un factor de 10, y lo intenta de nuevo. Esto continua hasta que GMIN vuelve a valer su valor nominal, o hasta que uno de los ciclos falle. En el último caso, GMIN se pone a su valor nominal y las fuentes de alimentación se escalonan.

Punto de trabajo y barrido DC

Escalonamiento de la fuente de alimentación

Como se explicó anteriormente, PSpice utiliza un algoritmo propietario que encuentra un path continuo desde niveles de potencia cero hasta el 100%. Comienza con un nivel de potencia muy cercano a cero (.001%) y lo va variando hasta niveles del 100%. El escalón mínimo es de 1e-6 (.0001%). Las primeras series de repetición del primer paso *comienzan a cero para todas las tensiones*.

Semiconductores

Parámetros de modelo

La primera consideración para los semiconductores es evitar parámetros de modelos no reales. Recuerde que PSpice escalona las fuentes de alimentación hacia arriba con cuidado a lo largo del turno de transición de cada dispositivo. En el diodo del ejemplo anterior, para el valor N=1e-6, el codo de la curva I-V sería demasiado afilado para que PSpice lo mantenga de forma continua dentro del límite de tamaño del escalón de la fuente de alimentación de 1e-6.

Uniones p-n no guardadas

Una segunda consideración es evitar uniones p-n “no guardadas” (no hay resistencia serie). El diodo del ejemplo anterior también se aplica a las uniones p-n dentro de los transistores bipolares, MOSFETs (drenador-fuente), JFETs y GaAsFETs.

No hay resistencia de fugas

Una tercera consideración es evitar situaciones que pudieran tener una fuente de corriente ideal llevando corriente a una unión p-n inversa sin una resistencia de shunt. Como las uniones p-n en PSpice no poseen (la mayoría) resistencia de fugas harán que la tensión de la unión vaya por encima de 1e10 voltios.

Las librerías de modelos que forman parte de PSpice siguen estas líneas.

Los Tipos pueden causar parámetros de dispositivos no reales. El siguiente MOSFET:

```
M1  3, 2, 1, 0          MMOD  L=5 W=3
```

posee una longitud de cinco metros y una anchura de tres metros en lugar de micrómetros. Debería ser:

```
M1  3, 2, 1, 0          MMOD  L=5u W=3u
```

PSpice marca un error para L demasiado largo, pero no puede para W ya que la alimentación del MOSFETs está demasiado interdigitalizada (una traza como si fuera una cremallera ya que su W efectiva puede ser demasiado grande. La opción LIST puede mostrar este tipo de problema. Cuando los dispositivos están listados en el fichero de salida, sus valores se muestran en notación científica haciendo más fácil evitar valores inusuales.

Conmutadores

Los conmutadores de PSpice tienen ganancia en su zona de transición. Si se colocan demasiados en cascada, la ganancia acumulada puede exceder del límite de 1e14. Este puede producirse cuando se modelan puertas simples lógicas utilizando conmutadores en totem-pole y hay demasiadas puertas en cascada en serie. Normalmente una cascada de dos conmutadores funciona, pero tres o más pueden dar problemas.

Expresiones de modelado del comportamiento

Límites de rango

Las tensiones y corrientes en PSpice están limitadas al rango de +/- 1e10. Se deberá tener cuidado para que las salidas de las expresiones caigan dentro de este rango. Esto es especialmente importante cuando se está construyendo un sistema analógico eléctrico de una mecánica, hidraúlica u otro tipo de sistema.

Límites de la fuente

Otra consideración es que las fuentes controladas deberán desactivarse cuando la alimentación es 0 (.001%). Esto es especialmente cierto en PSpice que “baja” las fuentes controladas de forma continua hasta un punto muy cercano a 0. De todas formas, se deberá seguir teniendo cuidado con aquellas expresiones que posean denominadores. Tomemos por ejemplo, una carga de potencia constante:

```
GLOAD3, 5        VALUE = {2Watts/V(3,5)}
```

La primera serie de repetición comienza con V(3,5) = 0 y la corriente a través de GLOAD debería ser infinita (actualmente, el código en PSpice que realiza la división, corta el resultado a un valor finito). El código de bajada es necesario que sea una función suave y con un comportamiento correcto.

Note *El código “squelching” no debe ser lo suficientemente “fuerte” como para suprimir la división por 0.*

El resultado es que GLOAD no se desactiva cuando se está cerca del 0. Una forma está descrita en la nota de aplicación Modeling Constant Power Loads. El código “squelching” es suficiente para desactivar todas las expresiones excepto las que tengan denominadores. En general, es una buena práctica restringir las expresiones que contengan la función LIMIT para mantener los resultados dentro de unos límites físicamente reales.

Ejemplo: Una primera aproximación a un amplificador operacional con un bucle abierto de ganancia de 100,000 es:

```
VOPAMP    3, 5       VALUE = {V(in+,in-)*1e5}
```

Esto tiene la propiedad no deseada de que no hay límite en la salida. Una expresión mejor es:

```
VOPAMP    3, 5       VALUE =
+ {LIMIT(V(in+,in-)*1e5,15v,-15v}
```

en donde la salida está limitada a +/- 15 voltios.

Análisis de transitorios

El análisis de transitorios comienza utilizando una solución conocida, el punto de trabajo. Después utiliza la solución más reciente como primera ayuda para cada nuevo punto de tiempo. Si fuera necesario, el escalón de tiempos se recortaría para mantener el nuevo punto de tiempo lo suficientemente cercano para que las primeras series de repetición de Newton-Raphson convergan. El escalón de tiempos también se ajusta para mantener la integración de las cargas y flujos lo suficientemente precisos.

En teoría en el análisis de transitorios se aplican las mismas consideraciones que se aplicaron para el cálculo del punto de trabajo. De todas formas, en la práctica están se utilizan primero durante el cálculo del punto de trabajo, y por lo tanto, son corregidas antes de ejecutar el análisis de transitorios.

El análisis de transitorios puede fallar si los escalones de tiempos se hacen demasiado pequeños. Esto puede tener dos efectos diferentes:

1 Las iteraciones Newton-Raphson pueden no converger incluso con el escalón de tiempos más pequeño, o

2 Algo en el circuito se está moviendo más rápidamente de lo que puede verse en el mínimo escalón de tiempo.

El mensaje que PSpice coloca en el fichero de salida indica la condición que se ha producido.

Saltándose el punto de trabajo

La opción SKIPBP del análisis de transitorios salta el cálculo del punto de trabajo. En este caso, el análisis de transitorios no tiene solución conocida desde la que empezar y. por lo tanto, no se asegura la convergencia en un primer punto de tiempos. Debido a esto, no se recomienda su uso. Su inclusión en PSpice es para mantener la compatibilidad con UC Berkeley SPICE. SKIPBP posee el mismo significado que UIC en Berkeley SPICE. UIC no es necesario para especificar condiciones iniciales.

El rango dinámico de TIME

TIME, el tiempo de simulación durante el análisis de transitorios, es una variable de doble precisión que da una resolución de 15 dígitos. El rango dinámico se fija para que sea de 15 dígitos menos el número de dígitos de resolución requeridos por RELTOL. Para un valor por defecto de RELTOL = .001 (.1% o 3 dígitos), esto es, de 15-3 = 12 dígitos. Esto significa que el mínimo escalón de tiempos es el tíempo de ejecución total (TSTOP) dividido por 1e12. El rango dinámico es largo pero finito.

En algunos circuitos es posible exceder del rango dinámico. Consideremos, por ejemplo un circuito de tiempos que carga un condensador de 100uF para dar un retardo de 100 segundos. En algunos umbrales un comparador activa una alimentación MOSFET. El tiempo total de la simulación es de 100 segundos. Por defecto RELTOL da un escalón de tiempos mínimo de 100 picosegundos. Si el comparador y otra circuitería poseen partes que conmutan en un nanosegundo, entonces PSpice necesitará escalar por debajo de 100 picosegundos para calcular la transición de acuerdo a eso.

Fallo en el primer escalón de tiempos

Si el análisis de transitorios falla en el primer punto de tiempos, normalmente es que hay un valor de una bobina o de un condensador demasiado grande. Normalmente esto es debido a un error tipográfico. Consideremos el siguiente condensador:

```
C  1 3, 0 1Ouf
```

“1O” (es la letra O) deberá ser “10.” Este condensador tiene un valor de un faradio, no de 10 microfaradios. Una forma de cazar esto es utilizar la opción LIST (en el comando .OPTIONS).

LIST

La opción LIST puede mostrar todos los dispositivos en el fichero de salida *que tengan sus valores en notación científica*.

Esto hace más fácil localizar valores no usuales. Este tipo de problema no se ve durante el cálculo del punto de trabajo ya que los condensadores y las bobinas no participan en ese cálculo.

Los mismo es aplicable a los parámetros de capacidades parásitas en modelos de transistores (o diodos). Estos normalmente se sacan en el fichero de salida (la opción NOMOD lo anula, pero la opción por defecto es sacarlo). Al igual que en la salida LIST, los parámetros de modelos se sacan en notación científica haciendo más fácil localizar valores inusuales. Un posterior diagnóstico es preguntar por la información del punto de trabajo detallado (.TRAN/OP).

.TRAN/OP

Esto lista los parámetros de pequeña señal para cada dispositivo semiconductor incluyendo las capacidades parásitas calculadas.

Capacidades parásitas

Es importante que los tiempos de conmutación no sean cero. Esto se garantiza si los dispositivos poseen capacidades parásitas. Las librerías de modelos de semiconductores de PSpice tienen esas capacidades. Si se utilizan conmutadores y/o fuentes controladas, deberá tenerse cuidado para asegurar que no hayan secciones de circuitería que traten de conmutar en un tiempo igual a cero. En la práctica esto significa que si existe un bucle de realimentación positivo (como puede ser con un trigger Schmidt formado por conmutadores) estos bucles incluirán capacidades.

Otra forma de decir esto es que durante el análisis de transitorios las ecuaciones del circuito deberán ser continuas en el tiempo (justo durante el cálculo del punto de trabajo, las ecuaciones deberán ser continuas con el nivel de la fuente de alimentación).

Bobinas y transformadores

Mientras que las impedancias de los condensadores contienen altas y bajas frecuencias (en saltos de tiempo pequeños) la impedancia de las bobinas se hace mayor.

Note *Las bobinas en PSpice poseen un ancho de banda infinito.*

Las bobinas reales poseen un ancho de banda finito debido a las pérdidas de corriente y/o el efecto superficial. A altas frecuencias es cuando los conductores físicos poseen una frecuencia en la que su Q comienza a caer. Las bobinas en PSpice no tienen ese límite. Esto puede conducir a agujas muy rápidas, como transistores. Las agujas rápidas, por orden, pueden forzar a PSpice a tomar escalones de tiempo demasiados pequeños.

Note *OrCAD recomienda que todas las bobinas tengan una resistencia en paralelo (la resistencia en serie es buena para modelar efectos DC pero no limita el ancho de banda de la bobina).*

La resistencia en paralelo da un buen modelo para las pérdidas de corriente de retorno y limita el ancho de banda de la bobina. El tamaño de la resistencia debería ser igual a la impedancia de la bobina a la frecuencia en la que Q comienza a caer.

Ejemplo: Una bobina con un núcleo de hierro de 1 milihenrio comienza a caer a no menos que 100KHz. Un buen valor de resistencia a utilizar en paralelo sería R = 2*π*100e3*.001 = 628 ohmnios. Por debajo de la frecuencia de caida domina la bobina, por encima lo hace la resistencia. Esto evita que el ancho de las agujas tenga un valor exagerado.

Unión de sustratos en transistores bipolares

UC Berkeley SPICE contiene una no muy afortunada convención para los nodos del sustrato de los transistores bipolares. La unión p-n del sustrato del colector *no tiene componente DC*. Si se especifican los parámetros de modelo del condensador (por ejemplo, CJS) la unión posee una capacidad (dependiente de la tensión) pero no tiene corriente DC. Esto puede llevarnos a un problema curioso: si la unión sin darse cuenta se lleva parcialmente hacia atrás, puede crear una capacidad muy grnade. Esta capacidad funciona como una fuente de alimentación en la unión. Los puntos de unión normales no pueden llevar mucha tensión debido a los grandes flujos de corirente. La unión del sustrato-colector es una excepción ya que no posee corriente DC.

Si sucede esto, normalmente se muestra al comienzo del primer escalón. Esto puede situarse activando la información del punto de operación detallado (.TRAN/OP) y viendo el valor calculado de CJS para los transitores bipolares. Todo el problema puede ISS del modelo de PSpice. Este parámetro “activa” la corriento DC para la unión del sustrato.

Diagnósticos

Si PSpice encuentra un problema de convergencia insertará dentro del fichero de salida un mensaje parecido al siguiente.

```
ERROR -- Convergence problem in transient analysis at Time =  7.920E-03

Time step =  47.69E-15, minimum allowable step size =  300.0E-15

    These voltages failed to converge:

        V(x2.23)  =       1230.23 / -68.4137
        V(x2.25)  =      -1211.94 / 86.6888

    These supply currents failed to converge:

        I(X2.L1)  =      -36.6259 / 2.25682
        I(X2.L2)  =      -36.5838 / 2.29898

    These devices failed to converge:

        X2.DCR3   X2.DCR4   x2.ktr    X2.Q1     X2.Q2

    Last node voltages tried were:
```

NODE	VOLTAGE	NODE	VOLTAGE	NODE	VOLTAGE	NODE	VOLTAGE
(1)	25.2000	(3)	4.0000	(4)	0.0000	(6)	25.2030
(x2.23)	1230.2000	(X2.24)	9.1441	(x2.25)	-1211.9000	(X2.26)	256.9700
(X2.28)	-206.6100	(X2.29)	75.4870	(X2.30)	-25.0780	(X2.31)	26.2810
(X3.34)	1.771E-06	(X3.35)	1.0881	(X3.36)	.4279	(X2.XU1.6)	1.2636

El mensaje siempre incluye el inicio (ERROR -- convergence problem ...) y el final (Last node voltages tried were ...). No tiene porqué incluir los tres bloques de en medio.

The Last node voltages tried... trailer muestra las tensiones tratadas en la última iteración de Newton-Raphson. Si cualquiera de los nodos posee valores grandes, este es un indicio de que esos nodos tienen relación con el problema. “Estas tensiones fallan al converger” lista los nodos específicos que no llegaron a valores consistentes. También muestra sus valores para las dos últimas iteraciones. “Estas corrientes fallan al converger” hace lo mismo con corrientes a través de fuentes de tensión y bobinas. Si cualquiera de los números listados fuera +/- 1e10 esto sería una indicación de que el valor está saltando a un valor no razonable. Finalmente, “estos dispositivos fallan al converger” muestra dispositivos cuyos terminales no se fijan a valores consistentes.

Este mensaje da un indicio de la parte del circuito que está causando el problema. Se recomienda mirar esos dispositivos y/o nodos para los problemas explicados anteriormente.

Índice

A

ABM
- ABM part templates, 198
- ABM.OLB, 195
- basic controlled sources, 238
- cautions and recommendations for simulation, 232
- control system parts, 199
- custom parts, 238
- frequency domain device models, 227
- frequency domain parts, 227, 233
- instantaneous models, 222, 232
- overview, 194
- placing and specifying ABM parts, 196
- PSpice A/D-equivalent parts, 220–221
- signal names, 193
- simulation accuracy, 237
- syntax, 221
- triode modeling example, 217

AC stimulus property, 322

AC sweep analysis, 287, 319–320
- about, 320
- displaying simulation results, 80
- example, 77, 325
- introduction, 42
- noise analysis, 287, 329
- setup, 77, 320, 323
- stimulus, 321
- treatment of nonlinear devices, 327

ACMAG stimulus property, 322

ACPHASE stimulus property, 322

AGND ground part, 125

ambiguity
- cumulative hazard, 435

analog behavioral modeling, *see* ABM

analog parts
- basic components (ABM), 199, 201
- basic controlled sources (ABM), 238
- behavioral, 107
- bipolar transistors, 137, 294, 522, 524
- breakout, 106
- capacitors, 293
- Darlington model transistors, 137
- diodes, 137, 293, 523
- expression parts (ABM), 200, 214
- frequency table parts (ABM), 220, 229, 236
- GaAsFET, 294, 521, 523
- IGBT, 137, 294, 522
- integrators and differentiators (ABM), 199, 206
- JFET, 137, 294, 521, 523
- Laplace transform (ABM), 200, 210, 220, 227
- limiters (ABM), 199, 202

math functions (ABM), 200, 213
mathematical expressions (ABM), 220
MOSFET, 137, 294, 521, 523
nonlinear magnetic core, 137
opamp, 137
passive, 105
PSpice A/D-equivalent parts (ABM), 220
resistors, 293, 524
switch, 524
table look-up (ABM), 200, 206, 220, 225
transmission lines, 294, 522
vendor-supplied, 101
voltage comparator, 137
voltage reference, 137
voltage regulator, 137
analyses
AC sweep, 77, 287, 319–320
bias point detail, 287
DC sensitivity, 287, 317
DC sweep, 66, 287
execution order, 289
Fourier, 287
frequency response, 287
Monte Carlo, 287, 377
noise, 287, 329
overview, 41
parametric, 82, 287, 360
performance analysis, 89
sensitivity/worst-case, 287, 395
setup, 288
small-signal DC transfer, 287
temperature, 287, 369
transient, 72, 287
types, 286
approximation, problems, 549
AtoD interface, *see* mixed analog/digital circuits

B

basic components (ABM), 199, 201
basic controlled sources (ABM), 238
behavioral modeling expressions, 553
behavorial parts, 107
bias point
convergence analysis, 555
save/restore, 540
skipping, 555
bias point detail analysis, 287
introduction, 41
bipolar transistors, 137, 294, 522, 524
problems, 558
Bode plot, 42, 80

C

CAPACITANCE (I/O model parameter), 452
capacitors, 293
CD4000_PWR digital power part, 116
CD4000_PWR parts (power supply), 447
charge storage nets, 258
circuit file (.CIR), 49
simulating multiple circuits, 297
color settings for waveform analysis, 476
COMMANDn stimulus property (digital), 419
comparator, 137
CONSTRAINT primitive, 107, 277
continuous equations
problems, 548
control system parts (ABM), 199
controlled sources, 220, 238
convergence analysis
bias point, 555
convergence hazard, 435
convergence problems, 545
approximations, 549
behavioral modeling expressions, 553
bias point, 551
bipolar transistors, 558
continuous equations, 548
DC sweep, 551
derivatives, 548
diagnostics, 559
dynamic range of time, 555
inductors and transformers, 557
Newton-Raphson requirements, 546
parasitic capacitances, 557
semiconductors, 551
switches, 552
Create Subcircuit command, 133, 157
current source, controlled, 220, 238
cursors, waveform analysis, 509
custom part creation for models, 175
using the Model Editor, 142, 173

D

Darlington model transistors, 137
DC analyses

displaying simulation results, 68
see also DC sweep analysis, bias point detail analysis, small-signal DC transfer analysis, DC sensitivity analysis
DC sensitivity analysis, 287, 317
introduction, 41
DC stimulus property, 308
DC sweep analysis, 287
curve families, 310
example, 66
introduction, 41
nested, 309
setting up, 66
DELAY stimulus property (digital), 418
derivative
problems, 548
design
preparing for simulation, 47, 96
device noise, 330, 333
total, 333
diagnostic problems, 559
differentiators (ABM), 199, 206
DIG_GND stimulus property (digital), 419
DIG_PWR stimulus property (digital), 419
DIGCLOCK digital stimulus parts, 120, 409
DIGDRVF (strengths), 263
DIGDRVZ (strengths), 263
DIGERRDEFAULT (simulation option), 436
DIGERRLIMIT (simulation option), 436
DIGIFPWR digital power part, 116
DIGIOLVL (simulation option), 249
digital models, 270
digital parts
$G_DGND (reserved global net), 452
$G_DPWR (reserved global net), 452
CONSTRAINT primitive, 107
DIGIFPWR (power supply), 452
logic propagation delay selection, 424
LOGICEXP primitive, 107
PINDLY primitive, 107
vendor-supplied, 101
digital primitives, 243, 271
input (N device), 265
output (O device), 265
propagation delays, *see* timing model
syntax, 246
timing model, *see* timing model
digital simulation
messages, 433
propagation delays, *see* timing model
states, 261, 407
strengths, 261
timing model, *see* timing model
vector file, 536
waveform display, 496, 524, 527
worst-case timing, 454
digital values, 407
digital worst-case timing, 454
compared to analog worst-case, 454
convergence hazard, 435
cumulative ambiguity hazard, 435
glitch suppression, 435
DIGMNTYMX (simulation option), 455
DIGMNTYSCALE (simulation option), 252
DIGOVRDRV (simulation option), 263
DIGPOWER (I/O model), 258
DIGSTIM digital stimulus part, 120, 410
DIGTYMXSCALE (simulation option), 252
diodes, 137, 293, 523
DRVH (I/O model parameter), 452
DRVH (I/O model), 258, 262
DRVL (I/O model parameter), 452
DRVL (I/O model), 258, 262
DRVZ (I/O model), 258
DtoA interface, *see* mixed analog/digital circuits
dynamic range of time, 555

E

ECL_100K_PWR digital power part, 116
ECL_10K_PWR digital power part, 116
EGND ground part, 125
examples and tutorials
AC sweep analysis, 77, 325
analog waveform analysis, 491
creating a digital model, 279
DC sweep analysis, 66
example circuit creation, 56
frequency response vs. arbitrary parameter, 366
mixed analog/digital waveform analysis, 496
modeling a triode (ABM), 217
Monte Carlo analysis, 381
parametric analysis, 82
performance analysis, 89, 362
transient analysis, 72
using the Model Editor, 146
worst-case analysis, 398
expression parts (ABM), 200, 214
expressions, 110–111

see also parameters
ABM, 220
functions, 112
specifying, 110
system variables, 114
waveform analysis, 524

F

files
generated by Capture, 49
user-configurable, 50
with simulation results, 53
FILESTIM digital stimulus part, 120, 420
flicker noise, 333
FORMAT stimulus property (digital), 419
Fourier analysis, 287
introduction, 43
FREQUENCY output variable, 519
frequency response vs. arbitrary parameter, 366
frequency table parts (ABM), 220, 229, 236
functions
PSpice A/D, 112
waveform analysis, 525

G

GaAsFET, 294, 521, 523
glitch suppression, 435
goal functions, 363
in performance analysis, 364
single data point, 364
grid spacing
part graphics, 178
part pins, 178
ground
missing, 125
missing DC path to, 126
parts, 100
group delay, 520

H

histograms, 389
hysteresis curves, 355

I

I/O model, 245, 248, 257, 441
and switching times (TSW), 259
DIGPOWER, 258
DRVH, 258
DRVL, 258
DRVZ, 258
INLD, 258
INR, 258
OUTLD, 258
parameter summary, 259
TPWRT, 255, 258
TSTOREMN, 258
IAC stimulus part, 321
IC (property), 544
ICn initial conditions parts, 542
IDC stimulus part, 115, 308
IGBT, 137, 294, 522
imaginary part, 520
include files, 50
configuring, 52, 162
with model definitions, 163
inductors
problems, 557
inertial delay, 255
initial conditions, 540, 544
INLD (I/O model), 258
input noise, total, 333
INR (I/O model), 258
instance models
and the Model Editor, 143, 154
changing model references, 159
editing, 145
reusing, 160
integrators (ABM), 199, 206
interface subcircuits, 265, 440, 452
and I/O models, 248, 441
and power supplies, 440
CAPACITANCE, 265
customized, 265
DRVH, 265
DRVL, 265
IO_LEVEL, 246
N device (digital input), 265
O device (digital output), 265
syntax, 265
IO_LEVEL
interface subcircuit parameter, 246
part property, 190

stimulus property (digital), 419
IO_LEVEL property, 190
IO_MODEL stimulus property (digital), 419
IPLOT (write current plot part), 533
IPRINT (write current table part), 534
ISRC stimulus part, 115, 308, 321
ISTIM stimulus part, 118

J

JFET, 137, 294, 521, 523

L

Laplace transform parts (ABM), 200, 210, 220, 227, 235
libraries
configuring, 162
footprint, 52
model, 130
package, 52
part (.OLB), 52
searching for models, 163
see also model libraries
Library List, using the, 104
limiters (ABM), 199, 202
loading delay, 254
LOGICEXP primitive, 107, 270

M

magnetic core, nonlinear, 137
magnitude, 520
markers, 486
displaying traces, 68
for limiting waveform data file size, 486
for waveform display, 483
math function parts (ABM), 200, 213
mathematical expressions (ABM), 220
messages, simulation, 433
mixed analog/digital circuits, 270, 286
I/O models, 441
interface subcircuits, 440
power supplies, 440, 452
waveform display, 496, 524, 527
MNTYMXDLY
part property, 191
timing model parameter, 246
Model Editor
about, 48, 152
analyzing model parameter effects, 139
changing
.MODEL definitions, 153
model names, 153
creating parts for models, 142, 173
custom, 175
fitting models, 139
starting stand-alone, 141
startng from the schematic page editor, 143
supported device types, 137
tutorial, 146
using data sheet information, 138
viewing performance curves, 140
ways to use, 136
model editor
running from the
schematic page editor, 153
model libraries, 50, 130
adding to the configuration, 164
analog list of, 122
and duplicate model names, 164
configuration, 131
configured as include files, 163
configuring, 52, 123, 162
digital list of, 122
directory search path, 167
global vs. design, 131, 165
how PSpice searches them, 163
nested, 132
OrCAD-provided, 132
preparing for part creation, 172
search order, 163, 166
MODEL property, 129, 180
models
changing associations to parts, 159
creating parts for
custom, 175
using the Model Editor, 142, 173
creating with the Model Editor, 152
defined as
subcircuits, 129, 157
digital models, 270
global vs. design, 131
instance, 143, 154, 159–160
organization, 130
preparing for part creation, 172
saving as design
using the Model Editor, 143

saving as local
using the Model Editor, 153
tools to create, 133
ways to create/edit, 134
Monte Carlo analysis, 287, 377
collating functions, 375
histograms, 389
introduction, 45
model parameter values reports, 373
output control, 373
tutorial, 381
waveform reports, 374
with temperature analysis, 376
MOSFET, 137, 294, 521, 523
multiple y-axes, waveform analysis, 364, 498

N

netlist
failure to netlist, 98
file (.NET), 49
Newton-Raphson requirements, 546
nodes, interface, 440
NODESETn initial conditions parts, 542
noise analysis, 287, 329
about, 42, 330
device noise, 330
flicker noise, 333
noise equations, 333
setup, 329, 331
shot noise, 333
thermal noise, 333
total output and input noise, 330
units of measure, 334
viewing results, 334
viewing simulation results, 333, 523
waveform analysis output variables, 333, 523
noise units, 334
non-causality, 235
nonlinear
magnetic core, 137
nonlinear devices
in AC sweep analysis, 327
NOOUTMSG (simulation option), 436
NOPRBMSG (simulation option), 436

O

OFFTIME stimulus property (digital), 418
ONTIME stimulus property (digital), 418
opamp, 137
operators in expressions, 111
OPPVAL stimulus property (digital), 418
options
DIGERRDEFAULT, 436
DIGERRLIMIT, 436
DIGIOLVL, 249
DIGMNTYMX, 455
DIGMNTYSCALE, 252
DIGOVRDRV, 263
DIGTYMXSCALE, 252
NOOUTMSG, 436
NOPRBMSG, 436
RELTOL, 237
OUTLD (I/O model), 258
output control parts, 100, 533
output file (.OUT), 64
control parts, 533
messages, 433
tables and plots, 533
output noise, total, 333
output variables
arithmetic expressions, 524
digital signals and buses, 527
digital trace expression, 528
logic/arithmetic operators, 528
noise (waveform analysis), 333, 523
PSpice A/D, 290
waveform analysis, 515, 527–528
waveform analysis functions, 525

P

PARAM global parameter part, 108
parameters, 108
parametric analysis, 287, 360
analyzing waveform families, 85
example, 82
frequency response vs. arbitrary parameter, 366
introduction, 44
performance analysis, 362
setting up, 83
temperature analysis, 287, 369
parasitic capacitance, 557
part wizard
using custom parts, 175
parts
creating for models

using the Model Editor, 142, 173
creating new stimulus parts, 347
editing graphics, 177
grid spacing
graphics, 178
pins, 178
ground, 100
non-simulation, 182
output control, 100
pins, 124, 178
preparing model libraries for part creation, 172
properties for simulation, 181
saving as global
using the Model Editor, 142, 173
simulation control, 100
simulation properties, 171
stimulus, 100
ways to create for models, 171
AGND (ground), 125
BBREAK (GaAsFET), 106
behavioral, 107
breakout, 106
C (capacitor), 105
CBREAK (capacitor), 106
CD4000_PWR (digital power), 116
creating for models
custom parts, 175
using the Model Editor, 173
CVAR (capacitor), 105
D (diode), 105
DBREAK (diode), 106
DIGCLOCK (digital stimulus), 120
DIGIFPWR (digital power), 116
DIGSTIM (digital stimulus), 120
ECL_100K_PWR (digital power), 116
ECL_10K_PWR (digital power), 116
EGND (ground), 125
FILESTIM (digital stimulus), 120
finding, 102
IAC (AC stimulus), 321
ICn (initial conditions), 542
IDC (DC stimulus), 115, 308
IO_LEVEL property, 190
ISRC (analog stimulus), 115, 308, 321
ISTIM (transient stimulus), 118
JBREAK (JFET), 106
K_LINEAR (transformer), 105
KBREAK (inductor coupling), 106
KCOUPLEn (coupled transmission line), 105
LBREAK (inductor), 106
MBREAK (MOSFET), 106
MNTYMXDLY property, 191
MODEL property, 180
NODESETn, 542
PARAM (global parameter), 108
passive, 105
PSPICEDEFAULTNET properties, 192
QBREAK (bipolar transistor), 106
R (resistor), 105
RBREAK (resistor), 106
RVAR (resistor), 105
SBREAK (voltage-controlled switch), 106
STIMn (digital stimulus), 120
T (ideal transmission line), 105
TBREAK (transmission line), 106
TEMPLATE property, 182
TLOSSY (Lossy transmission line), 105
TnCOUPLEDx (coupled transmission line), 105
unmodeled, 121
VAC (AC stimulus), 117, 321
VDC (DC stimulus), 115, 117
vendor-supplied, 101
VEXP (transient stimulus), 117
VPULSE (transient stimulus), 117
VPWL (transient stimulus), 117
VPWL_F_N_TIMES (transient stimulus), 118
VPWL_F_RE_FOREVER (transient stimulus), 117
VPWL_N_TIMES (transient stimulus), 118
VPWL_RE_FOREVER (transient stimulus), 117
VSFFM (transient stimulus), 118
VSIN (transient stimulus), 118
VSRC (analog stimulus), 115, 117, 321
VSTIM (analog stimulus), 117
VSTIM (transient stimulus), 118
WBREAK (current-controlled switch), 106
XFRM_LINEAR (transformer), 105
XFRM_NONLINEAR (transformer), 106
ZBREAK (IGBT), 106
ABMn and ABMn/I (ABM), 200, 214
ABS (ABM), 200, 213
ARCTAN (ABM), 200, 213
ATAN (ABM), 200, 213
BANDPASS (ABM), 199, 204
BANDREJ (ABM), 199, 205
CONST (ABM), 199, 201
COS (ABM), 200, 213
DIFF (ABM), 199, 201
DIFFER (ABM), 199, 206
DIGIFPWR (power supply), 447
E (ABM controlled analog source), 238

ECL_100K_PWR (power supply), 447
ECL_10K_PWR (power supply), 447
EFREQ (ABM), 220, 229
ELAPLACE (ABM), 220, 227
EMULT (ABM), 220, 224
ESUM (ABM), 220, 224
ETABLE (ABM), 220, 225
EVALUE (ABM), 220, 222–223
EXP (ABM), 200, 213
F (ABM controlled analog source), 238
FTABLE (ABM), 200, 207
G (ABM controlled analog source), 238
GAIN (ABM), 199, 201
GFREQ (ABM), 220, 229
GLAPLACE (ABM), 220, 227
GLIMIT (ABM), 199, 202
GMULT (ABM), 220, 224
GSUM (ABM), 220, 224
GTABLE (ABM), 220, 225
GVALUE (ABM), 220, 222–223
H (ABM controlled analog source), 238
HIPASS (ABM), 199, 204
ICn (initial condition), 542
INTEG (ABM), 199, 206
LAPLACE (ABM), 200, 210
LIMIT (ABM), 199, 202
LOG (ABM), 200, 213
LOG10 (ABM), 200, 213
LOPASS (ABM), 199, 203
MULT (ABM), 199, 201
NODESETn (initial bias point), 542
PWR (ABM), 200, 213
PWRS (ABM), 200, 213
SIN (ABM), 200, 213
SOFTLIM (ABM), 199, 202
SQRT (ABM), 200, 213
SUM (ABM), 199, 201
TABLE (ABM), 200, 206
TAN (ABM), 200, 213
performance analysis, 362
example, 89
goal functions, 363
PINDLY primitive, 107, 270
plots
sizing, 504
plots in waveform analysis, 473
power supplies, 452
$G_DGND, 452
$G_DPWR, 452
A/D interfaces, 115
analog, 115
default digital power supply selection by PSpice A/D, 445
DIGIFPWR, 452
digital, custom CD4000, TTL, or ECL, 446, 449
primitives, digital, 271
PRNTDGTLCHG (write digital state changes part), 535
Probe windows
plot update methods, 505
plots, 473
printing Probe windows, 475
scrolling, 503
setting colors, 476
sizing plots, 504
trace data tables, 508
traces, displaying, 68
zoom regions, 501
propagation delay, *see* timing model
properties (part) for simulation, 181
PSpice
default shortcut keys, 501
waveform analysis, 472
multiple y-axes, 364
PSpice A/D
about, 40
default power supply selection, 445
expressions, 110
functions, 112
output file (.OUT), 64, 533
output variables, 290
PSpice A/D-equivalent parts, 220–221
simulation status window, 299, 532
starting, 296
using with other programs, 47
viewing in-progress output values, 532
waveform data file (.DAT), 53
PSPICEDEFAULTNET properties, 192

R

real part, 520
regulator, 137
RELTOL (simulation option), 237
resistors, 293, 524

S

schematic page editor
starting other tools from

Model Editor, 143, 153–154
scrolling, Probe windows, 503
semiconductor
problems, 551
shot noise, 333
simulation
about, 40
analysis
execution order, 289
setup, 288
types, 286
batch jobs, 297
bias point, 540
failure to start, 98
initial conditions, 540, 544
messages, 433
output file (.OUT), 64
setup checklist, 96
starting, 296
status window, 299
troubleshooting checklist, 98
simulation control parts, 100
ICn, 542
NODESETn (initial conditions), 542
PARAM, 108
small-signal DC transfer analysis, 287
introduction, 41
STARTVAL stimulus property (digital), 418
states, digital, 261, 407
STIMn digital stimulus parts, 120
Stimulus Editor, 73, 342
about, 47
creating new stimulus parts, 347
defining analog stimuli, 118
defining digital inputs, 410
defining stimuli, 344
editing a stimulus, 348
manual stimulus configuration, 349
stimulus files, 342
stimulus files, 50
configuring, 52, 162
stimulus generation, 340
manually configuring, 349
stimulus, adding
AC sweep, 321
bus transitions (digital), 413
clock transitions (digital), 410
for multiple analysis types, 119
loops (digital), 416
signal transitions (digital), 411
transient (analog/mixed-signal), 340
transient (digital), 409
subcircuits, 129
analog/digital interface, 440
creating .SUBCKT definitions from designs, 133
creating .SUBCKT definitions from schematics, 157
tools to create, 133
ways to create/edit, 134
see also models
switch, 524
problems, 552
system variables in expressions, 114

T

table look-up parts (ABM), 200, 206, 220, 225
temperature analysis, 287, 369
introduction, 44
with statistical analyses, 376
TEMPLATE property, 182
and non-simulation parts, 182
examples, 186
naming conventions, 183
regular characters, 183
test vector file, 536
thermal noise, 333
TIME (Probe output variable), 519
TIMESTEP stimulus property (digital), 419
timing model, 245, 248, 251
hold times (TH), 251
inertial delay, 255
loading delay, 254
propagation delays, 251, 424
calculation, 254
DIGMNTYSCALE, 252
DIGTYMXSCALE, 252
MNTYMXDLY, 246
unspecified, 252
pulse widths (TW), 251
setup times (TSU), 251
switching times (TSW), 251
transport delay, 256
unspecified timing constraints, 253
timing violations and hazards
convergence, 435
cumulative ambiguity, 435
persistent hazards, 431
total noise, 330
circuit, 333

per device, 333
TPWRT (I/O model), 255, 258
traces
adding, 68
direct manipulation, 501
displaying, 68, 75
markers, 486
output variables, 515
placing a cursor on, 70
transformer
problems, 557
transient analysis, 287
example, 72
Fourier analysis, 287
hysteresis curves, 355
introduction, 43
overview, 338
setting up, 74
Stimulus Editor, 342
stimulus generation, 340
transistors, Darlington model, 137
transmission lines, 522
transport delay, 256
triode, 217
troubleshooting
checklist, 98
missing DC path to ground, 126
missing ground, 125
unconfigured libraries and files, 123
unmodeled parts, 121
unmodeled pins, 124
TSTOREMN (I/O model), 258
TTL, 452
tutorials, *see* examples and tutorials

U

unmodeled
parts, 121
pins, 124
updating plots, 505

V

VAC stimulus part, 117, 321
variables in expressions, 114
VDC (DC stimulus), 308
VDC stimulus part, 115, 117
VECTOR (write digital vector file part), 536
vector file, 536
vendor-supplied parts, 101
VEXP stimulus part, 117
voltage comparator, 137
voltage reference, 137
voltage regulator, 137
voltage source, controlled, 220, 238
VPLOTn (write voltage plot part), 533
VPRINTn (write voltage table part), 534
VPULSE stimulus part, 117
VPWL stimulus part, 117
VPWL_F_N_TIMES stimulus part, 118
VPWL_F_RE_FOREVER stimulus part, 117
VPWL_N_TIMES stimulus part, 118
VPWL_RE_FOREVER stimulus part, 117
VSFFM stimulus part, 118
VSIN stimulus part, 118
VSRC stimulus part, 115, 117, 308, 321
VSTIM stimulus part, 73, 117–118

W

WATCH1 (view output variable part), 532
waveform analysis, 472
about, 46
adding traces, 68
cursors, 509
digital display name, 528
digital signals and buses, 527
displaying simulation results, 68, 80
expressions, 524
functions, 525
hysteresis curves, 355
limiting waveform data file size, 486
logic/arithmetic operators, 528
messages, 433
multiple y-axes, 364, 498
output variables, 515, 527
for noise, 333, 523
performance analysis, 89, 362
placing a cursor on a trace, 70
plot, 473
printing Probe windows, 475
setting colors, 476
trace data tables, 508
traces, 486
traces, displaying, 501
traces, using output variables, 515
using markers, 483

waveform data file (.DAT), 53
waveform data file formats, 491
waveform families, 85, 310
waveform data file formats, 491
waveform families, displaying, 85
wavform analysis
arithmetic expressions, 524
output variables, 528
WIDTH stimulus property (digital), 419
worst-case analysis, 287, 395
collating functions, 375
example, 398
hints, 402
introduction, 45
model parameter values reports, 373
output control, 373
overview, 395
waveform reports, 374
with temperature analysis, 376

Z

zoom regions, Probe windows, 501