



Universidad
Politécnica
de Cartagena

www.upct.es



Universidad
Politécnica
de Cartagena

LTSPICE

Linear Technology Simulation Program with Integrated Circuits Emphasis (**Programa de simulación con énfasis en circuitos integrados**).

- *Circuitos digitales combinacionales (y secuenciales) en LTSpice*
- *Generación de pulsos para componentes de potencia*
- *Elementos de control automático (PID, PWM, Soft Limiter, etc.)*
- *Nuevos elementos digitales en LTSpice*

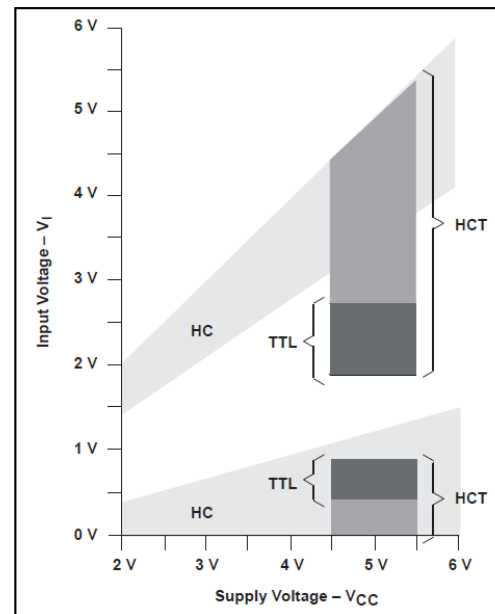


Tecnología HCT

Para simplificar el interface de las salidas TTL a las entradas CMOS de alta velocidad, Texas Instruments introdujo los circuitos HCT como un **subgrupo de la familia HC**. La tecnología HCT es idéntica en características y funcionalidades a los dispositivos HC, a excepción del circuito de entrada, el cual hace la tensión umbral de entrada compatible con los circuitos TTL. Las salidas HCT son similares a la familia HC.

Las tensiones de salida TTL y las tensiones de entrada HC son incompatibles.

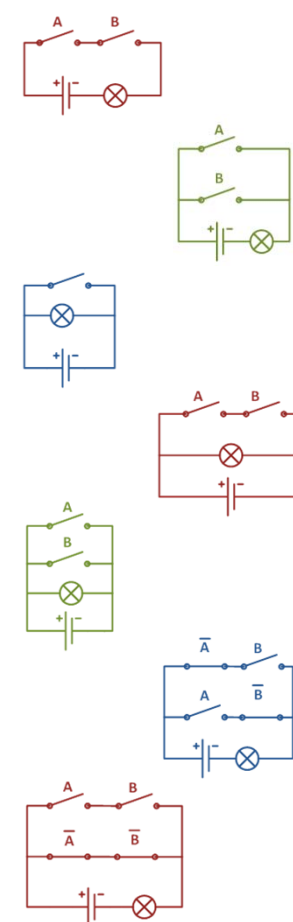
Los circuitos HC pueden trabajar desde 2V a 6V de V_{CC} . Si los dispositivos HCT trabajan por debajo de 4.5V los márgenes de ruido se incrementan, empezando a ser incompatibles con los niveles TTL.





Catálogo de puertas digitales (*Lógica combinacional*)

Función	Símbolo ANSI	Símbolo IEC	Notación	Tabla de verdad															
AND			$C = A \cdot B$	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>C</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </tbody> </table>	A	B	C	0	0	0	0	1	0	1	0	0	1	1	1
A	B	C																	
0	0	0																	
0	1	0																	
1	0	0																	
1	1	1																	
OR			$C = A + B$	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>C</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </tbody> </table>	A	B	C	0	0	0	0	1	1	1	0	1	1	1	1
A	B	C																	
0	0	0																	
0	1	1																	
1	0	1																	
1	1	1																	
NOT			$B = \bar{A}$	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> </tr> </thead> <tbody> <tr><td>0</td><td>1</td></tr> <tr><td>1</td><td>0</td></tr> </tbody> </table>	A	B	0	1	1	0									
A	B																		
0	1																		
1	0																		
NAND			$C = \overline{A \cdot B}$	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>C</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </tbody> </table>	A	B	C	0	0	1	0	1	1	1	0	1	1	1	0
A	B	C																	
0	0	1																	
0	1	1																	
1	0	1																	
1	1	0																	
NOR			$C = \overline{A + B}$	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>C</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </tbody> </table>	A	B	C	0	0	1	0	1	0	1	0	0	1	1	0
A	B	C																	
0	0	1																	
0	1	0																	
1	0	0																	
1	1	0																	
XOR			$C = \bar{A} \cdot B + A \cdot \bar{B}$ $C = A \oplus B$	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>C</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </tbody> </table>	A	B	C	0	0	0	0	1	1	1	0	1	1	1	0
A	B	C																	
0	0	0																	
0	1	1																	
1	0	1																	
1	1	0																	
XNOR			$C = \bar{A} \cdot \bar{B} + A \cdot B$ $C = \overline{A \oplus B}$	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>C</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </tbody> </table>	A	B	C	0	0	1	0	1	0	1	0	0	1	1	1
A	B	C																	
0	0	1																	
0	1	0																	
1	0	0																	
1	1	1																	

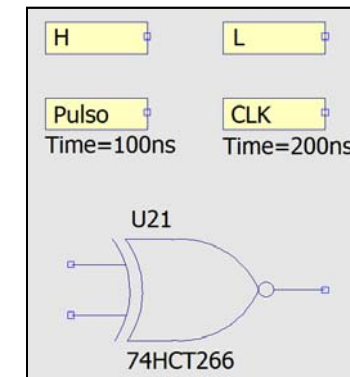




Catálogo de puertas lógicas en LTSpice (74HCT)

Basado en la librería de Gary Hecht
<http://www.spot.pcc.edu/~ghecht/LTspice.html>

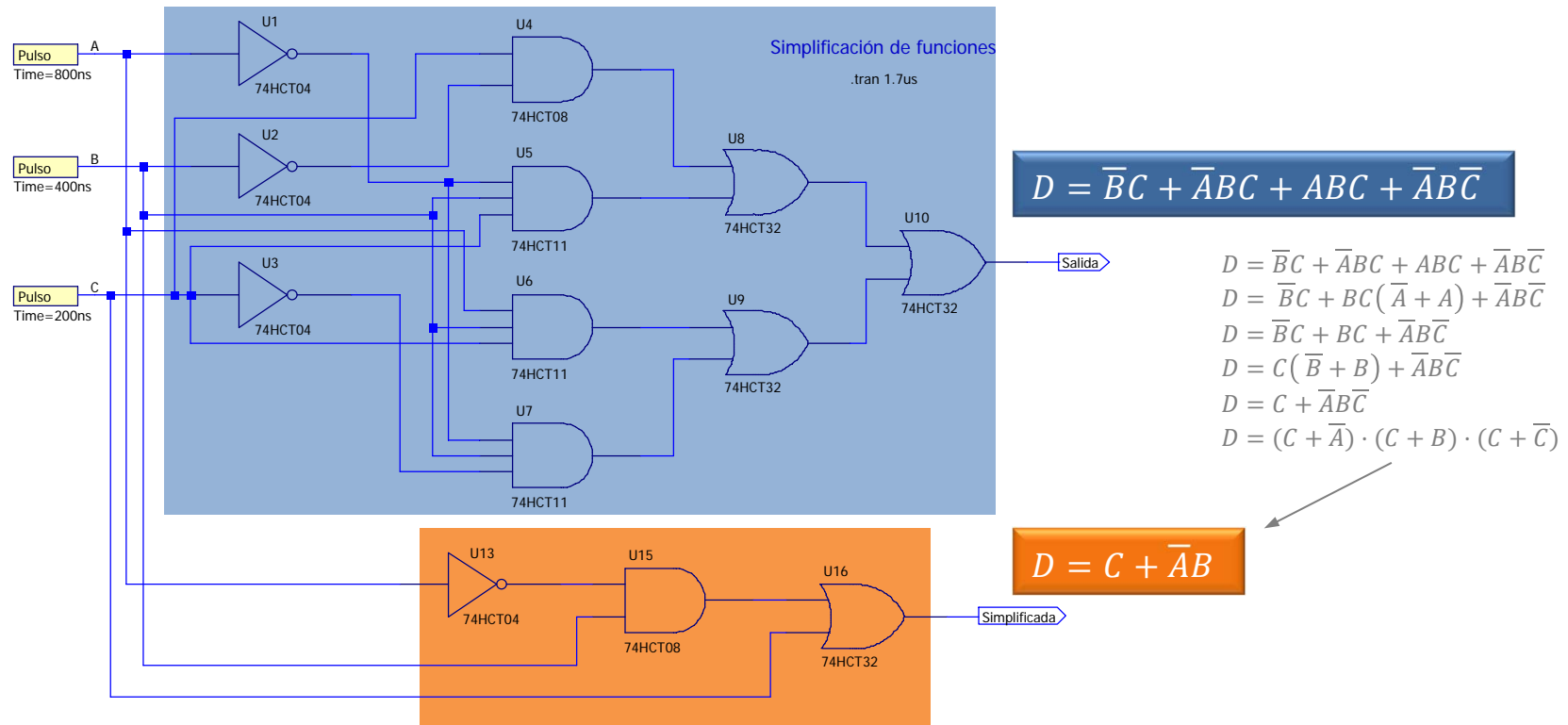
Función	Símbolo ANSI	Símbolo IEC	Notación	Tabla de verdad															
AND			$C = A \cdot B$	<table border="1"> <thead> <tr><th>A</th><th>B</th><th>C</th></tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </tbody> </table>	A	B	C	0	0	0	0	1	0	1	0	0	1	1	1
A	B	C																	
0	0	0																	
0	1	0																	
1	0	0																	
1	1	1																	
OR			$C = A + B$	<table border="1"> <thead> <tr><th>A</th><th>B</th><th>C</th></tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </tbody> </table>	A	B	C	0	0	0	0	1	1	1	0	1	1	1	1
A	B	C																	
0	0	0																	
0	1	1																	
1	0	1																	
1	1	1																	
NOT			$B = \bar{A}$	<table border="1"> <thead> <tr><th>A</th><th>B</th></tr> </thead> <tbody> <tr><td>0</td><td>1</td></tr> <tr><td>1</td><td>0</td></tr> </tbody> </table>	A	B	0	1	1	0									
A	B																		
0	1																		
1	0																		
NAND			$C = \overline{A \cdot B}$	<table border="1"> <thead> <tr><th>A</th><th>B</th><th>C</th></tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </tbody> </table>	A	B	C	0	0	1	0	1	1	1	0	1	1	1	0
A	B	C																	
0	0	1																	
0	1	1																	
1	0	1																	
1	1	0																	
NOR			$C = \overline{A + B}$	<table border="1"> <thead> <tr><th>A</th><th>B</th><th>C</th></tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </tbody> </table>	A	B	C	0	0	1	0	1	0	1	0	0	1	1	0
A	B	C																	
0	0	1																	
0	1	0																	
1	0	0																	
1	1	0																	
XOR			$C = \bar{A} \cdot B + A \cdot \bar{B}$ $C = A \oplus B$	<table border="1"> <thead> <tr><th>A</th><th>B</th><th>C</th></tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </tbody> </table>	A	B	C	0	0	0	0	1	1	1	0	1	1	1	0
A	B	C																	
0	0	0																	
0	1	1																	
1	0	1																	
1	1	0																	
XNOR			$C = \bar{A} \cdot \bar{B} + A \cdot B$ $C = \overline{A \oplus B}$	<table border="1"> <thead> <tr><th>A</th><th>B</th><th>C</th></tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </tbody> </table>	A	B	C	0	0	1	0	1	0	1	0	0	1	1	1
A	B	C																	
0	0	1																	
0	1	0																	
1	0	0																	
1	1	1																	



Librería PDH para símbolos y modelos



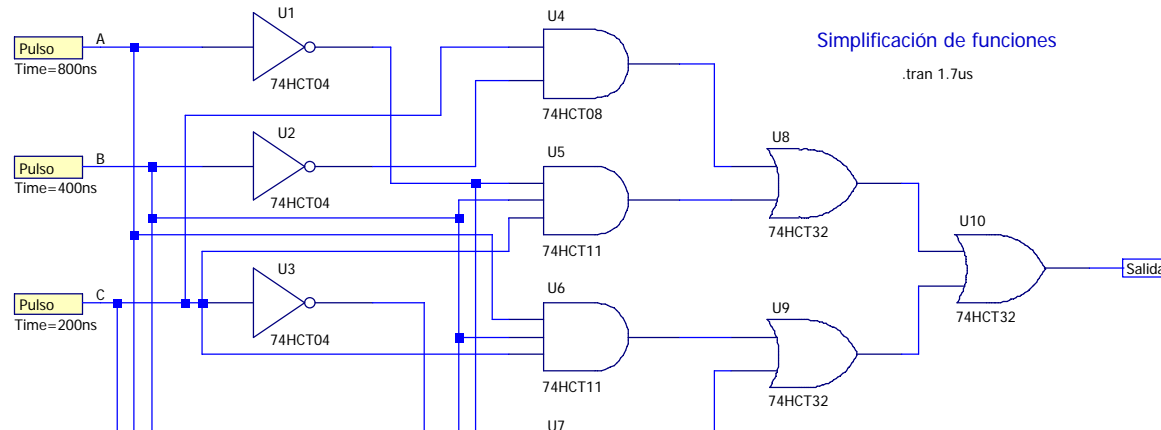
Ejemplo de simplificación de funciones lógicas



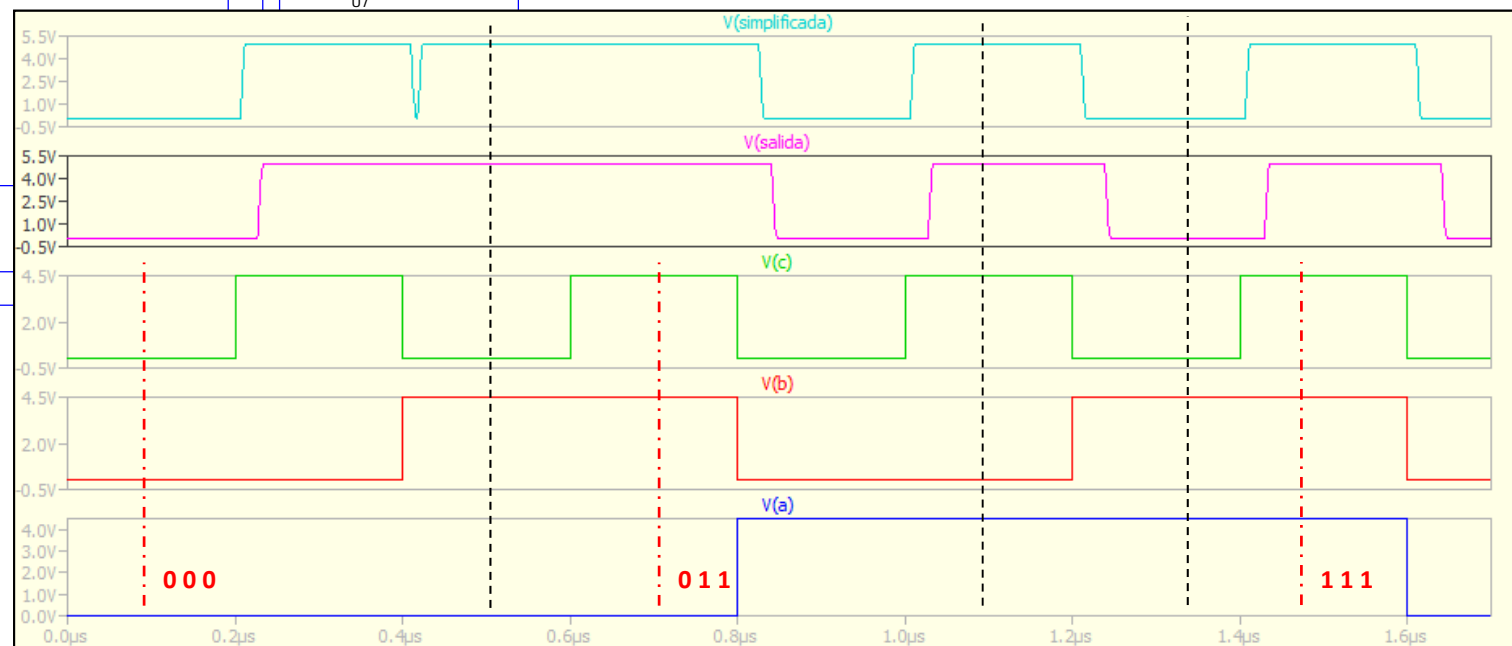
Los circuitos digitales no es necesario alimentarles con V_{CC} y GND, sólo con señales de entrada.



Ejemplo de simplificación de funciones lógicas



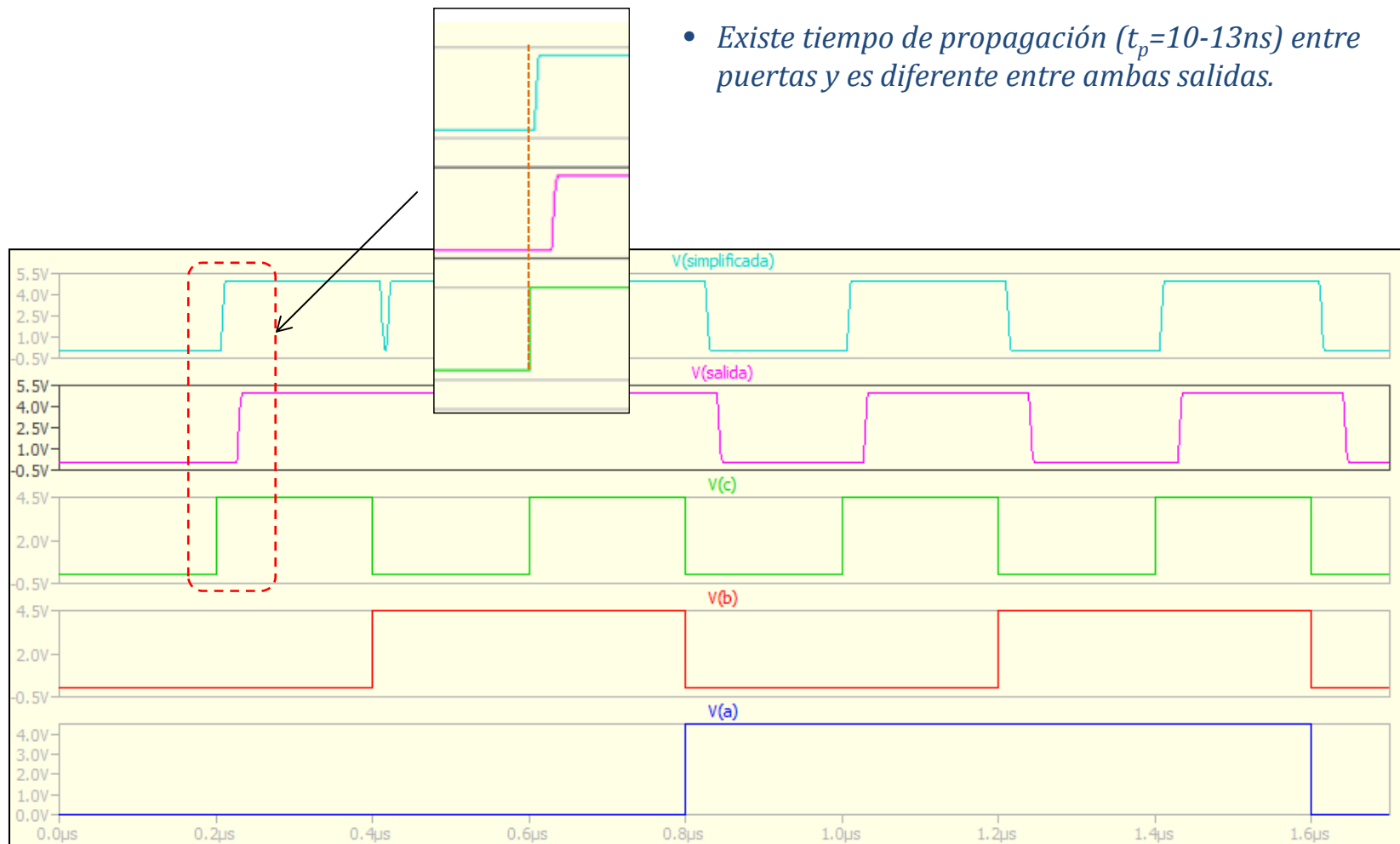
A	B	C	D
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1





Diferencias entre ambas salidas

- Existe tiempo de propagación ($t_p=10-13ns$) entre puertas y es diferente entre ambas salidas.

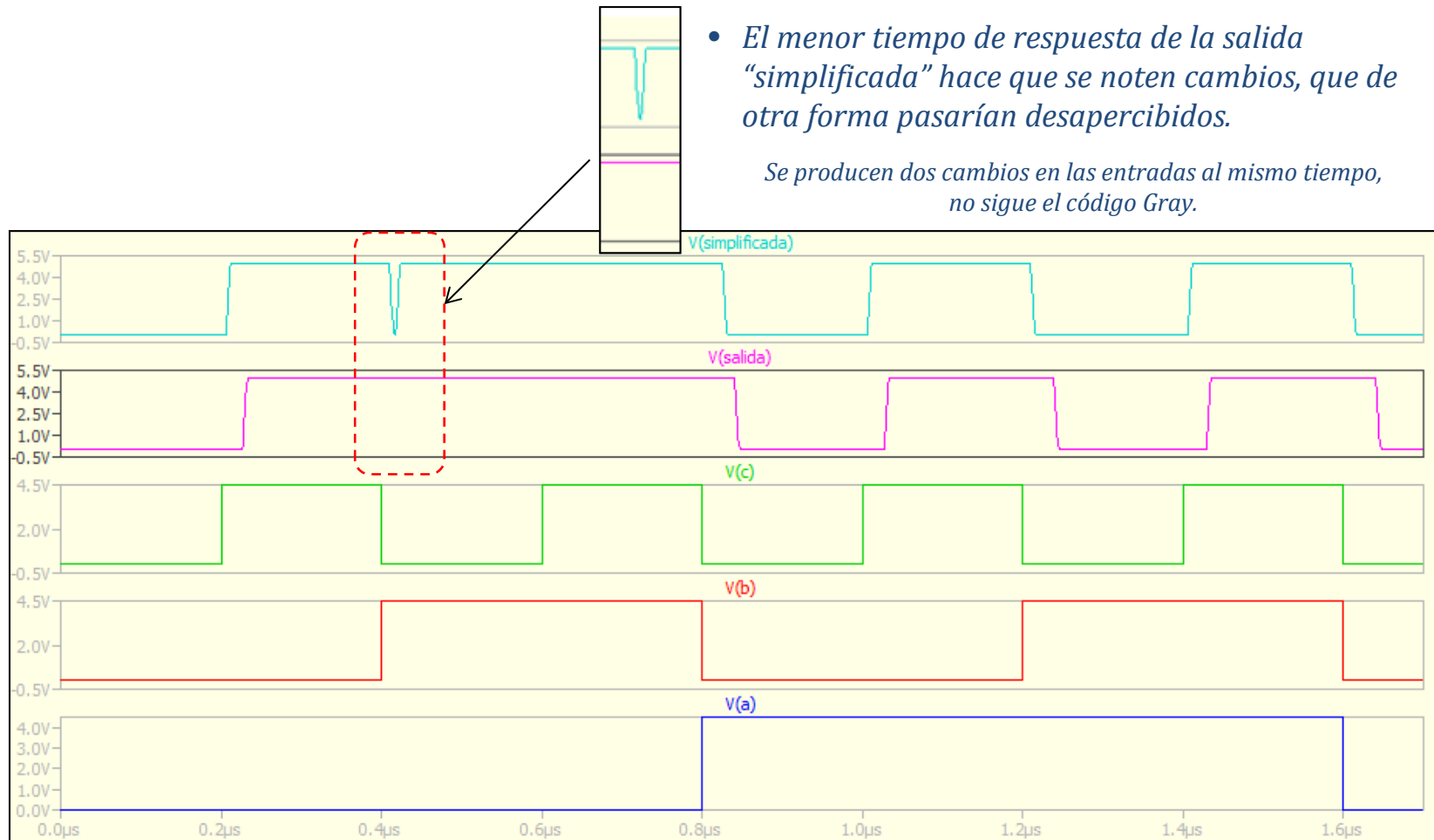




Diferencias entre ambas salidas

- *El menor tiempo de respuesta de la salida "simplificada" hace que se noten cambios, que de otra forma pasarían desapercibidos.*

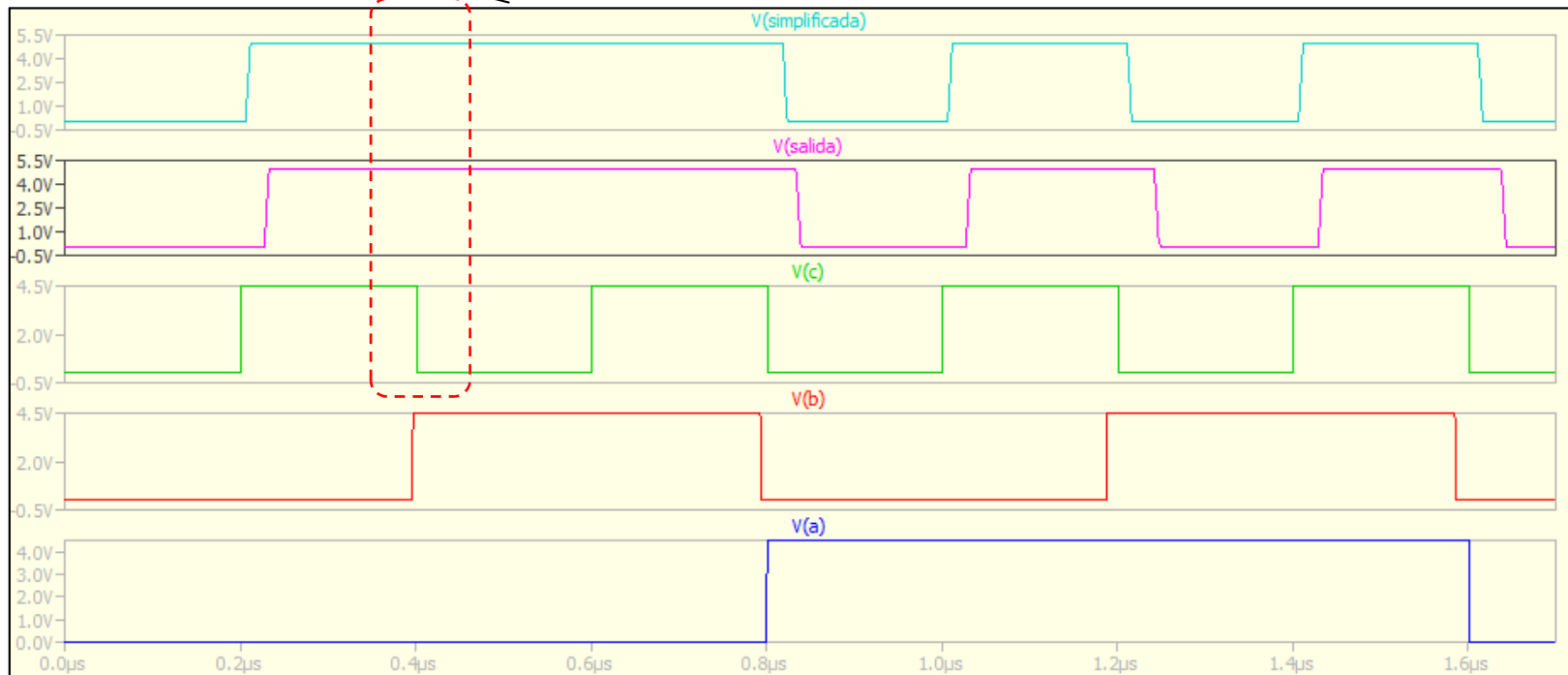
Se producen dos cambios en las entradas al mismo tiempo, no sigue el código Gray.





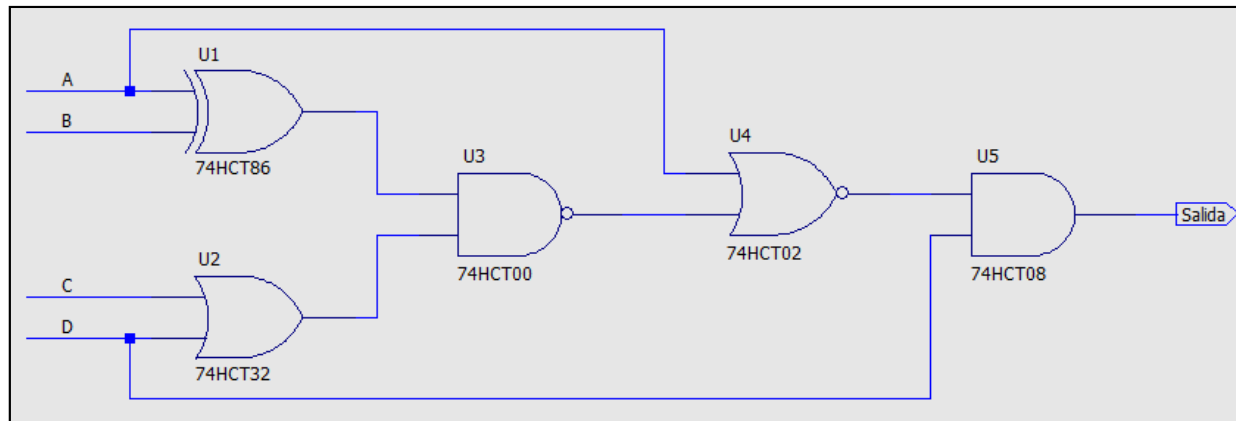
Diferencias entre ambas salidas (*mejora...*)

- Si modificamos la entrada B ($400\text{ns} \rightarrow 396\text{ns}$), el "Hazard" del circuito desaparece.





Ejemplo de simplificación por Karnaugh



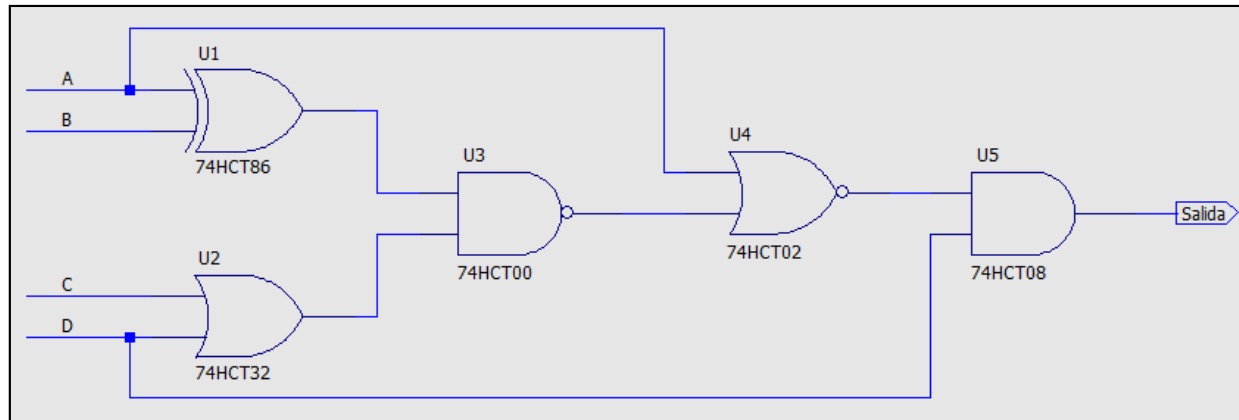
Uno de nuestros clientes nos ha enviado el circuito siguiente, del cual nos ha suministrado la tabla de verdad. Requiere nuestros servicios para obtener la máxima simplificación del mismo. Nos solicita la simulación electrónica para la comprobación/verificación del correcto funcionamiento del resultado.

	A	B	C	D	Q
0	0	0	0	0	0
1	1	0	0	0	0
2	0	1	0	0	0
3	1	1	0	0	0
4	0	0	1	0	0
5	1	0	1	0	0
6	0	1	1	0	0
7	1	1	1	0	0
8	0	0	0	1	0
9	1	0	0	1	0
10	0	1	0	1	1
11	1	1	0	1	0
12	0	0	1	1	0
13	1	0	1	1	0
14	0	1	1	1	1
15	1	1	1	1	0

Tabla de verdad



Ejemplo de simplificación por Karnaugh



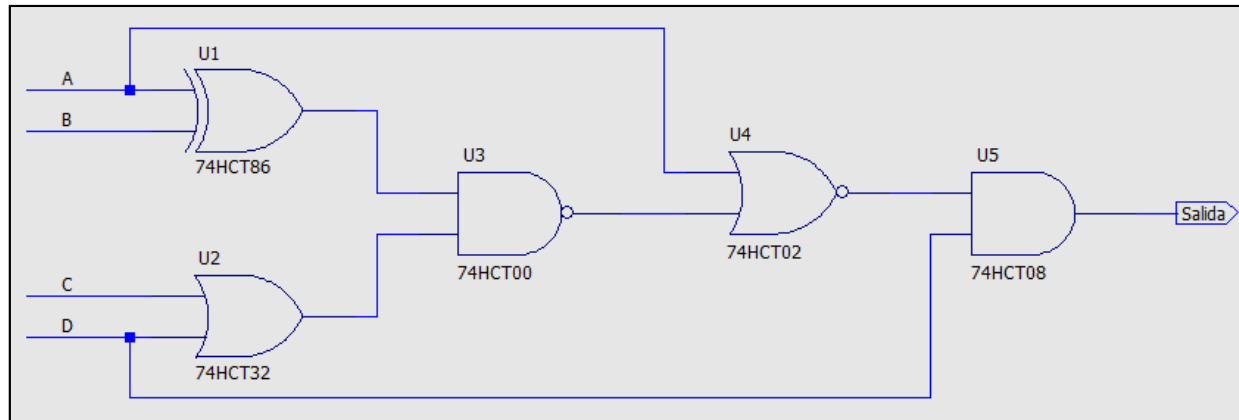
		CD			
		00	01	11	10
AB	00	0	0	0	0
	01	0	1	1	0
	11	0	0	0	0
	10	0	0	0	0

	A	B	C	D	Q
0	0	0	0	0	0
1	1	0	0	0	0
2	0	1	0	0	0
3	1	1	0	0	0
4	0	0	1	0	0
5	1	0	1	0	0
6	0	1	1	0	0
7	1	1	1	0	0
8	0	0	0	1	0
9	1	0	0	1	0
→ 10	0	1	0	1	1
11	1	1	0	1	0
12	0	0	1	1	0
13	1	0	1	1	0
→ 14	0	1	1	1	1
15	1	1	1	1	0

Tabla de verdad



Ejemplo de simplificación por Karnaugh



		CD			
		00	01	11	10
AB	00	0	0	0	0
	01	0	1	1	0
	11	0	0	0	0
	10	0	0	0	0



		CD			
		00	01	11	10
AB	00	0	0	0	0
	01	0	1	1	0
	11	0	0	0	0
	10	0	0	0	0

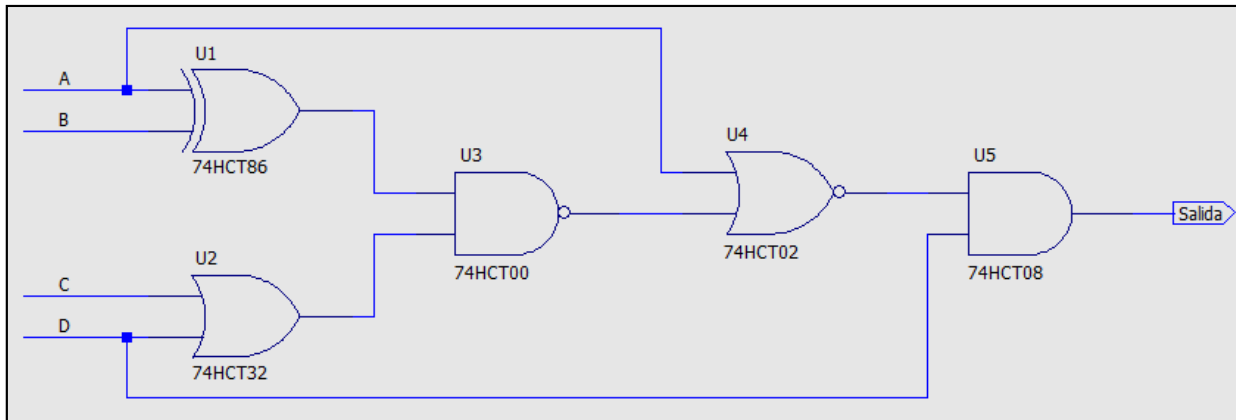
$$Q = \bar{A}B\bar{C}D + \bar{A}BC'D$$

	A	B	C	D	Q
0	0	0	0	0	0
1	1	0	0	0	0
2	0	1	0	0	0
3	1	1	0	0	0
4	0	0	1	0	0
5	1	0	1	0	0
6	0	1	1	0	0
7	1	1	1	0	0
8	0	0	0	1	0
9	1	0	0	1	0
10	0	1	0	1	1
11	1	1	0	1	0
12	0	0	1	1	0
13	1	0	1	1	0
14	0	1	1	1	1
15	1	1	1	1	0

Tabla de verdad



Ejemplo de simplificación por Karnaugh



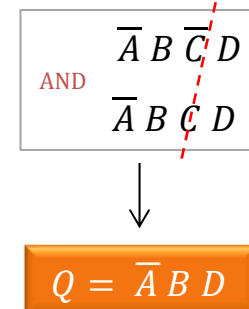
		CD			
		00	01	11	10
AB	00	0	0	0	0
	01	0	1	1	0
	11	0	0	0	0
	10	0	0	0	0

Notación	Tabla de verdad															
$C = A \cdot B$	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>C</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </tbody> </table>	A	B	C	0	0	0	0	1	0	1	0	0	1	1	1
A	B	C														
0	0	0														
0	1	0														
1	0	0														
1	1	1														



		CD			
		00	01	11	10
AB	00	0	0	0	0
	01	0	1	1	0
	11	0	0	0	0
	10	0	0	0	0

$$Q = \bar{A} B \bar{C} D + \bar{A} B C D$$

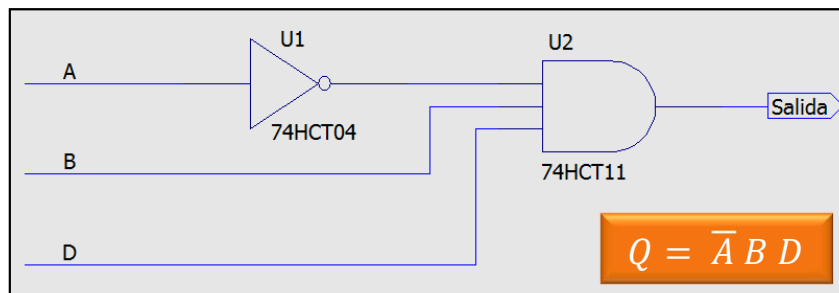
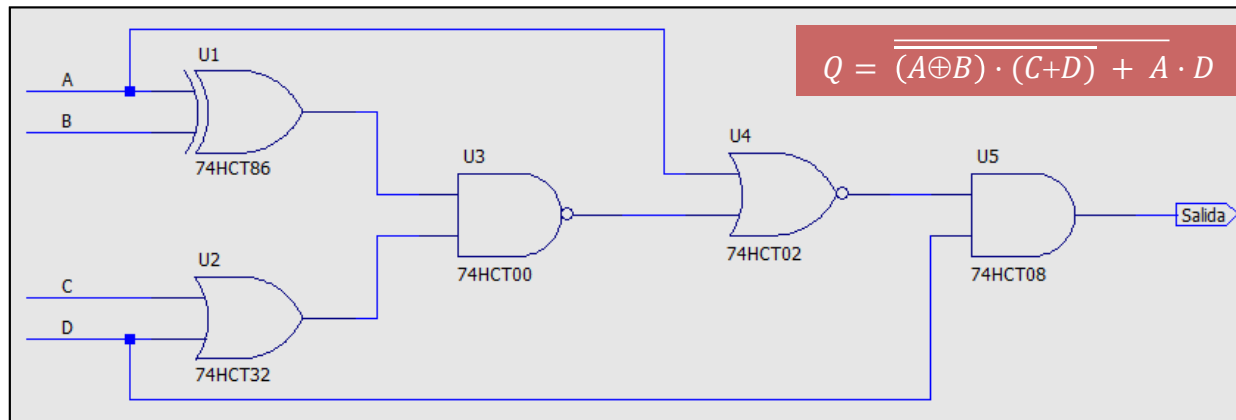


	A	B	C	D	Q
0	0	0	0	0	0
1	1	0	0	0	0
2	0	1	0	0	0
3	1	1	0	0	0
4	0	0	1	0	0
5	1	0	1	0	0
6	0	1	1	0	0
7	1	1	1	0	0
8	0	0	0	1	0
9	1	0	0	1	0
10	0	1	0	1	1
11	1	1	0	1	0
12	0	0	1	1	0
13	1	0	1	1	0
14	0	1	1	1	1
15	1	1	1	1	0

Tabla de verdad

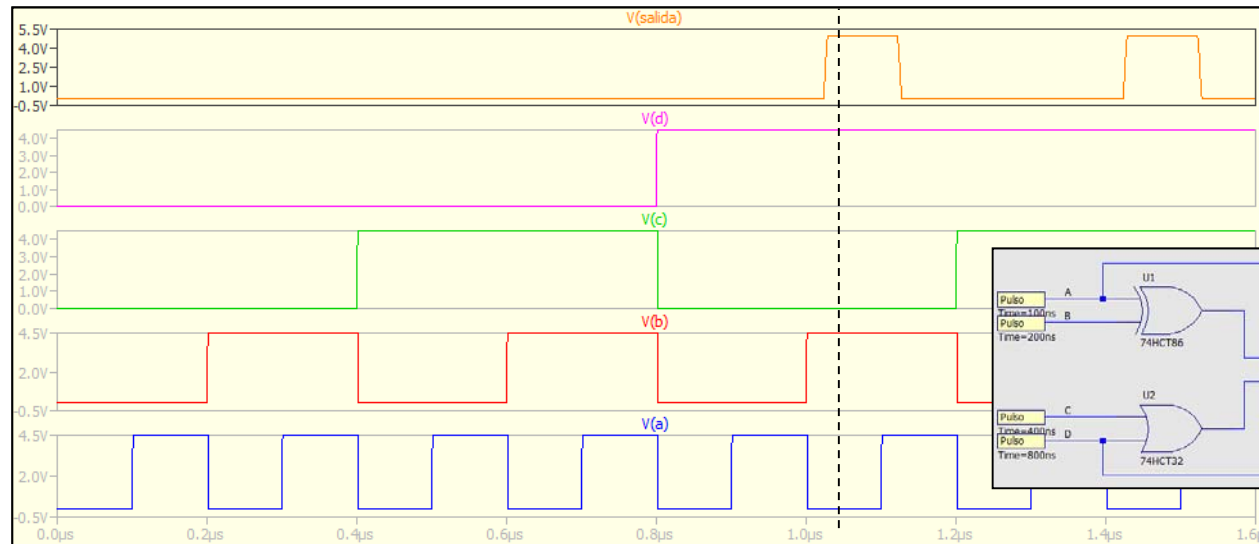


Ejemplo de simplificación por Karnaugh (Comprobar ambas funcionalidades)

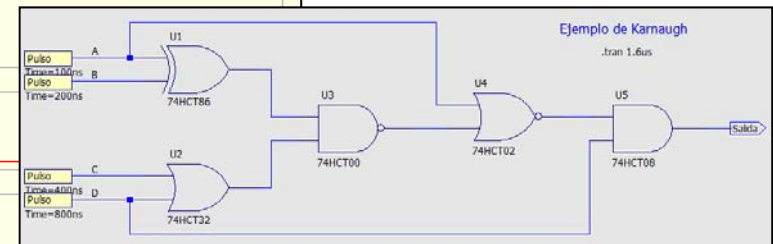




Ejemplo de simplificación por Karnaugh (Comprobar ambas funcionalidades)



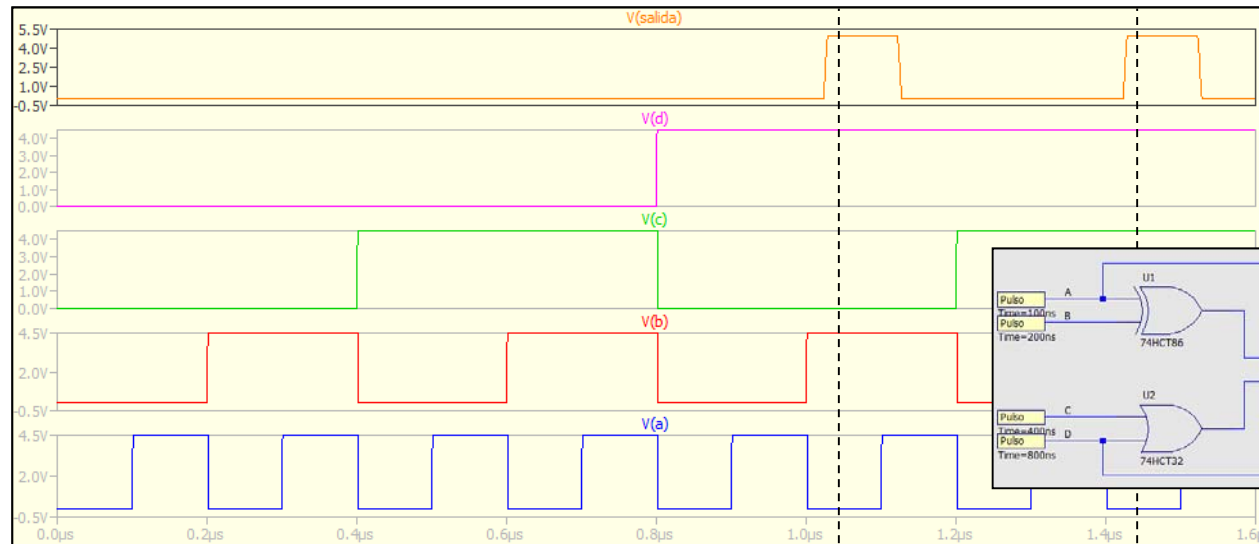
$$Q = \overline{(A \oplus B)} \cdot (C + D) + A \cdot D$$



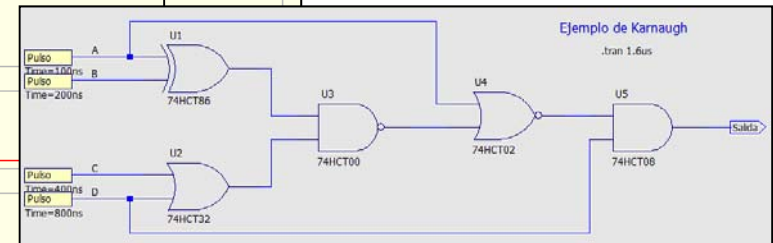
→	9	1	0	0	1	0
→	10	0	1	0	1	1
→	11	1	1	0	1	0
→	12	0	0	1	1	0
→	13	1	0	1	1	0
→	14	0	1	1	1	1



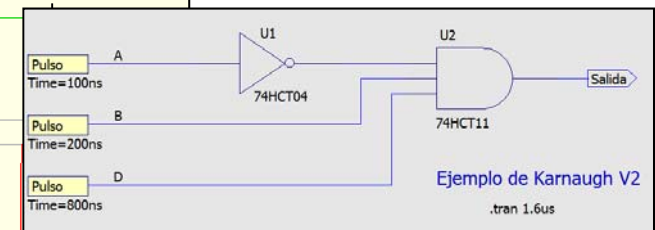
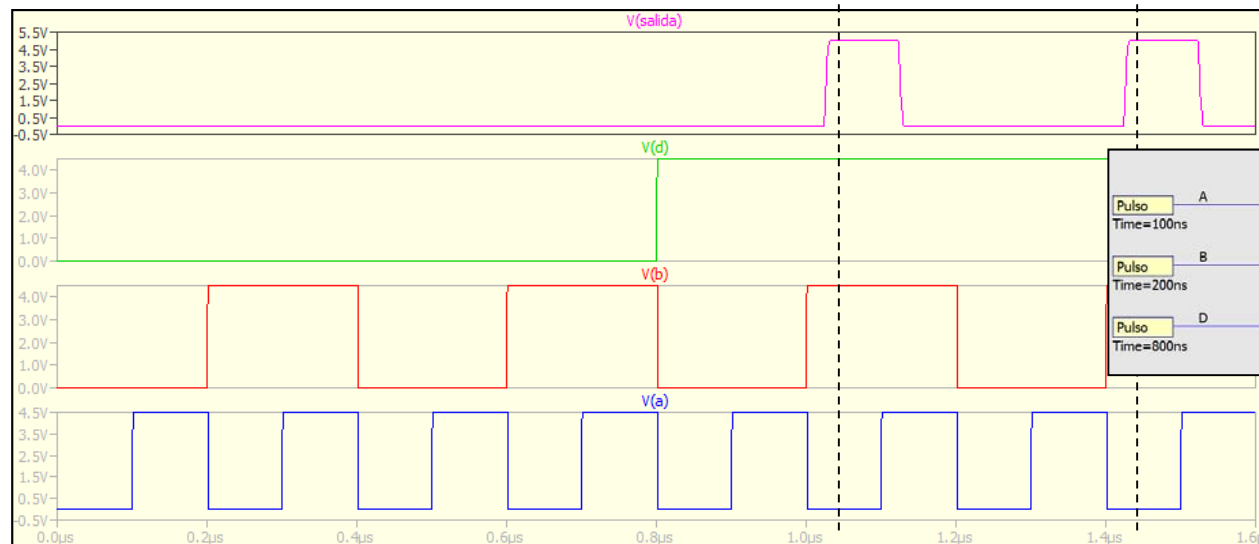
Ejemplo de simplificación por Karnaugh (Comprobar ambas funcionalidades)



$$Q = \overline{(A \oplus B)} \cdot (C + D) + A \cdot D$$



9	1	0	0	1	0
10	0	1	0	1	1
11	1	1	0	1	0
12	0	0	1	1	0
13	1	0	1	1	0
14	0	1	1	1	1

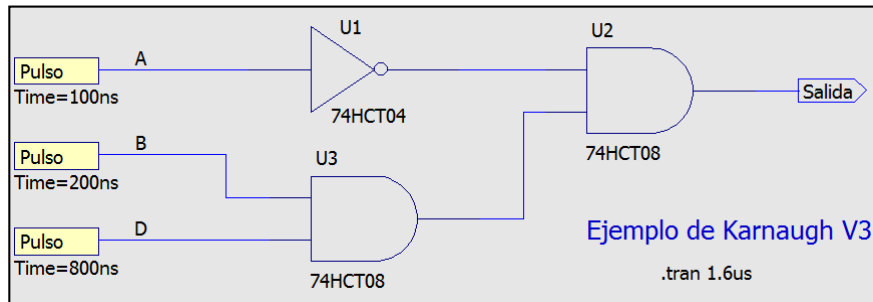


$$Q = \bar{A} B D$$

Implementamos la nueva función



Ejemplo de simplificación por Karnaugh (Con puertas de 2 entradas)

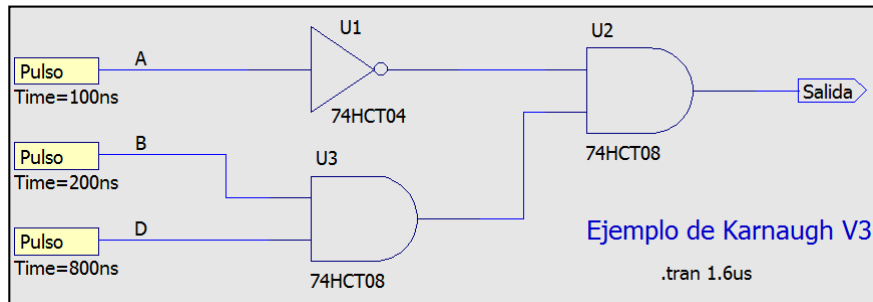


$$Q = \bar{A} B D$$

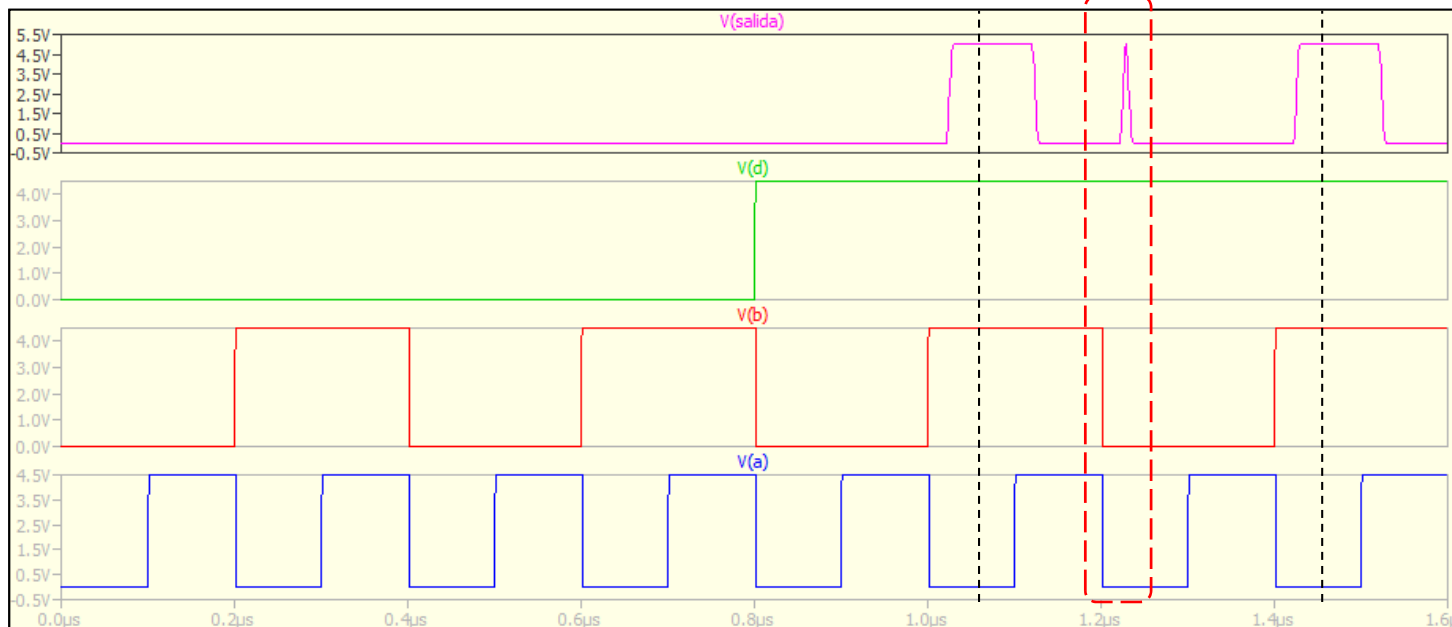
Ejemplo de Karnaugh V3
.tran 1.6us



Ejemplo de simplificación por Karnaugh (Con puertas de 2 entradas)

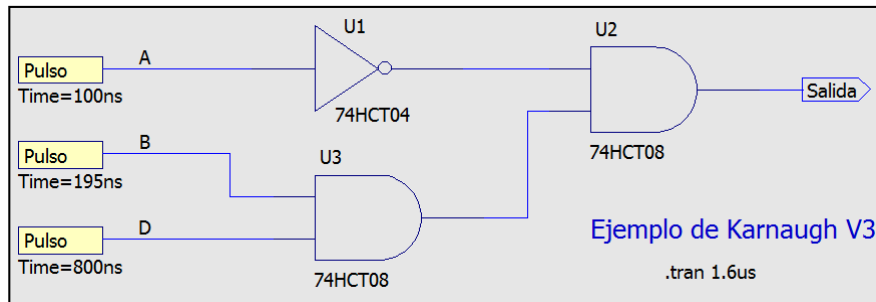


$$Q = \bar{A} B D$$

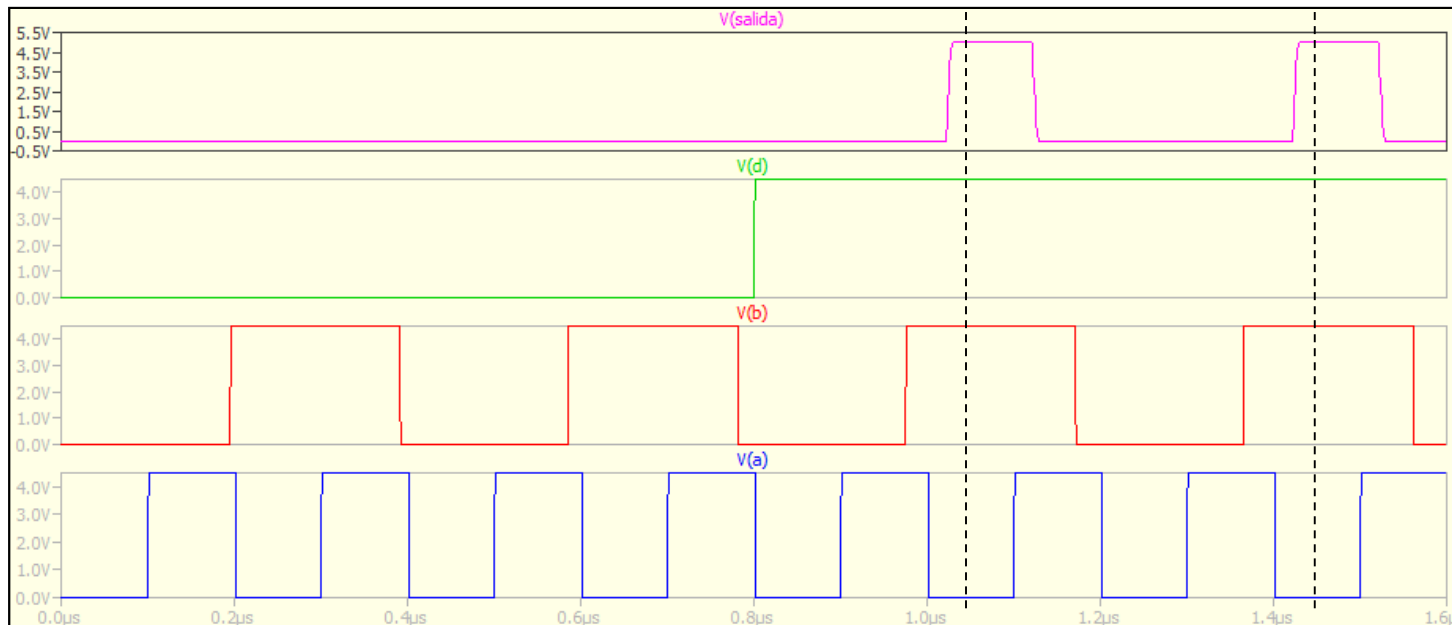




Ejemplo de simplificación por Karnaugh (Con puertas de 2 entradas)



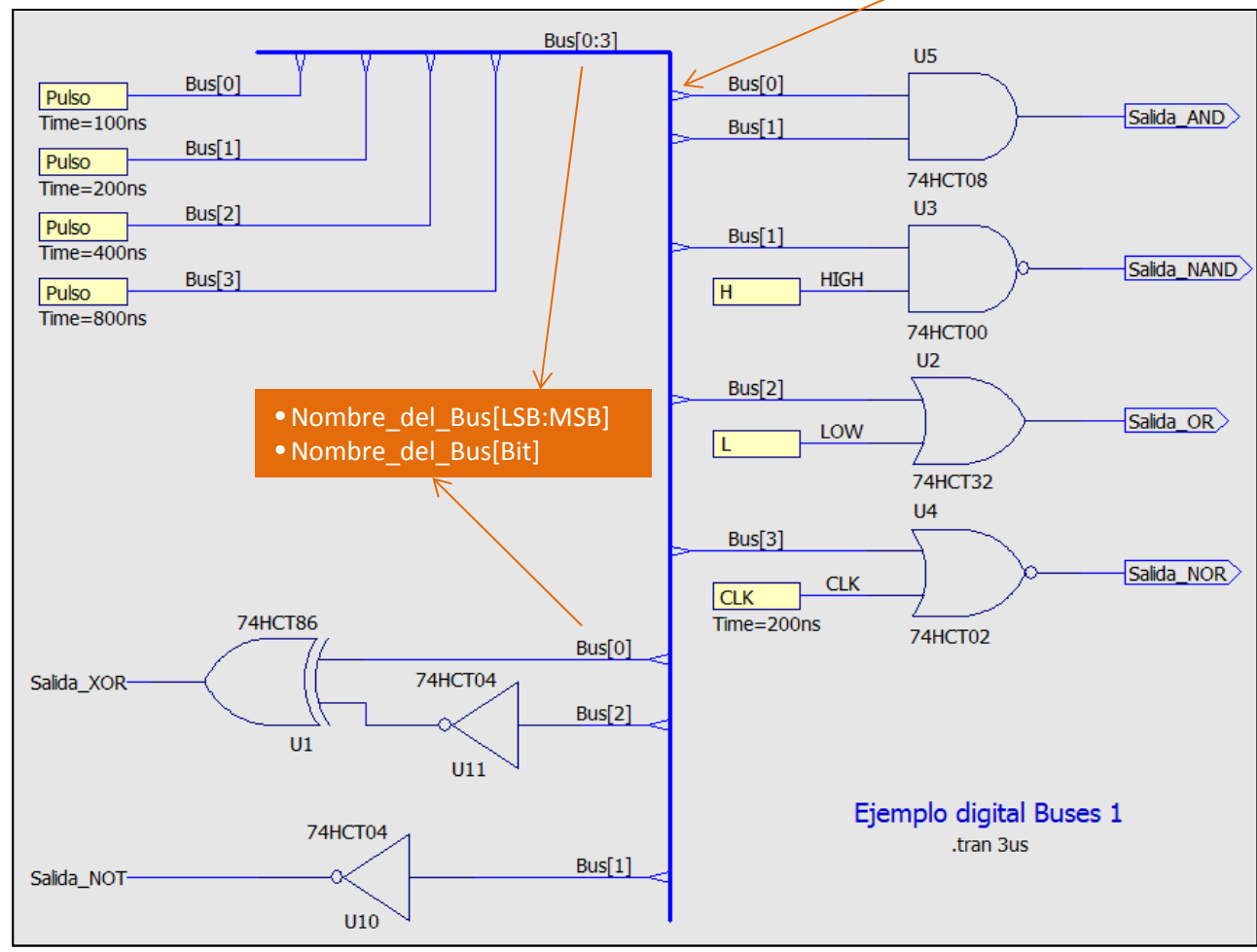
Si modificamos la entrada B (200ns \rightarrow 195ns), el "Hazard" del circuito desaparece.





Ejemplo con buses digitales

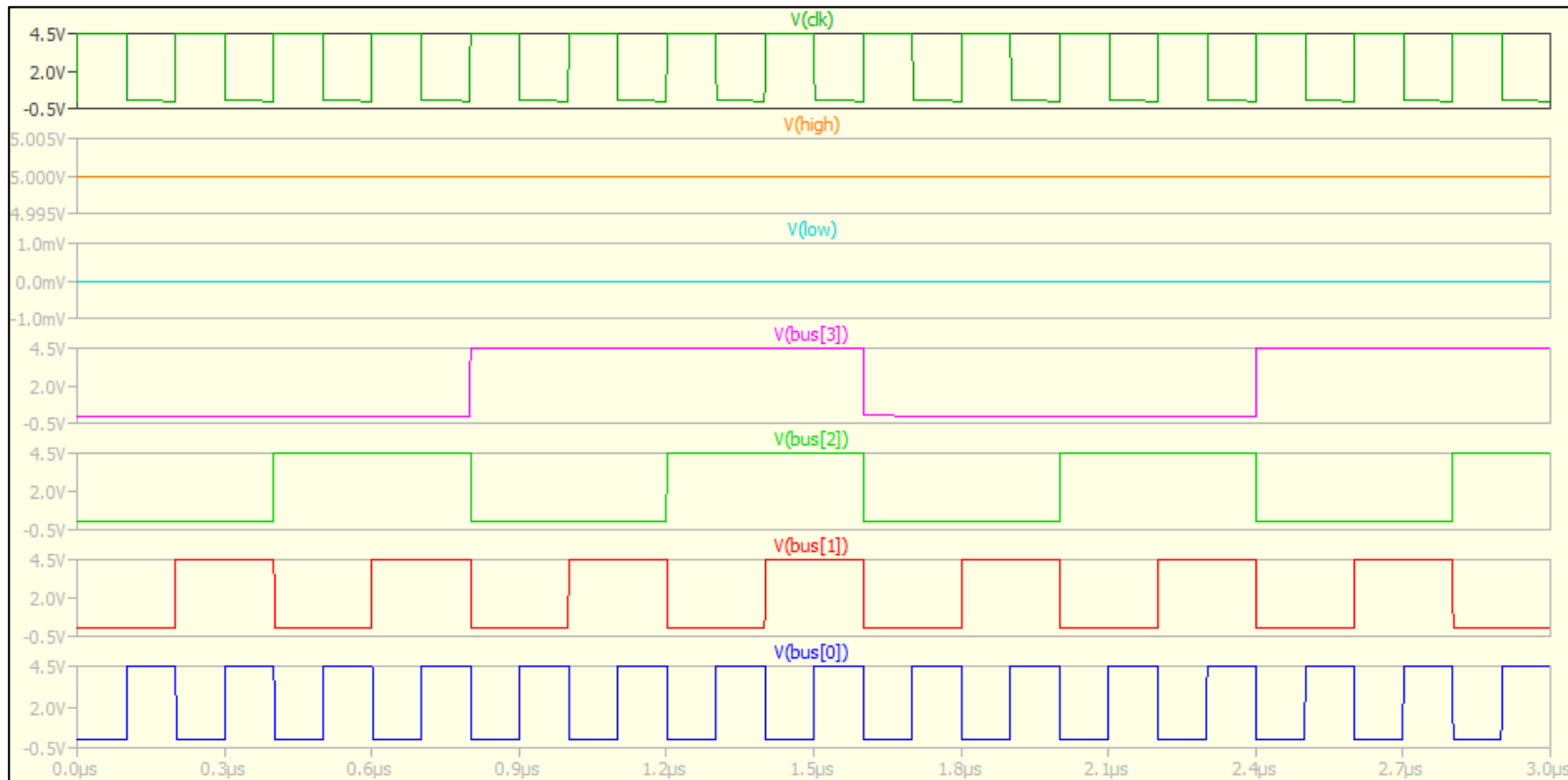
Place BUS tap



Ejemplo digital Buses 1
.tran 3us

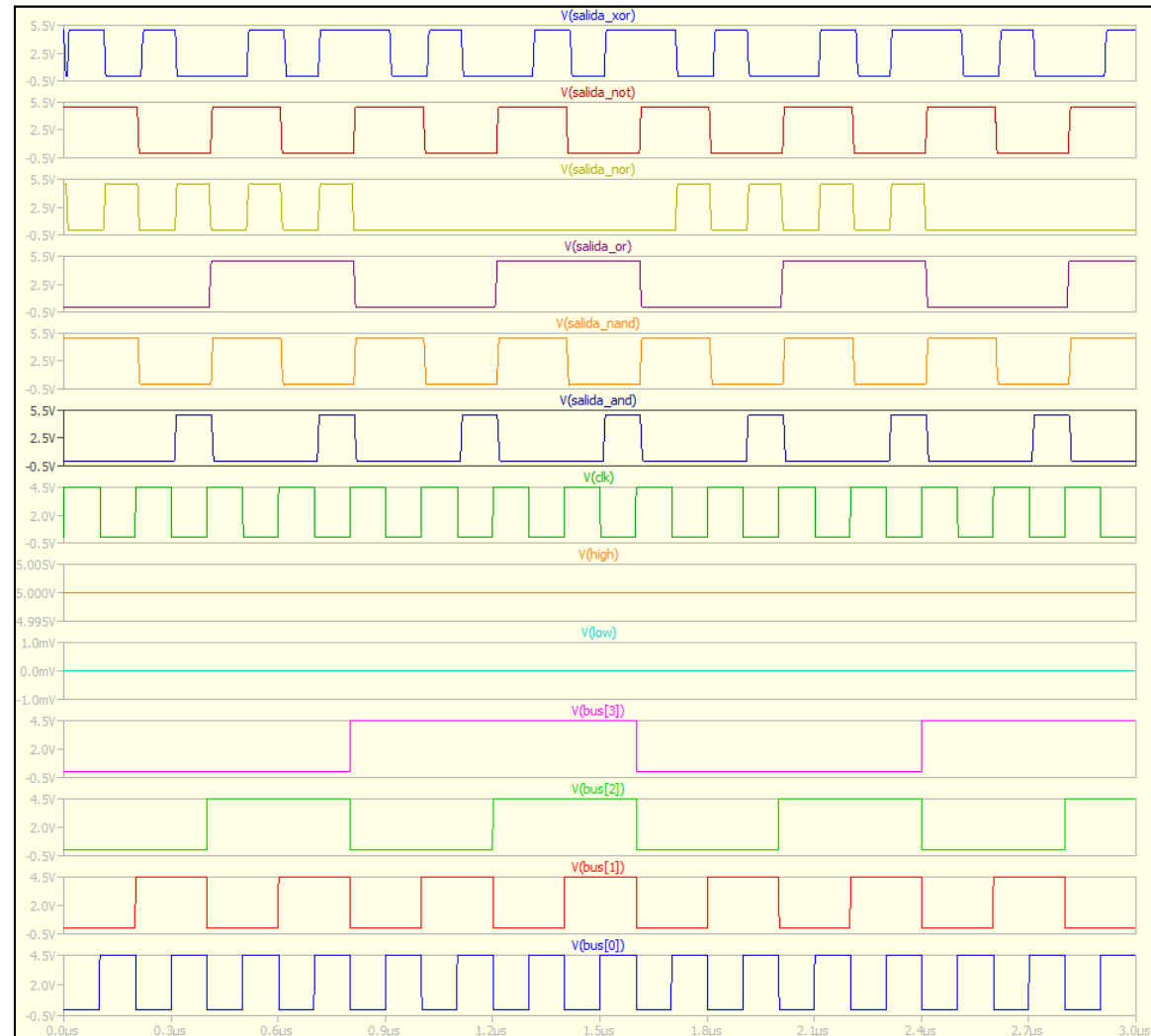
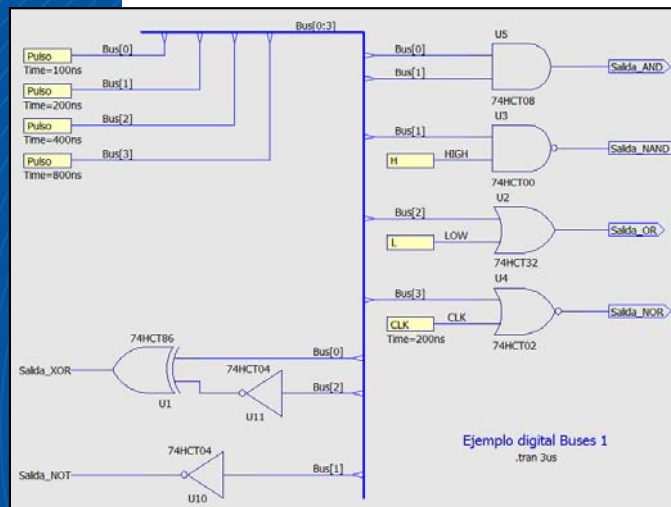


Ejemplo con buses digitales (*Señales de entrada al circuito*)



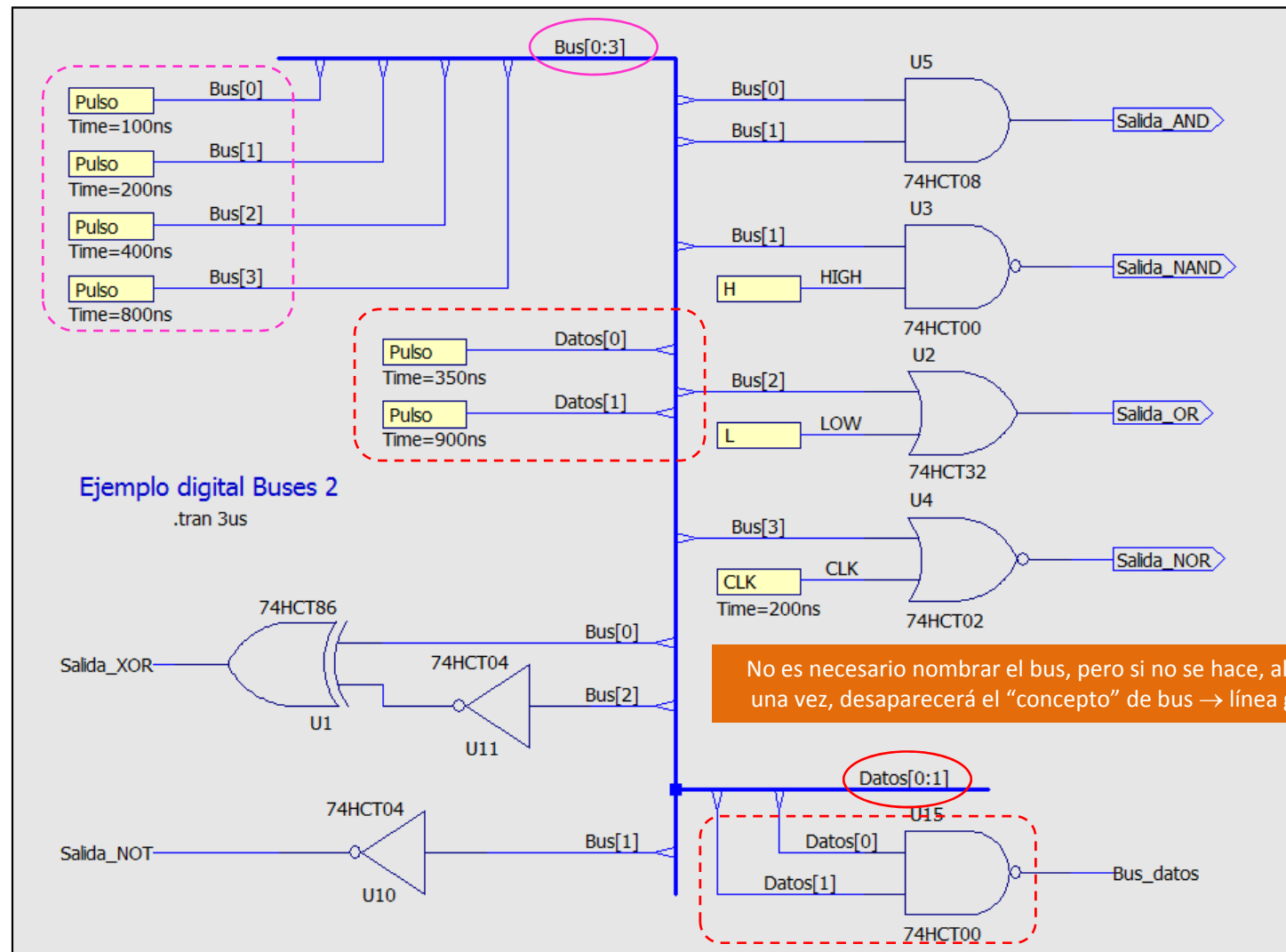


Ejemplo con buses digitales (*Señales de entrada/salida del circuito*)



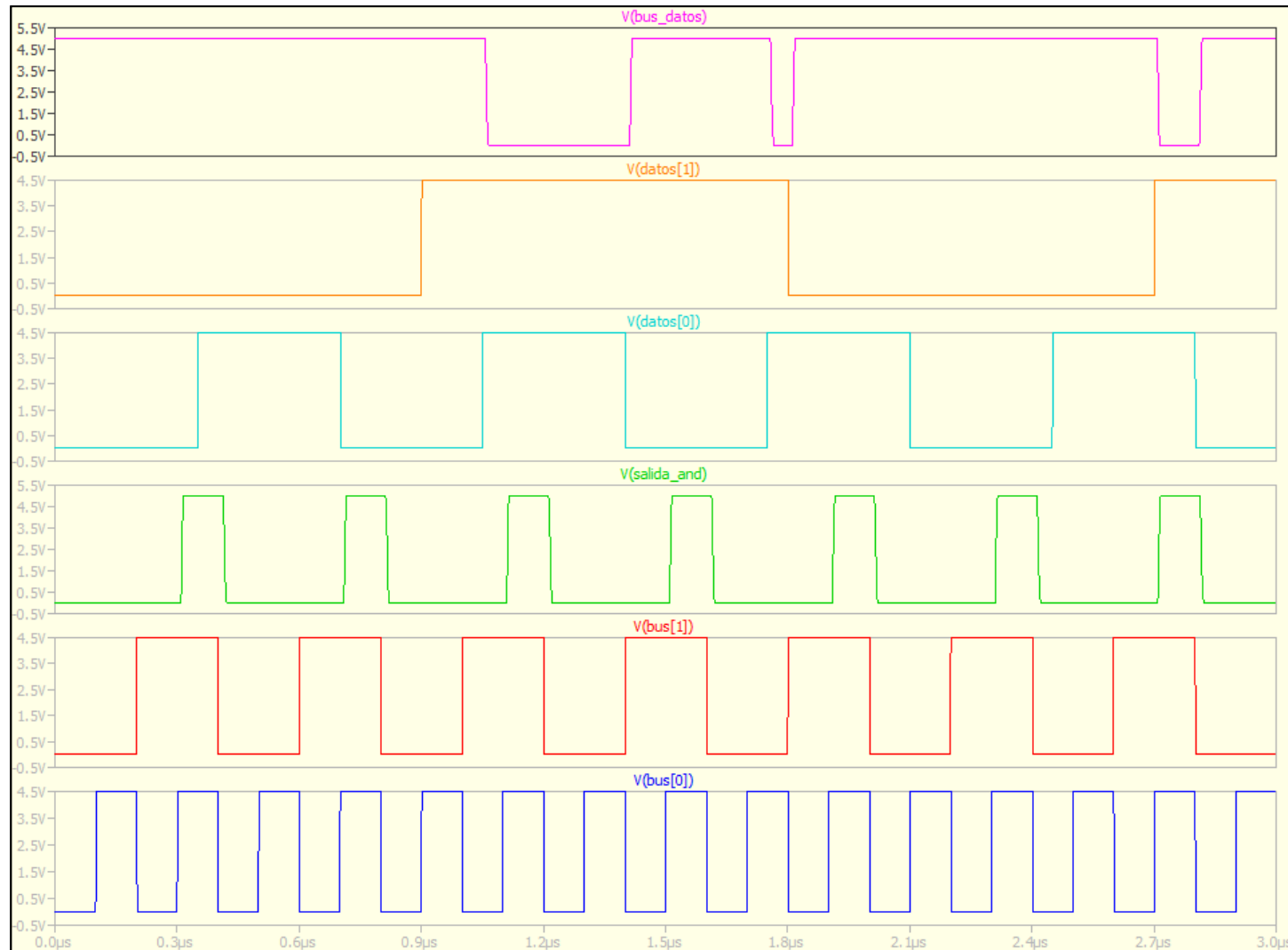


Ejemplo con buses digitales (Conectando dos buses)



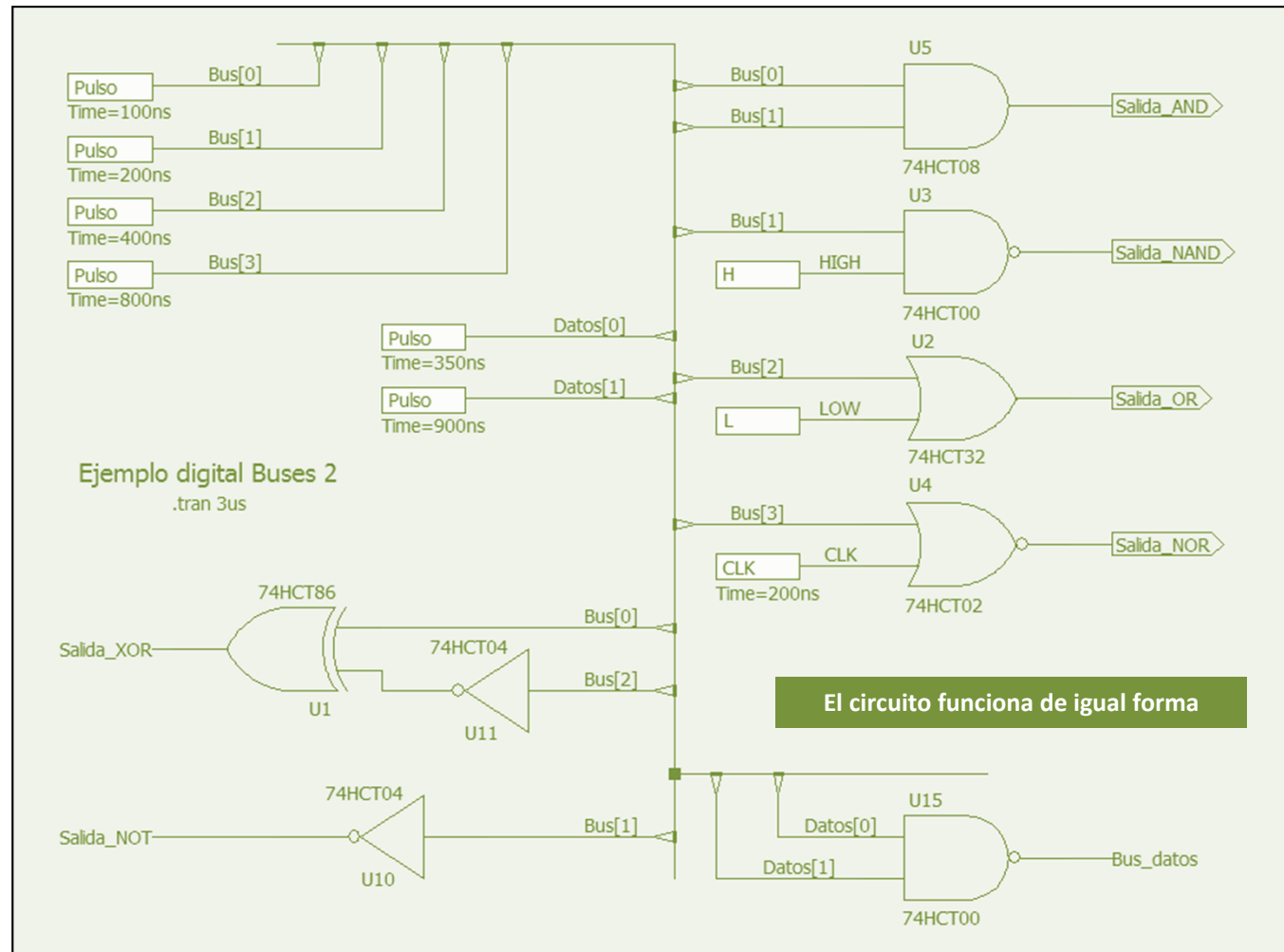


Ejemplo con buses digitales (*Señales de ambos buses*)



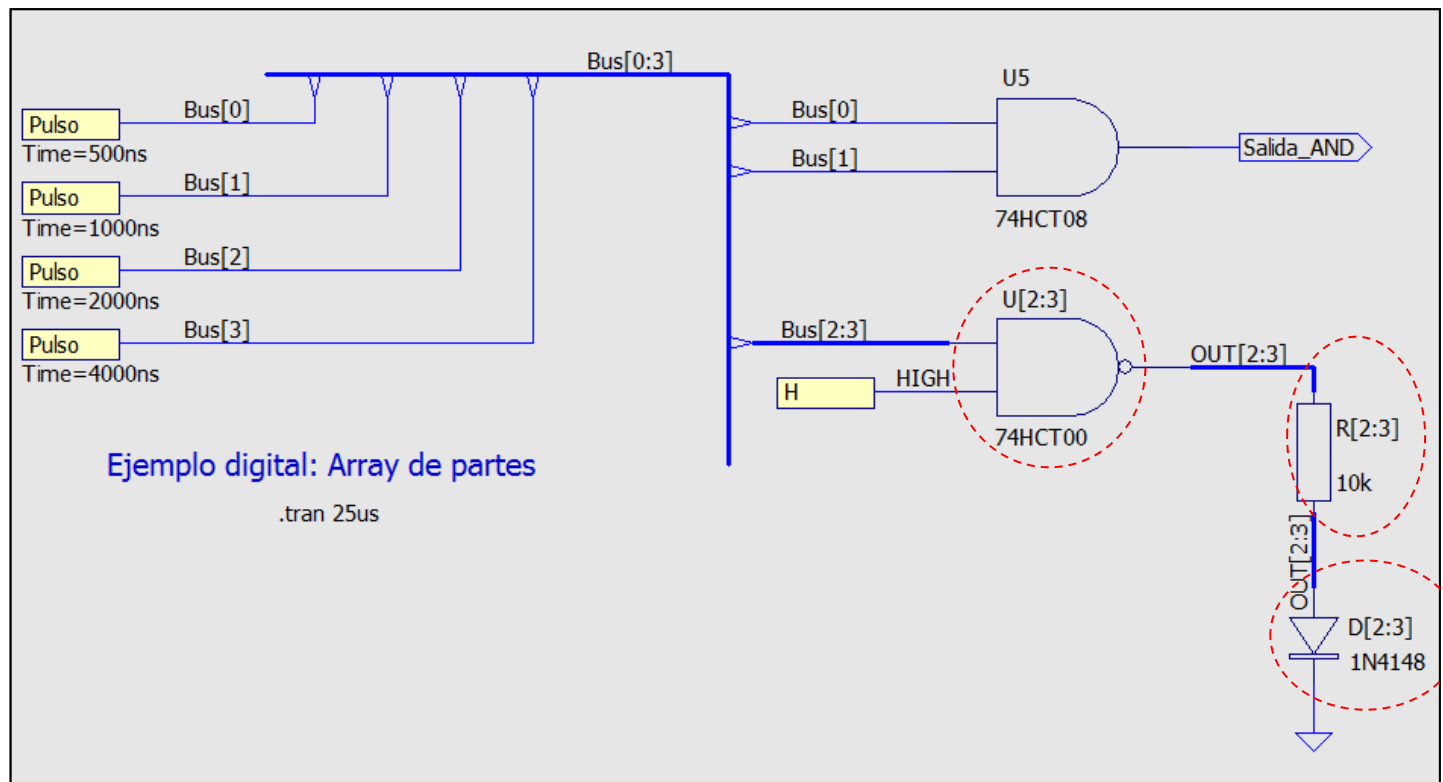


Ejemplo con buses digitales (*Uniendo dos buses sin nombrarles*)



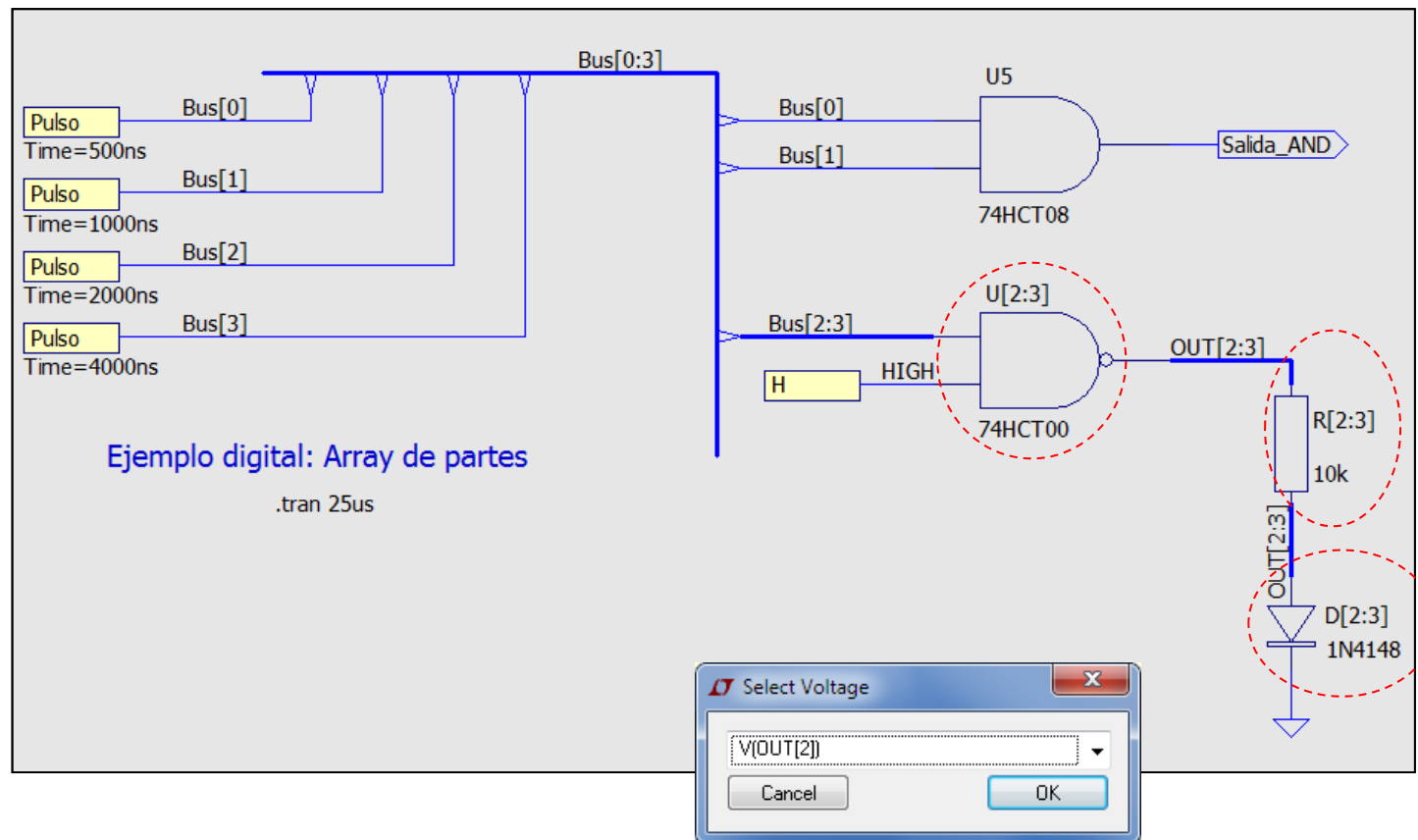


Ejemplo con buses digitales (*Array de componentes*)



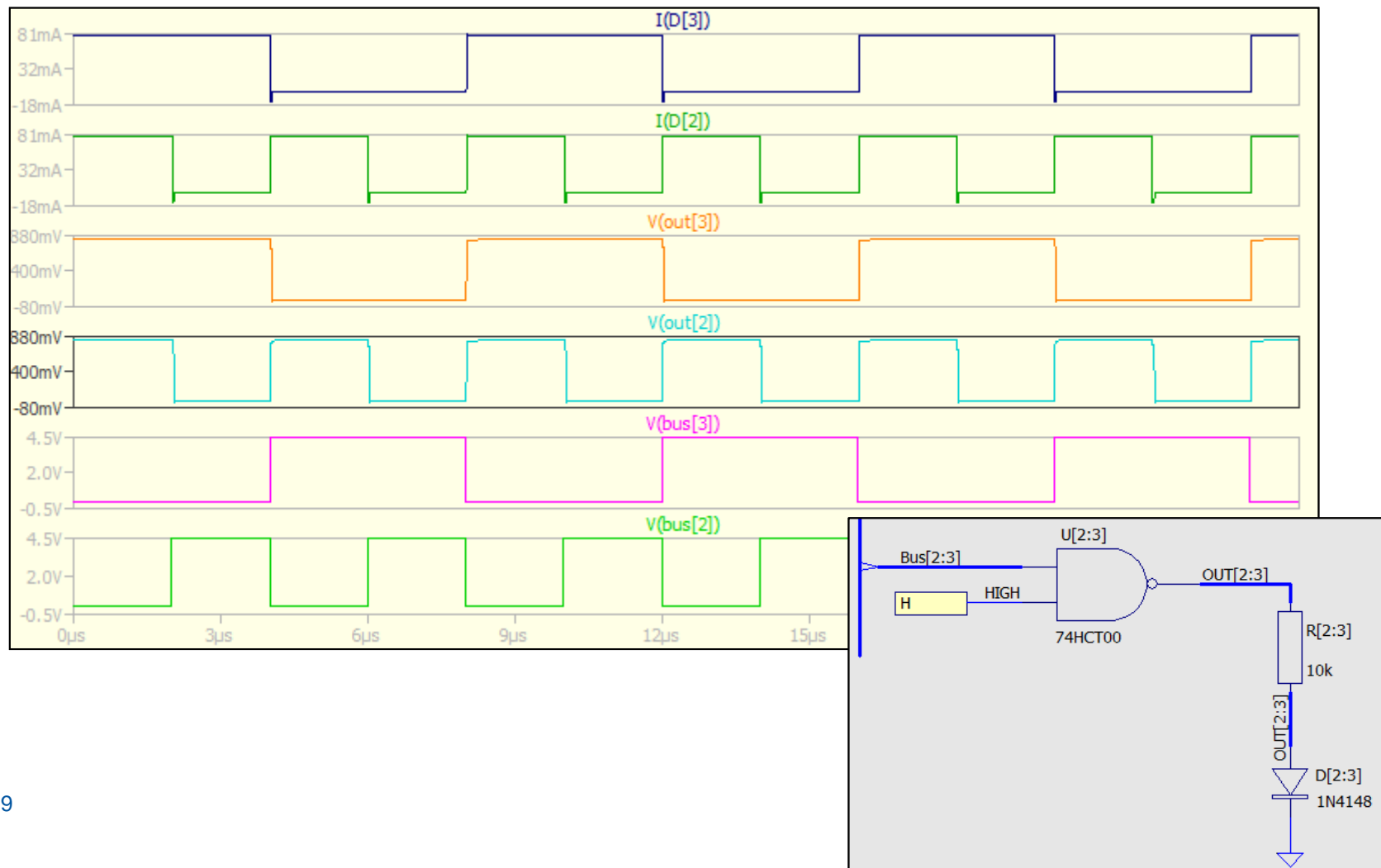


Ejemplo con buses digitales (*Array de componentes*)





Ejemplo con buses digitales (*Array de componentes: Señales de entrada/salida*)





Simulación híbrida (Analógica y Digital simultáneamente)

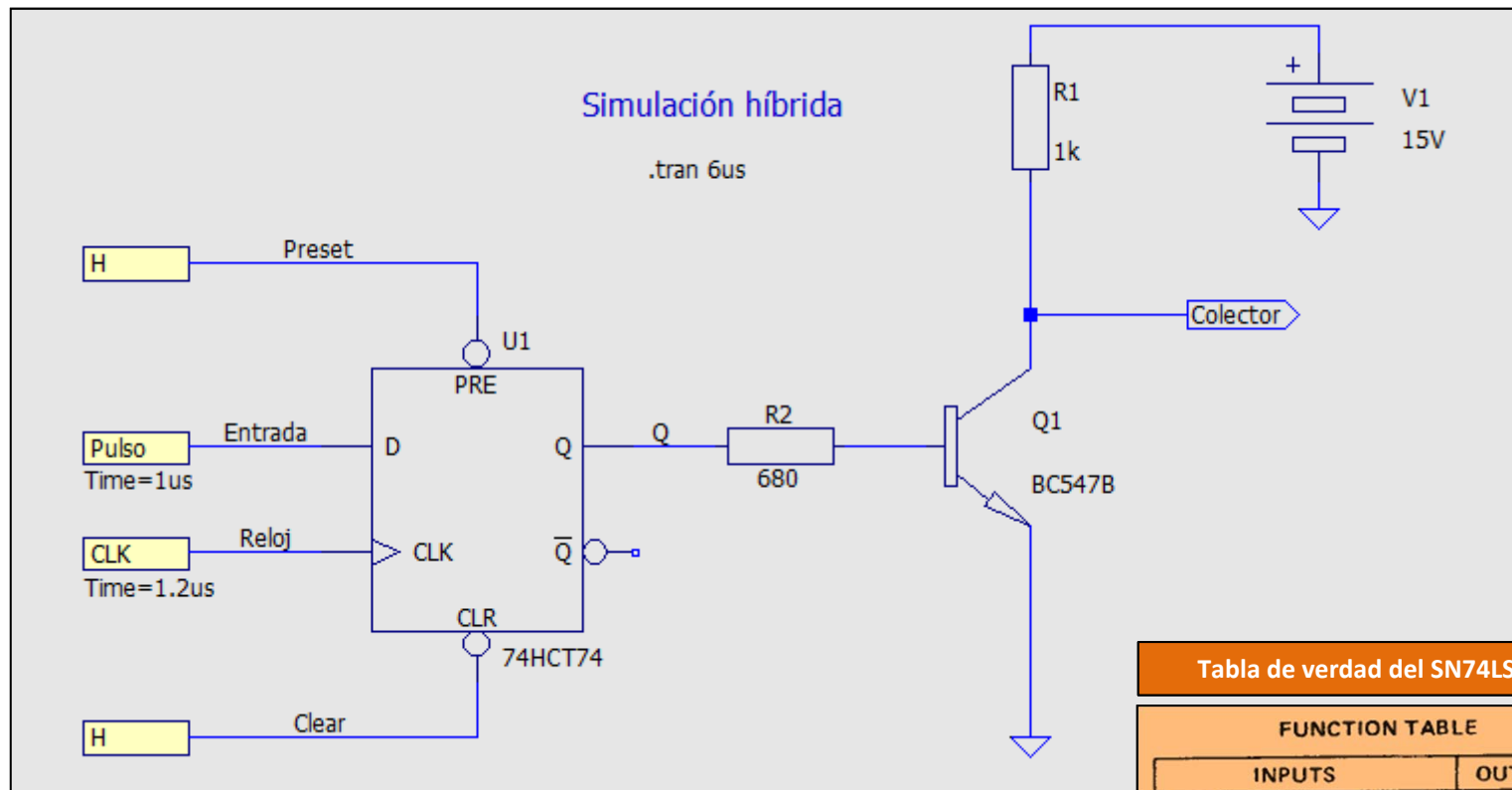
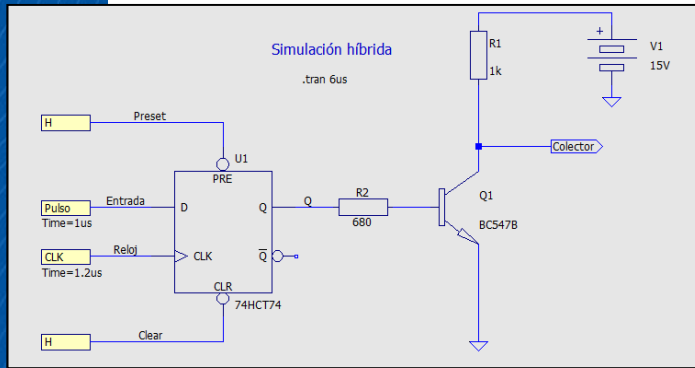


Tabla de verdad del SN74LS74A

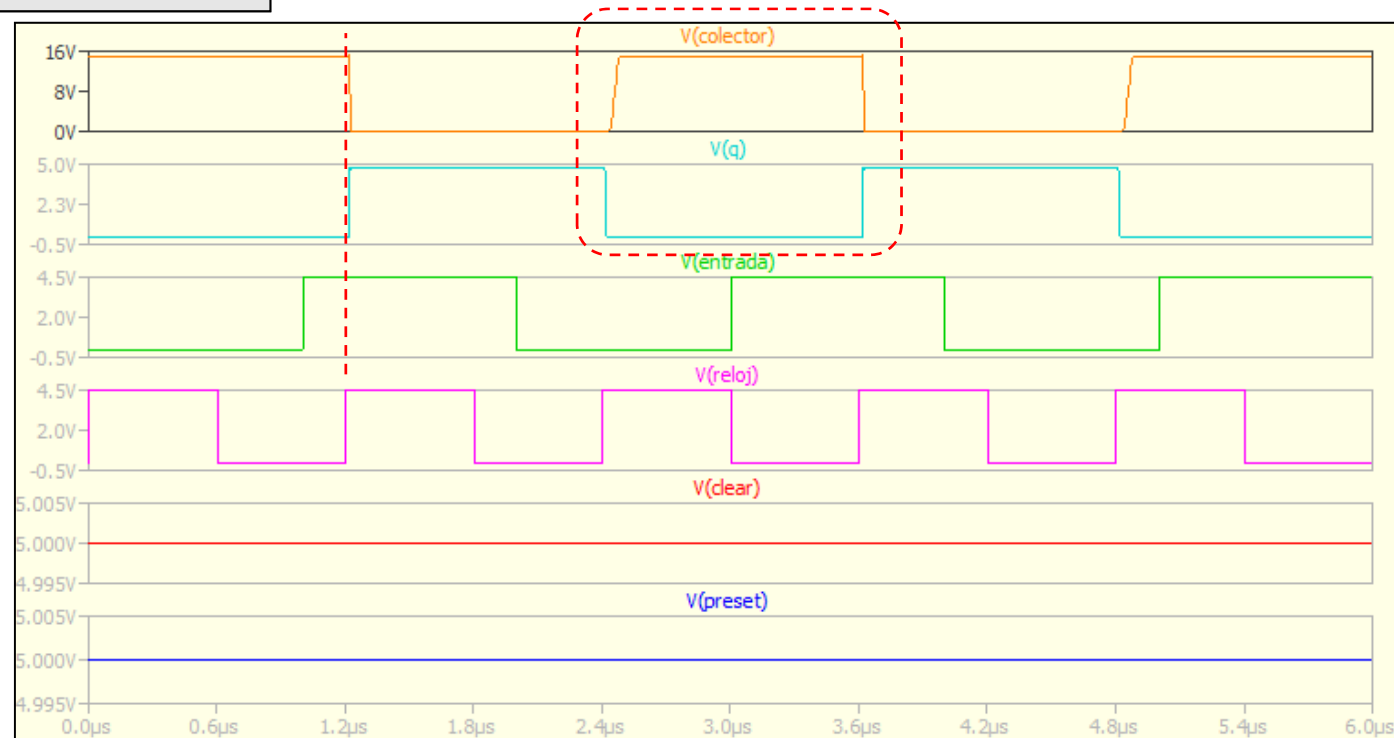
FUNCTION TABLE					
INPUTS				OUTPUTS	
PRE	CLR	CLK	D	Q	\bar{Q}
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H [†]	H [†]
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q ₀	\bar{Q}_0



Simulación híbrida (Entradas y salidas para el BC547B)

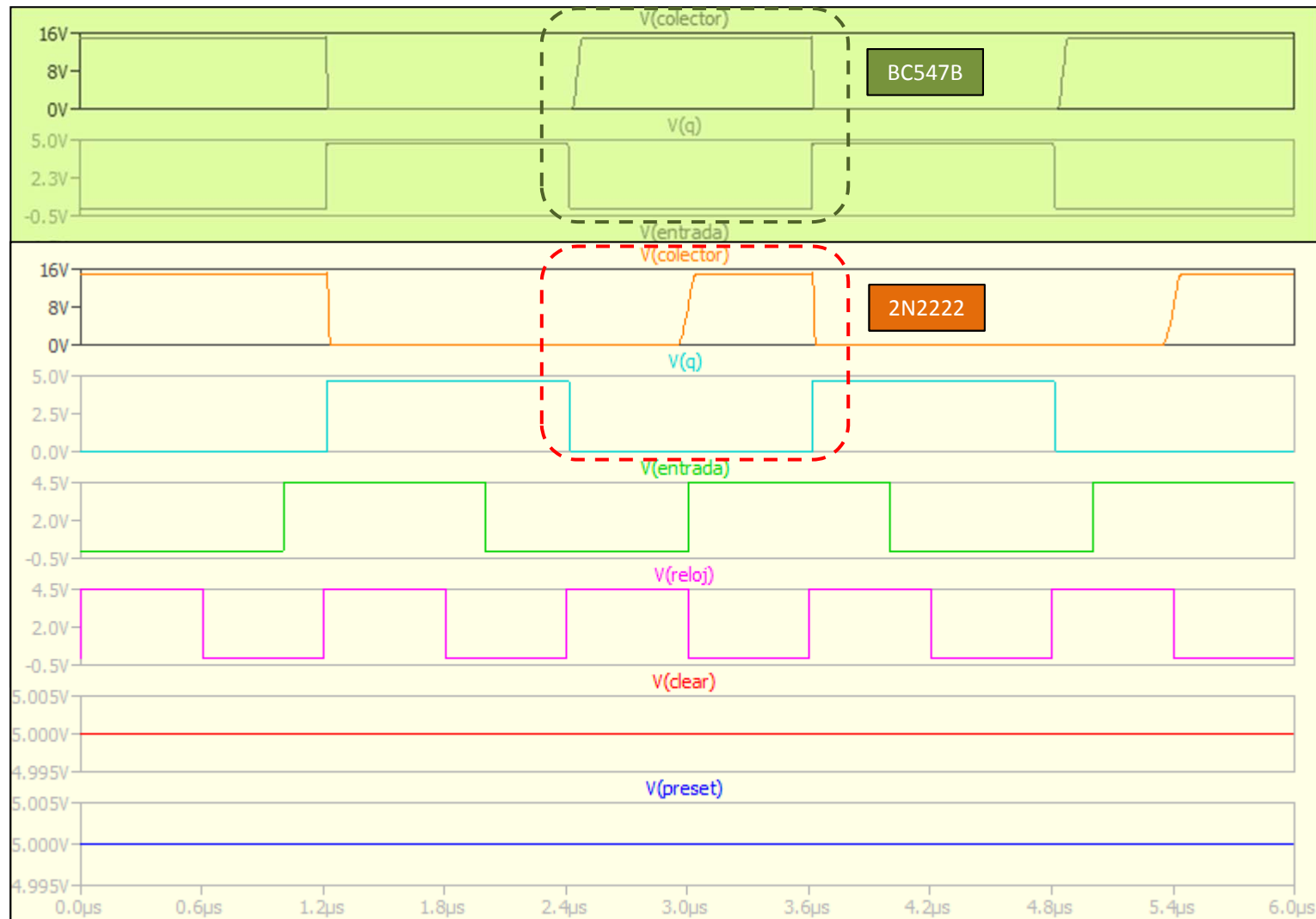


INPUTS				OUTPUTS	
PRE	CLR	CLK	D	Q	\bar{Q}
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H [↑]	H [↑]
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q ₀	\bar{Q}_0



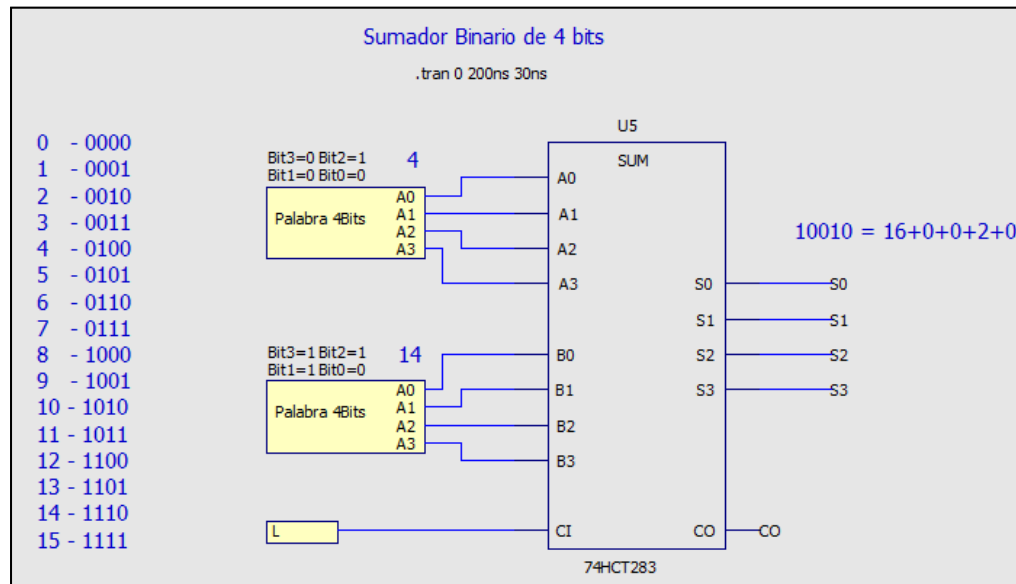


Simulación híbrida (*Entradas y salidas para el 2N2222*)



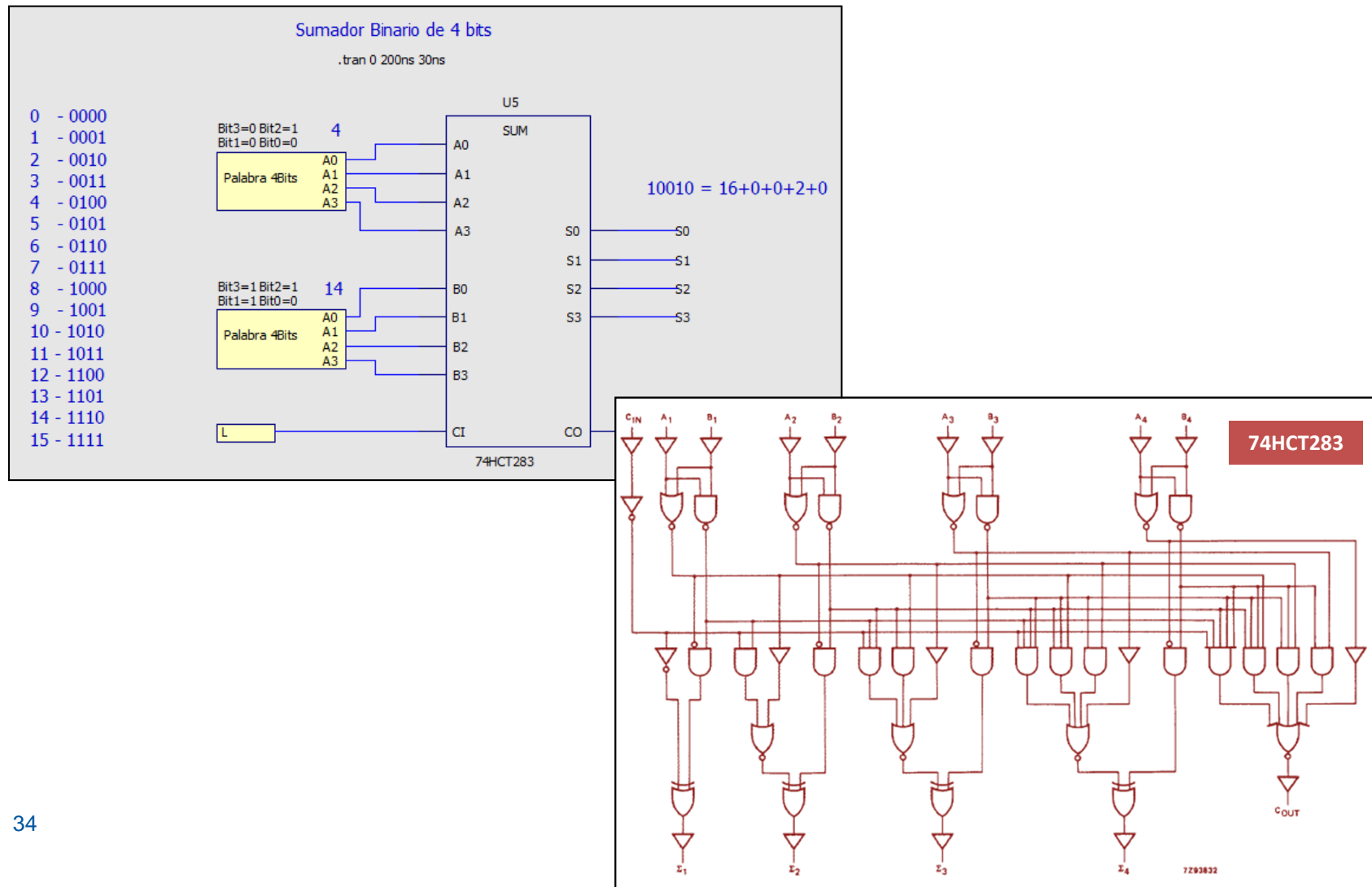


Circuito secuencial (*Sumador*)



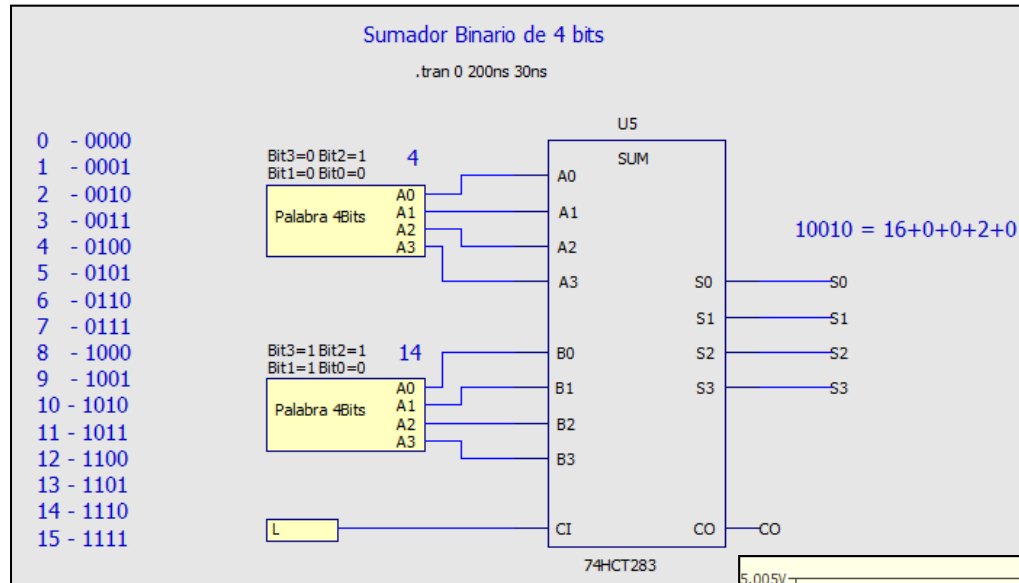


Circuito secuencial (*Sumador*)





Circuito secuencial (*Sumador*)



Suma decimal
4 + 14 = 18

Suma binaria

$$\begin{array}{r} 0100 \\ + 1110 \\ \hline 10010 \end{array}$$




Ejercicio digital resuelto (*Circuito combinacional*)

En el circuito de la figura se muestra el esquema de llenado de un pantano. El pantano se llena a través de una bomba y se controla con tres sensores. Uno de llenado máximo (Mx), otro de cantidad mínima (Mn) y un sensor crepuscular (Cr) para aprovechar, en lo posible, la tarifa eléctrica nocturna.

Las condiciones de activación de la bomba y los sensores son las siguientes:

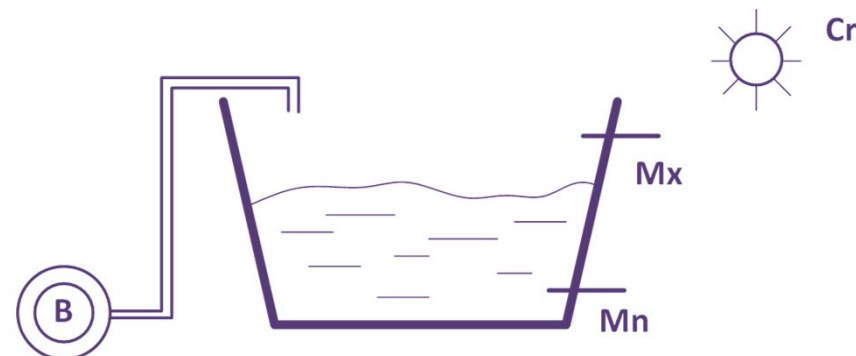
- Bomba (**B**) = 0 Paro, 1 Marcha.
- Sensores altura agua (**Mx, Mn**) = 0 No detecta, 1 Sí detecta.
- Sensor crepuscular (**Cr**) = 0 Día, 1 Noche.

Las condiciones de trabajo son las siguientes:

- Día = Pantano debe contener al menos el mínimo de agua.
- Noche = El pantano se llenará al máximo.

Suposiciones de partida:

- La bomba puede suministrar al agua que sea necesaria en el tiempo que sea necesario.
- No se considera la evaporación del agua por la incidencia solar.
- No se considera el aumento del agua almacenada por lluvia.
- No existen fugas por paredes o suelo.
- Otros casos...



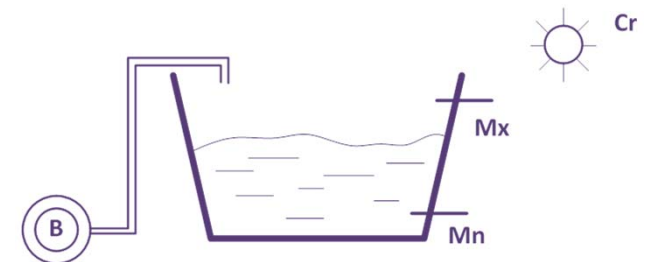


Ejercicio digital resuelto (Circuito combinacional)

a) Se realiza la tabla de la verdad con las especificaciones de los sensores y de funcionamiento.

	Mx	Mn	Cr	Bomba
0	0	0	0	1
1	0	0	1	1
2	0	1	0	0
3	0	1	1	1
4	1	0	0	X
5	1	0	1	X
6	1	1	0	0
7	1	1	1	0

- Es de día y los sensores no indican agua.
- Es de noche y los sensores no indican agua.
- Es de día y el agua mínima sí se cumple.
- Es de noche, el agua mínima se cumple, pero las condiciones de trabajo no.
- De día. El máximo se cumple y el mínimo no. X = Caso indeterminado. (Imposible salvo avería).
- De noche. El máximo se cumple y el mínimo no. X = Caso indeterminado. (Imposible salvo avería).
- El pantano está lleno de día.
- El pantano está lleno de noche.





Ejercicio digital resuelto (Circuito combinacional)

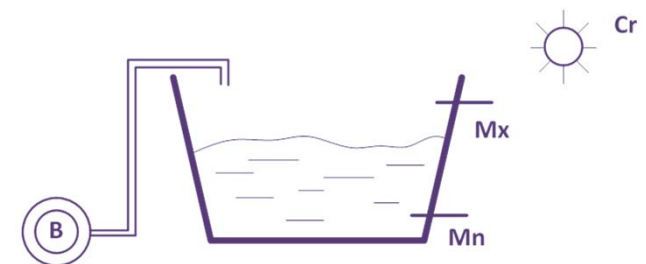
a) Se realiza la tabla de la verdad con las especificaciones de los sensores y de funcionamiento.

	Mx	Mn	Cr	Bomba
0	0	0	0	1
1	0	0	1	1
2	0	1	0	0
3	0	1	1	1
4	1	0	0	X
5	1	0	1	X
6	1	1	0	0
7	1	1	1	0

- Es de día y los sensores no indican agua.
- Es de noche y los sensores no indican agua.
- Es de día y el agua mínima sí se cumple.
- Es de noche, el agua mínima se cumple, pero las condiciones de trabajo no.
- De día. El máximo se cumple y el mínimo no. X = Caso indeterminado. (Imposible salvo avería).
- De noche. El máximo se cumple y el mínimo no. X = Caso indeterminado. (Imposible salvo avería).
- El pantano está lleno de día.
- El pantano está lleno de noche.

b) Se rellena la tabla de Karnaugh con los datos de la tabla de verdad que son "1" → Minterm.

		Mn, Cr			
		00	01	11	10
Mx	0	1	1	1	0
	1	X	X	0	0





Ejercicio digital resuelto (Circuito combinacional)

a) Se realiza la tabla de la verdad con las especificaciones de los sensores y de funcionamiento.

	Mx	Mn	Cr	Bomba
0	0	0	0	1
1	0	0	1	1
2	0	1	0	0
3	0	1	1	1
4	1	0	0	X
5	1	0	1	X
6	1	1	0	0
7	1	1	1	0

- Es de día y los sensores no indican agua.
- Es de noche y los sensores no indican agua.
- Es de día y el agua mínima sí se cumple.
- Es de noche, el agua mínima se cumple, pero las condiciones de trabajo no.
- De día. El máximo se cumple y el mínimo no. X = Caso indeterminado. (Imposible salvo avería).
- De noche. El máximo se cumple y el mínimo no. X = Caso indeterminado. (Imposible salvo avería).
- El pantano está lleno de día.
- El pantano está lleno de noche.

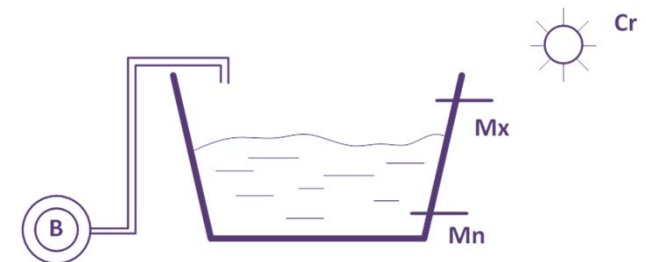
b) Se rellena la tabla de Karnaugh con los datos de la tabla de verdad que son "1" → Minterm.

		Mn, Cr			
		00	01	11	10
Mx	0	1	1	1	
	1				

c) Se agrupan los unos en potencias de dos: 1, 2, 4, 8, 16... Los unos que estén desagrupados no son simplificables, se deja la función Booleana como está. Cuanto mayor sea la agrupación, mayor será la simplificación.

		Mn, Cr			
		00	01	11	10
Mx	0	1	1	1	
	1				

39





Ejercicio digital resuelto (*Circuito combinacional*)

d) Se escriben las funciones de la tabla de verdad de los “unos adyacentes”. Si está a “0” se niega la variable, si a “1” se deja sin negar.

		Mn, Cr			
		00	01	11	10
Mx	0	1	1	1	
	1				

$$0 \ 0 \ 0 \rightarrow \overline{Mx} \ \overline{Mn} \ \overline{Cr}$$

$$0 \ 0 \ 1 \rightarrow \overline{Mx} \ \overline{Mn} \ Cr$$

$$0 \ 0 \ 1 \rightarrow \overline{Mx} \ \overline{Mn} \ Cr$$

$$0 \ 1 \ 1 \rightarrow \overline{Mx} \ Mn \ Cr$$

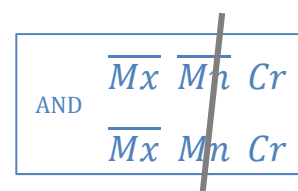
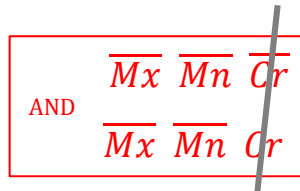
Mx	Mn	Cr	Bomba
0	0	0	1
0	0	1	1
			1
0	1	1	1



Ejercicio digital resuelto (Circuito combinacional)

d) Se escriben las funciones de la tabla de verdad de los "unos adyacentes". Si está a "0" se niega la variable, si a "1" se deja sin negar. Se realiza una AND lógica a estas funciones.

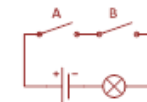
Mx	Mn, Cr			
	00	01	11	10
0	1	1	1	
1				



- 0 0 0 → $\overline{Mx} \overline{Mn} \overline{Cr}$
- 0 0 1 → $\overline{Mx} \overline{Mn} Cr$
- 0 1 1 → $\overline{Mx} Mn Cr$

Mx	Mn	Cr	Bomba
0	0	0	1
0	0	1	1
0	1	1	1

Notación	Tabla de verdad															
$C = A \cdot B$	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>C</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </tbody> </table>	A	B	C	0	0	0	0	1	0	1	0	0	1	1	1
A	B	C														
0	0	0														
0	1	0														
1	0	0														
1	1	1														



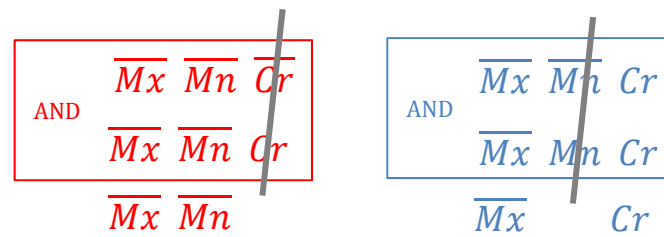


Ejercicio digital resuelto (Circuito combinacional)

d) Se escriben las funciones de la tabla de verdad de los “unos adyacentes”. Si está a “0” se niega la variable, si a “1” se deja sin negar. Se realiza una AND lógica a estas funciones. **Minterm = Suma de productos.**

		Mn, Cr			
		00	01	11	10
Mx	0	1	1	1	
	1				

- $0 \ 0 \ 0 \rightarrow \overline{Mx} \ \overline{Mn} \ \overline{Cr}$
- $0 \ 0 \ 1 \rightarrow \overline{Mx} \ \overline{Mn} \ Cr$
- $0 \ 1 \ 1 \rightarrow \overline{Mx} \ Mn \ Cr$



$$B = \overline{Mx} \ \overline{Mn} \ Cr + \overline{Mx} \ Mn \ Cr$$

Mx	Mn	Cr	Bomba
0	0	0	1
0	0	1	1
0	1	1	1



Ejercicio digital resuelto (Circuito combinacional)

d) Se escriben las funciones de la tabla de verdad de los “unos adyacentes”. Si está a “0” se niega la variable, si a “1” se deja sin negar. Se realiza una AND lógica a estas funciones. *Minterm = Suma de productos.*

		Mn, Cr			
		00	01	11	10
Mx	0	1	1	1	
	1				

$$\begin{array}{l} \text{AND} \\ \overline{Mx} \overline{Mn} \overline{Cr} \\ \overline{Mx} \overline{Mn} Cr \\ \overline{Mx} Mn \overline{Cr} \\ \overline{Mx} Mn Cr \end{array}$$

$$\begin{array}{l} \text{AND} \\ \overline{Mx} \overline{Mn} Cr \\ \overline{Mx} Mn Cr \\ Mn \overline{Cr} \\ Mn Cr \end{array}$$

Mx	Mn	Cr	Bomba
0	0	0	1
0	0	1	1
0	1	1	1

$$\begin{array}{l} 0 \ 0 \ 0 \rightarrow \overline{Mx} \overline{Mn} \overline{Cr} \\ 0 \ 0 \ 1 \rightarrow \overline{Mx} \overline{Mn} Cr \\ 0 \ 0 \ 1 \rightarrow \overline{Mx} \overline{Mn} Cr \\ 0 \ 1 \ 1 \rightarrow \overline{Mx} Mn Cr \\ 0 \ 1 \ 1 \rightarrow \overline{Mx} Mn Cr \end{array}$$

$$B = \overline{Mx} \overline{Mn} + \overline{Mx} Cr$$

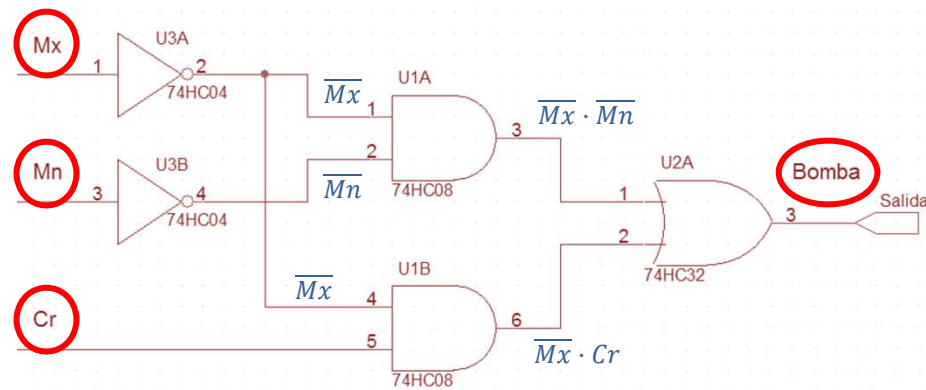
e) Implementar el circuito y comprobar sus resultados.



Ejercicio digital resuelto (*Circuito combinacional*)

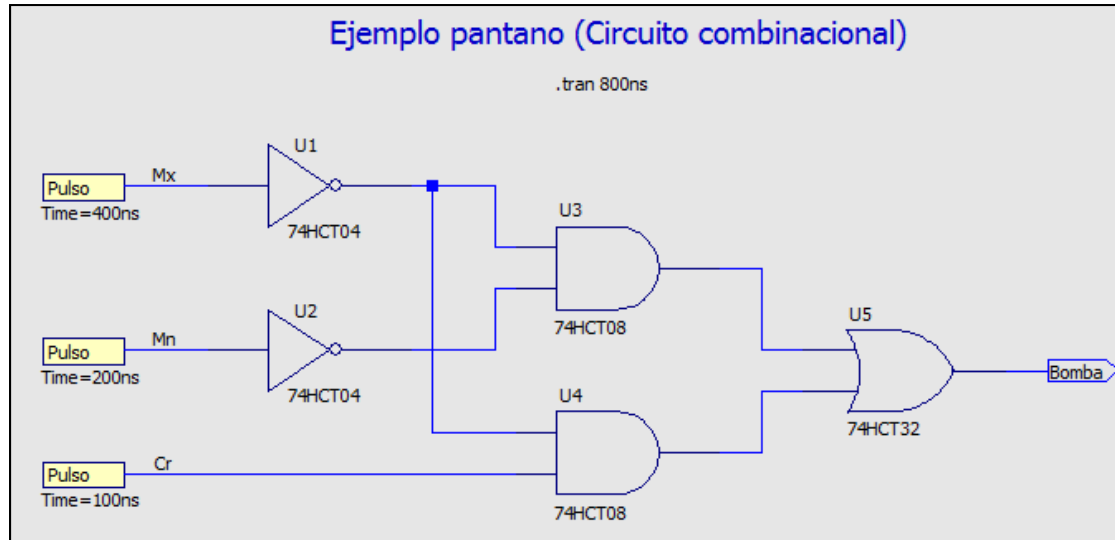
$$B = \overline{Mx} \overline{Mn} + \overline{Mx} Cr$$

- OR de dos entradas
- AND de dos entradas
- AND de dos entradas





Ejercicio digital resuelto (Circuito combinacional)

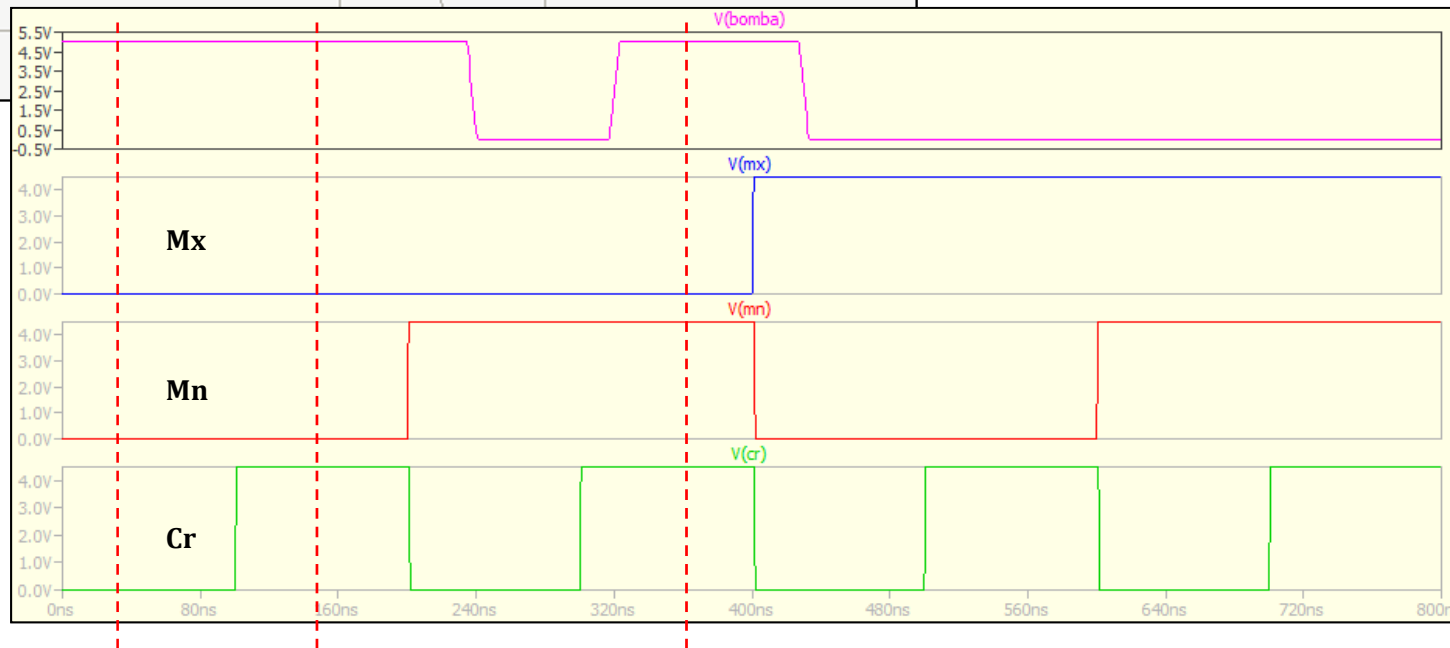
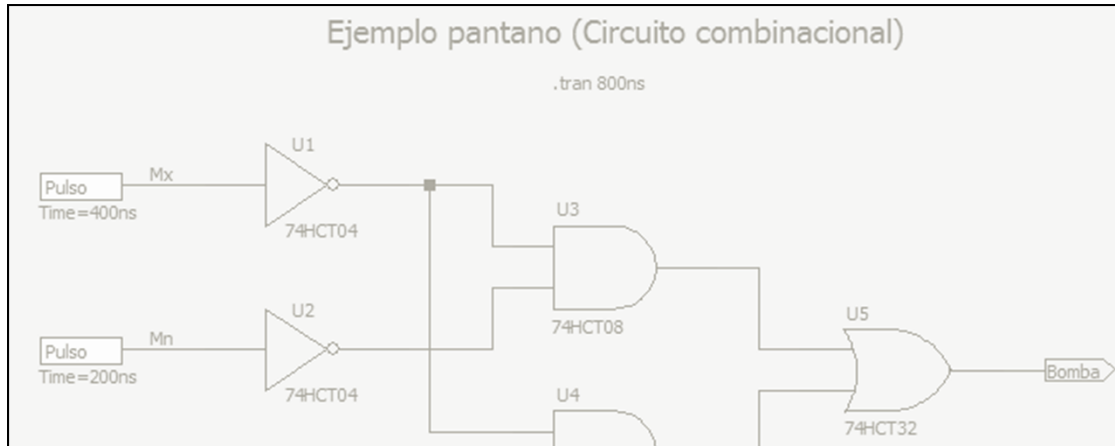


Mx	Mn	Cr	Bomba
0	0	0	1
0	0	1	1
0	1	1	1



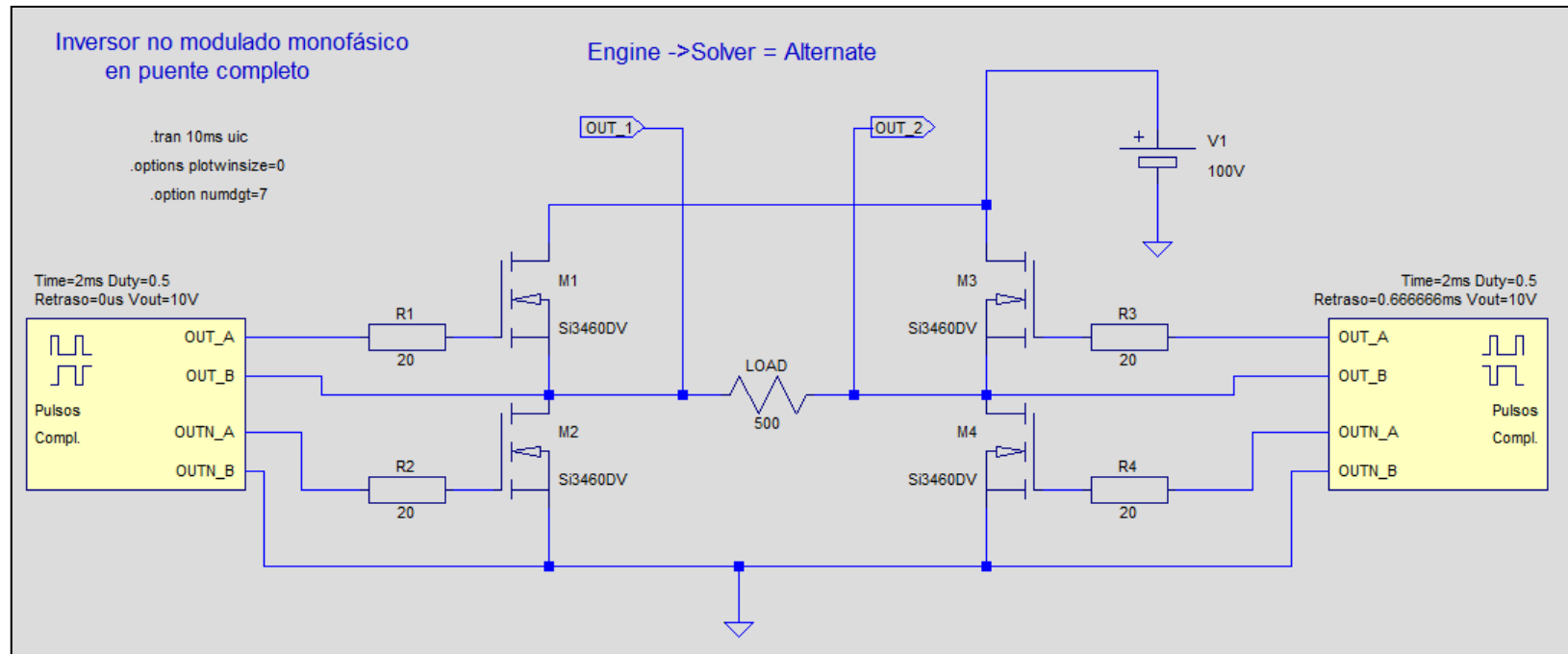
Ejercicio digital resuelto (Circuito combinacional)

Mx	Mn	Cr	Bomba
0	0	0	1
0	0	1	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0





Inversor no modulado monofásico en puente completo (*Pulsos complementarios*)

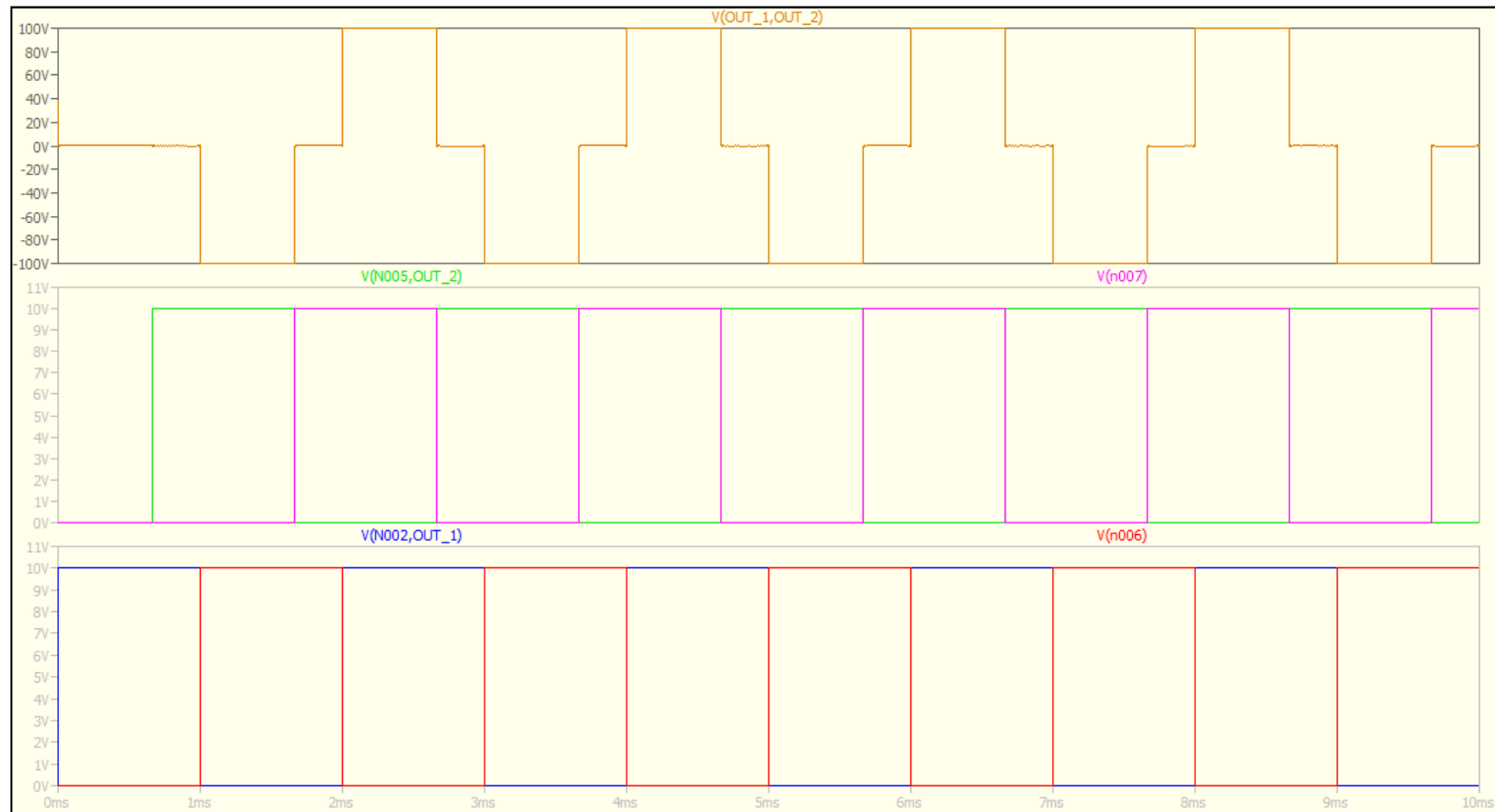


Módulo para generar las señales de disparo para MOSFET de potencia mediante pulsos complementarios

- Tiempo de activación (Time) de disparo ON.
- El ciclo de trabajo (Duty).
- El “delay” entre pulsos (Retraso).
- La tensión de disparo del dispositivo (Vout).

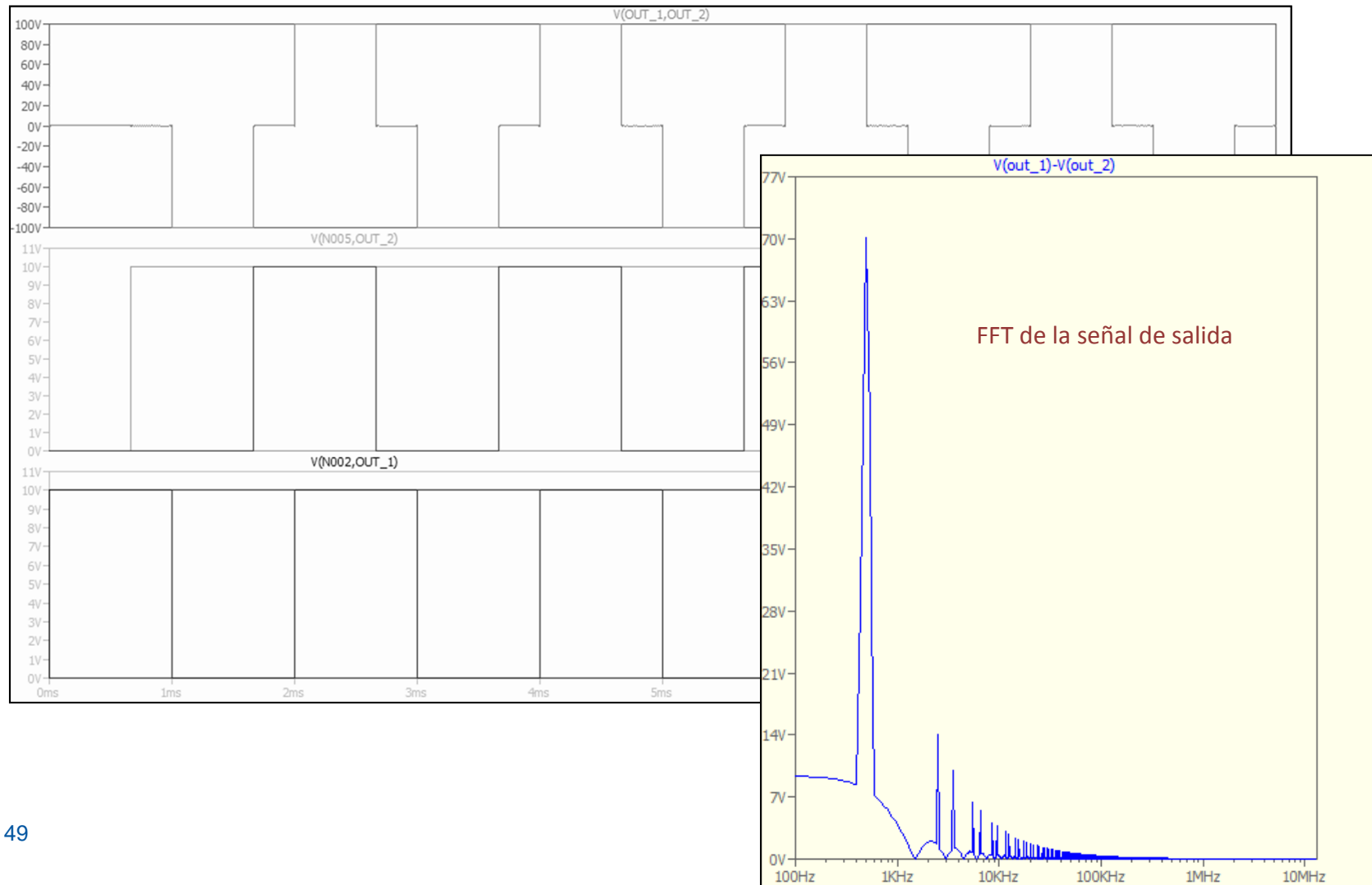


Inversor no modulado monofásico en puente completo (*Señales de disparo/salida*)



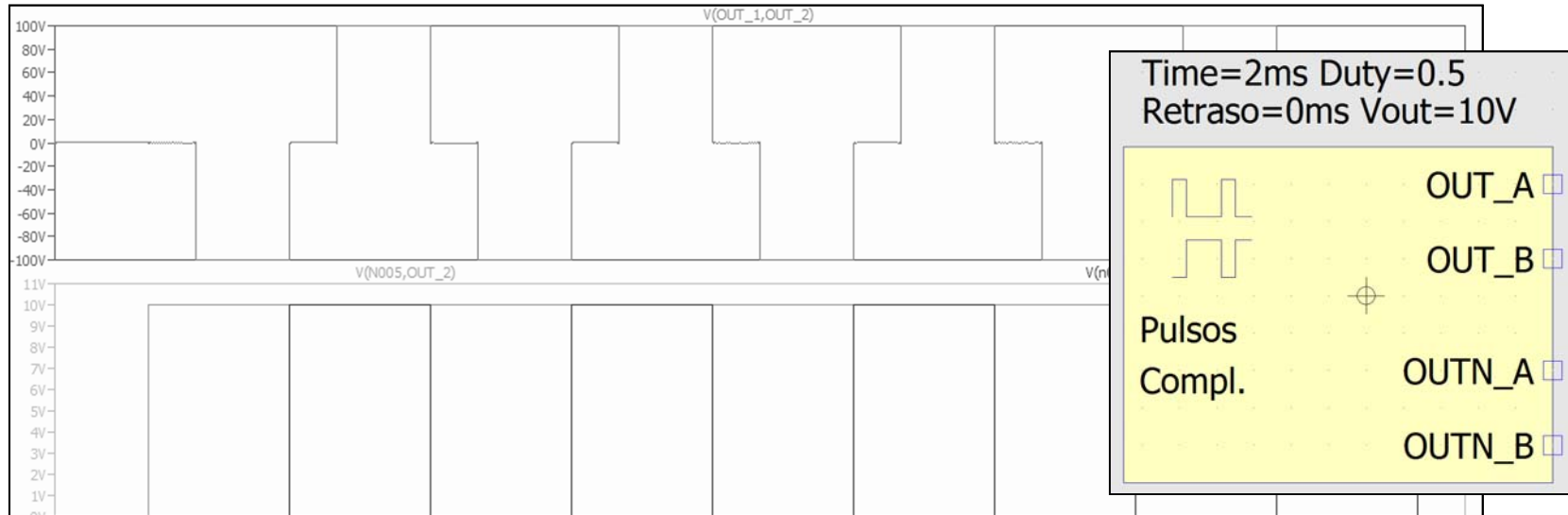


Inversor no modulado monofásico en puente completo (*Señales de disparo/salida*)





Inversor no modulado monofásico en puente completo *(Señales de disparo/salida)*

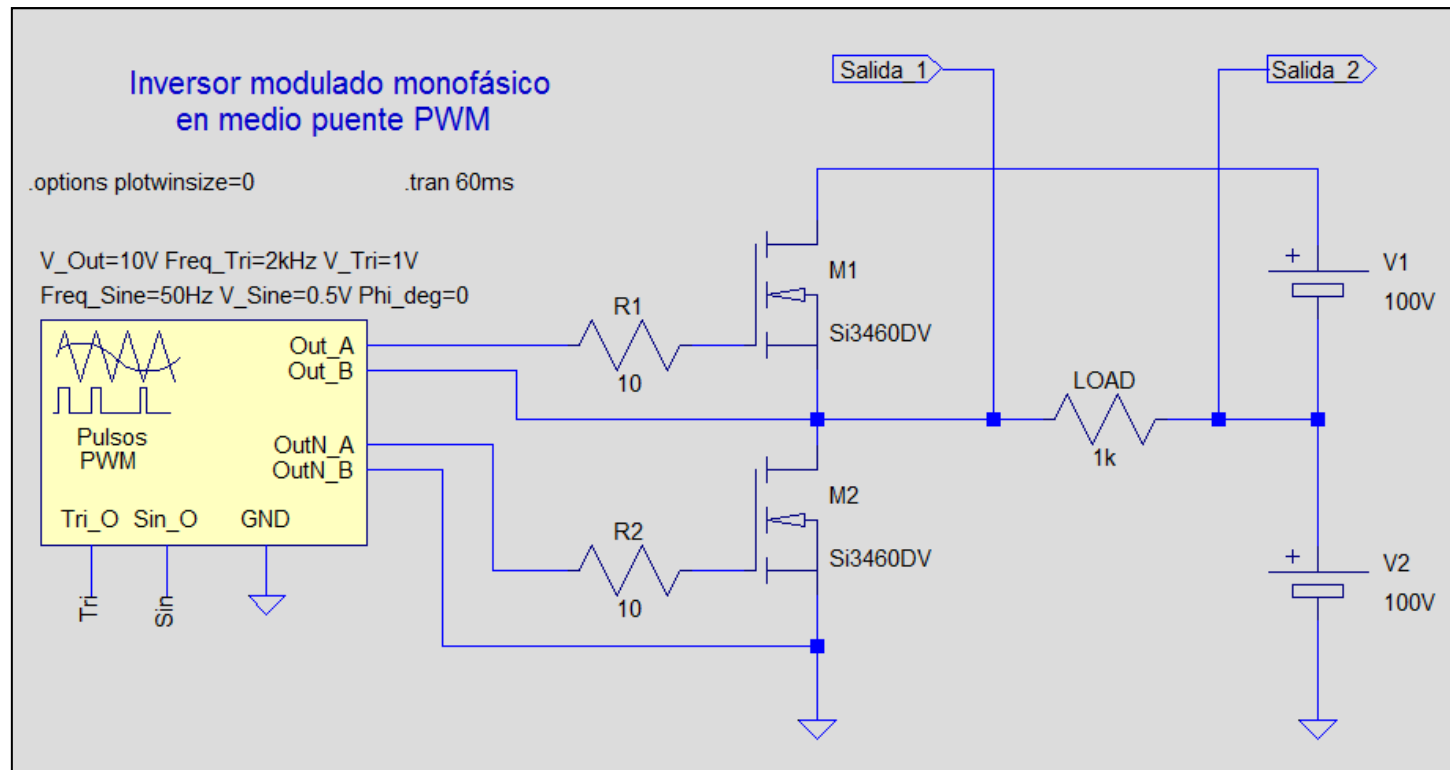


Código del Subcircuito

```
* ---- Pulsos complementarios. Para semipuente y puente completo.
* Subcircuito basado en la idea de Kurt Moermann (http://home.scarlet.be/nap0/ltspice/)
* Genera pulsos complementarios, con posibilidad de desfase temporal entre módulos,
* para montaje en puente completo.
* TIME: Período de los pulsos a generar (ms).
* DUTY: Relación cíclica entre unos pulsos y los complementarios (0 -> 1).
* RETRASO: Si se colocan dos módulos (puente completo), se pueden retrasar
*         los pulsos entre los módulos (us).
* VOUT: Tensión de salida de los pulsos (V).
.SUBCKT Pulsos_Comp1 OUT_A OUT_B OUTN_A OUTN_B PARAMS: TIME=2ms DUTY=0.5 RETRASO=0ms VOUT=10V
V1 N002 0 PULSE(0V {VOUT} {RETRASO} 0.2us 0.2us {TIME*DUTY} {TIME}) Rser=1m
V2 N001 0 PULSE(0V {VOUT} {RETRASO + (TIME*DUTY)} 0.2us 0.2us {TIME*(1-DUTY)} {TIME}) Rser=1m
E1 OUTN_A OUTN_B N001 0 1
E2 OUT_A OUT_B N002 0 1
.ENDS Pulsos_Comp1
```



Inversor modulado monofásico en medio puente (PWM)

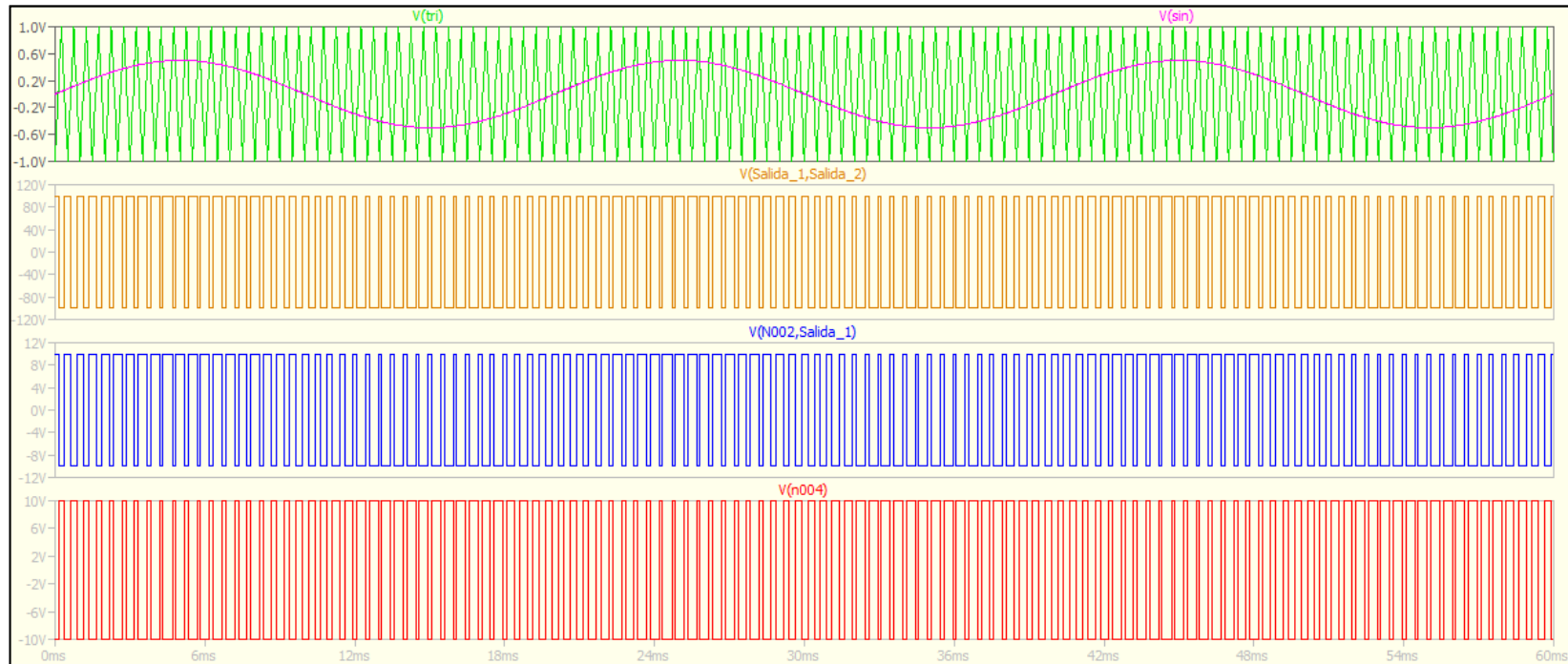


Módulo para generar las señales de disparo para MOSFET mediante PWM

- Tensión de disparo de los dispositivos (V_Out)
- Frecuencia y tensión para onda triangular (Freq_Tri y V_Tri).
- Frecuencia y tensión para onda senoidal (Freq_Sine y V_Sine).
- Desfase, en grados, de una salida con respecto a otra (Phi_deg).



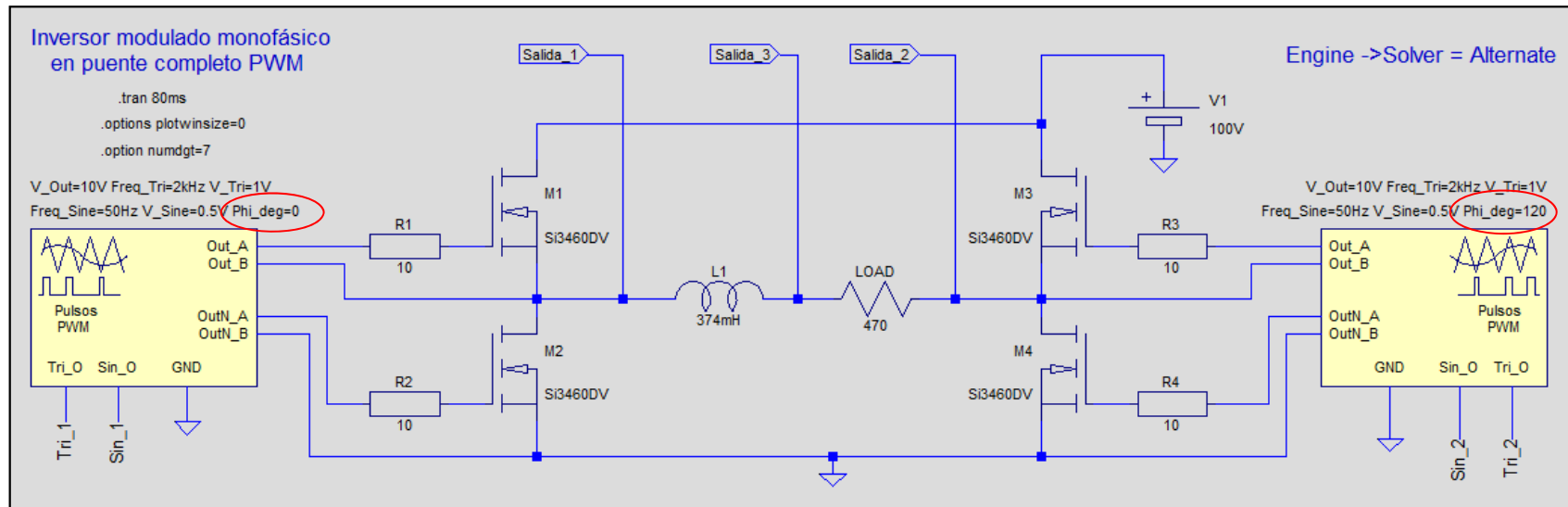
Inversor modulado monofásico en medio puente (PWM)



Señales de disparo de los MOSFET, tensión a la salida y señales Triangular/Senoidal



Inversor modulado monofásico en puente completo (PWM) con filtro inductivo



Módulo para generar las señales de disparo para MOSFET mediante PWM en puente completo

- Tensión de disparo de los dispositivos (V_Out)
- Frecuencia y tensión para onda triangular (Freq_Tri y V_Tri).
- Frecuencia y tensión para onda senoidal (Freq_Sine y V_Sine).
- Desfase, en grados, de una salida con respecto a otra (Phi_deg).

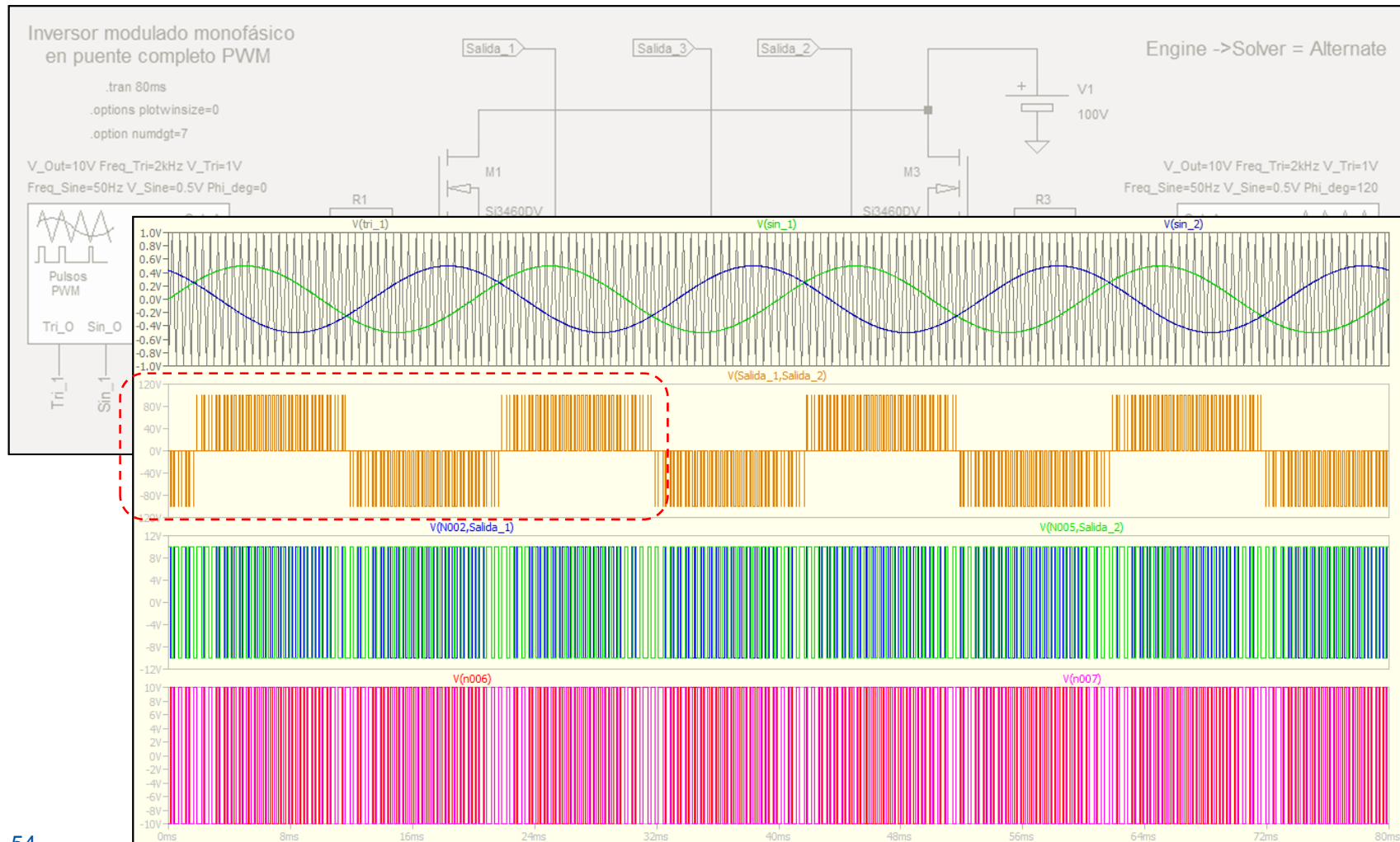
Un módulo puede tener desfasadas las señales frente a otro módulo.

$$R = X_L = 2\pi f \cdot L$$

$$f_c = \frac{R}{2\pi L}$$



Inversor modulado monofásico en puente completo (PWM) con filtro inductivo





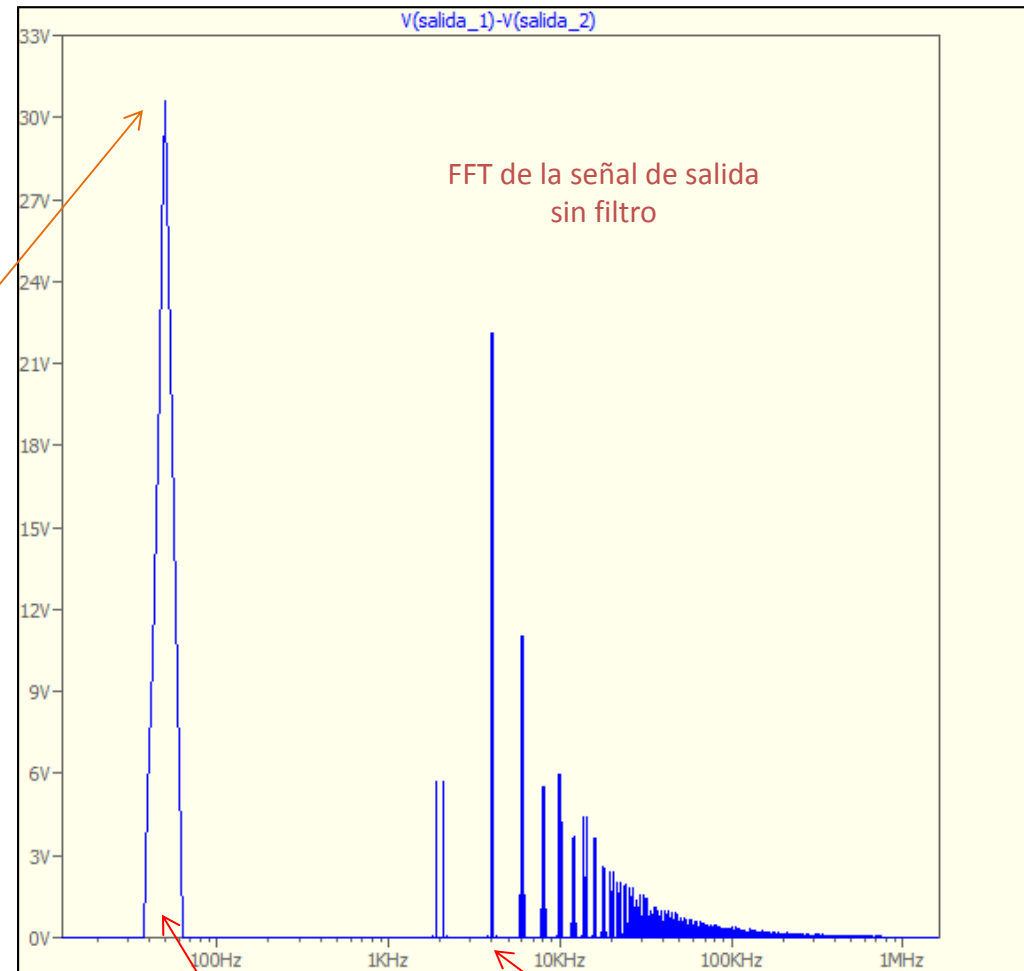
Inversor modulado monofásico en puente completo (PWM) con filtro inductivo

$$m_a = \frac{V_{PSenoidal}}{V_{Ptriangular}} \rightarrow 0 < m_a < 1$$

$$m_f = \frac{F_{Triangular}}{F_{Senoidal}} \rightarrow m_f > 21$$

$$\begin{aligned} V_{Load} &= V_1 \cdot m_a \cdot \sin\left(\frac{\varphi}{2}\right) = \\ &= 100 \cdot \frac{V_{Sine}}{V_{Tri}} \cdot \sin\left(\frac{120}{2}\right) = \\ &= 100 \cdot 0,5 \cdot 0,866 = \\ &= 43,301V_p = 30,618V_{ef} \end{aligned}$$

$$L = \frac{470}{2 \cdot \pi \cdot 200} = 374mH$$

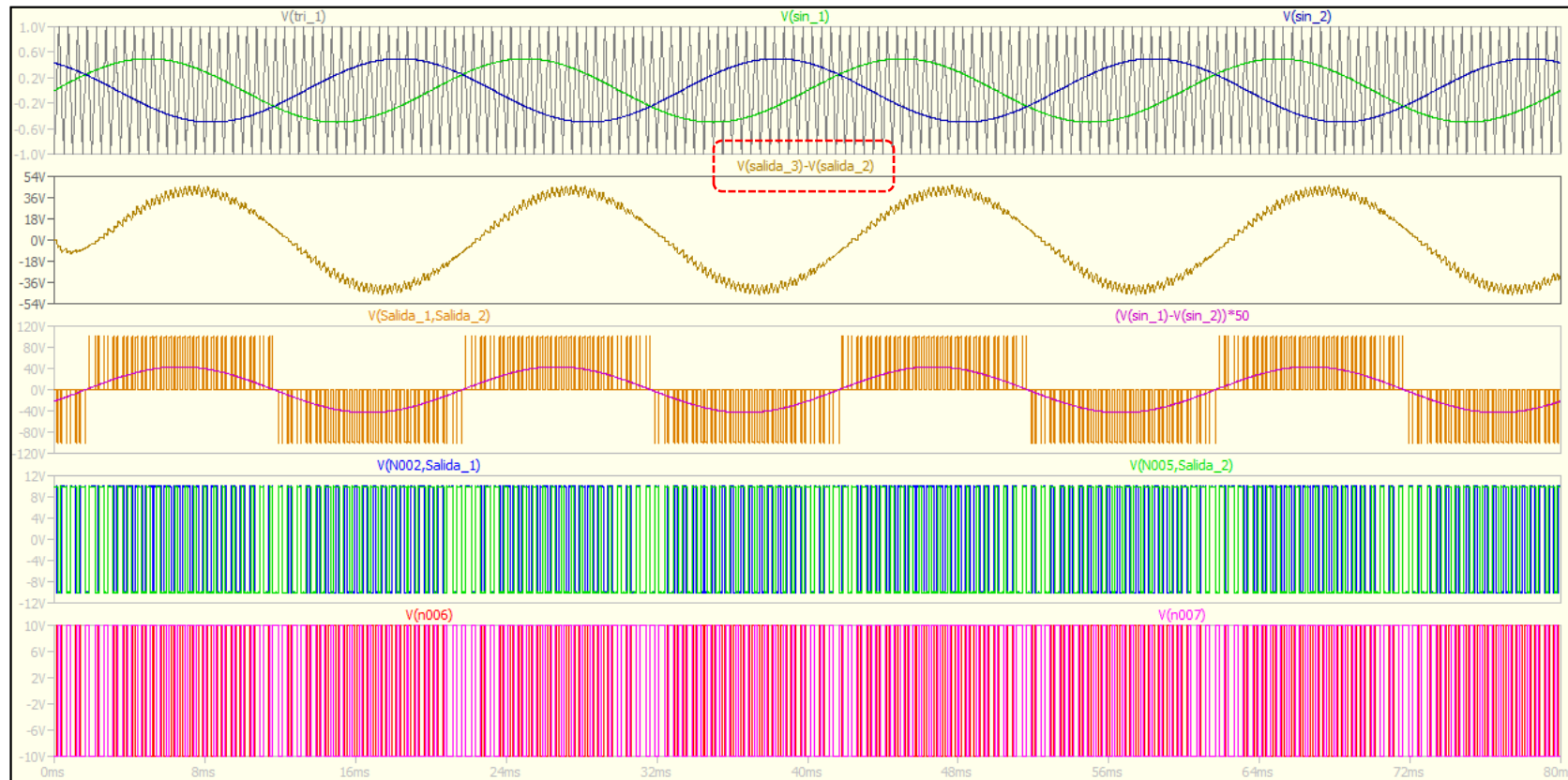


Fundamental

Armónico más importante



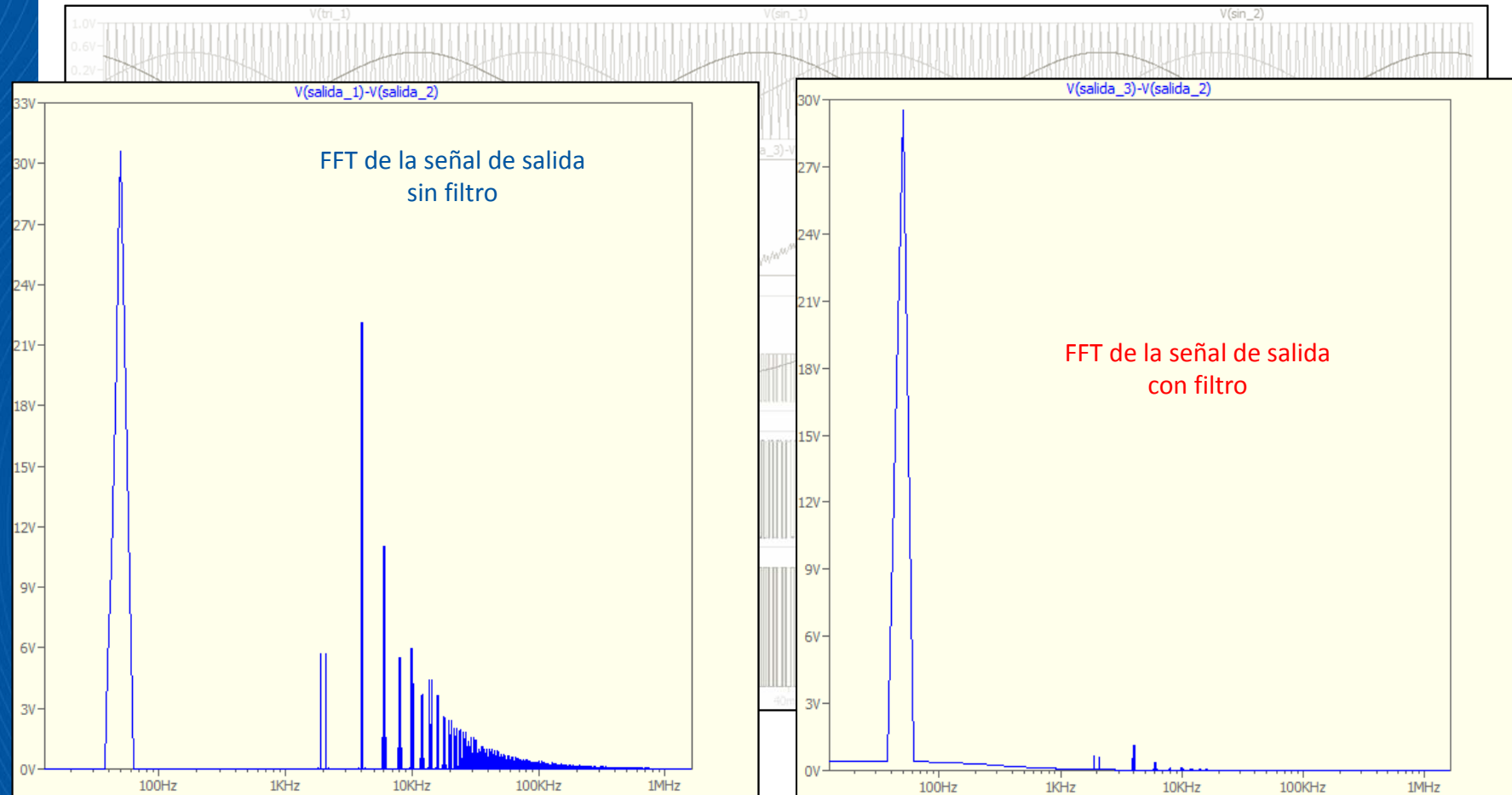
Inversor modulado monofásico en puente completo (PWM) con filtro inductivo



Señales de disparo de los MOSFET, tensión a la salida (sin filtro), disparo sincronizado, señal a la salida (con filtro) y señales triangular y senoidales desfasadas

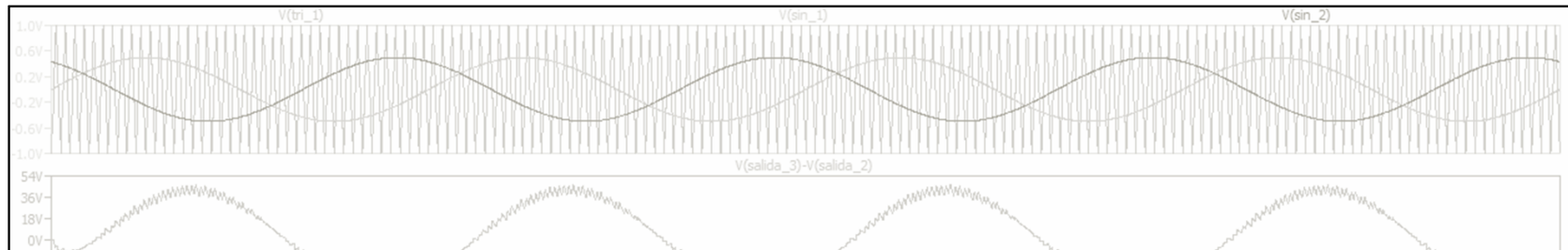


Inversor modulado monofásico en puente completo (PWM) con filtro inductivo



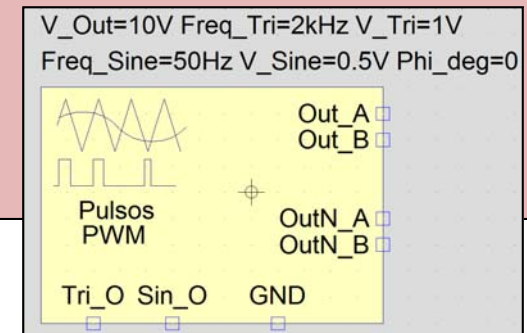


Inversor modulado monofásico en puente completo (PWM) con filtro inductivo



Código del Subcircuito

```
* ---- Generación PWM. Para semipuente y puente completo.
* Subcircuito basado en la idea de Kurt Moermann http://home.scarlet.be/nap0/ltspice/)
* Genera pulsos PWM, con posibilidad de desfase entre módulos, para montaje en puente completo.
* V_OUT: Tensión de salida (disparo) de los pulsos (V).
* FREQ_TRI: Frecuencia onda triangular (Hz).
* V_TRI: Tensión señal triangular (V).
* FREQ_SINE: Frecuencia onda senoidal (Hz).
* V_SINE: Tensión señal senoidal (V).
* DESFASE: Si se colocan dos módulos (puente completo), se pueden retrasar temporalmente
*           los pulsos entre los módulos (us).
* Tri_O: Salida de la señal triangular de comparación.
* Sin_O: Salida de la señal senoidal de comparación.
.SUBCKT PWM TRI_O SIN_O OUT_A OUT_B OUTN_A OUTN_B GND PARAMS: V_OUT=10V FREQ_TRI=2kHz V_TRI=1V REQ_SINE=50Hz V_SINE=0.5V Phi_deg=0
V1 TRI_O GND PULSE({-V_TRI} {V_TRI} 0s {0.5/FREQ_TRI} {0.5/FREQ_TRI} 0s {1/FREQ_TRI})
V2 SIN_O GND SINE(0V {V_SINE} {FREQ_SINE} 0 0 {Phi_deg})
V3 V+ GND 15V
V4 V- GND -15V
XU1 TRI_O SIN_O V+ V- N001 LT1007
E1 OUTN_A OUTN_B N001 0 TABLE=(-1mV,{-V_OUT},1mV,{V_OUT})
XU2 SIN_2 TRI_O V+ V- N004 LT1007
E2 OUT_A OUT_B N004 0 TABLE=(-1mV,{-V_OUT},1mV,{V_OUT})
V5 SIN_2 0 SINE(0V {V_SINE} {FREQ_SINE} 0 0 {Phi_deg})
.lib LTC.lib
.ENDS PWM
```

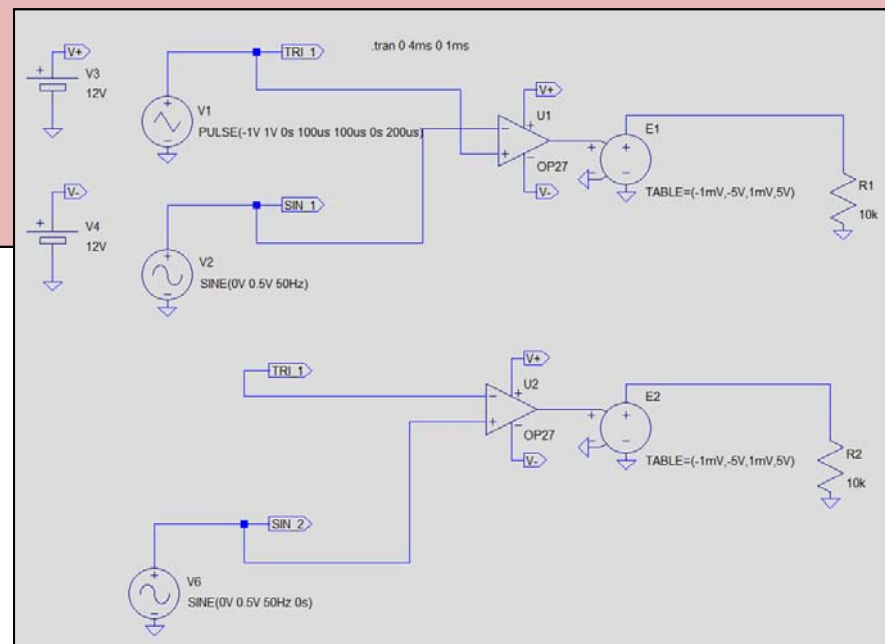
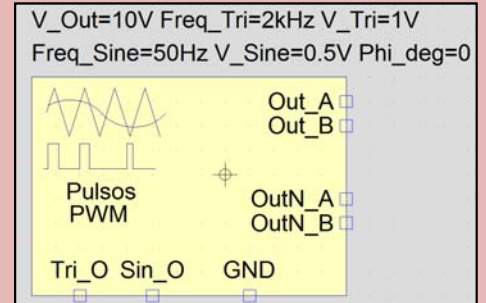




Inversor modulado monofásico en puente completo (PWM) con filtro inductivo

Código del Subcircuito

```
* ---- Generación PWM. Para semipuente y puente completo.  
* Subcircuito basado en la idea de Kurt Moermann http://home.scarlet.be/nap0/ltspace/  
* Genera pulsos PWM, con posibilidad de desfase entre módulos, para montaje en puente completo.  
* V_OUT: Tensión de salida (disparo) de los pulsos (V).  
* FREQ_TRI: Frecuencia onda triangular (Hz).  
* V_TRI: Tensión señal triangular (V).  
* FREQ_SINE: Frecuencia onda senoidal (Hz).  
* V_SINE: Tensión señal senoidal (V).  
* DESFASE: Si se colocan dos módulos (puente completo), se pueden retrasar temporalmente  
*     los pulsos entre los módulos (us).  
* Tri_O: Salida de la señal triangular de comparación.  
* Sin_O: Salida de la señal senoidal de comparación.  
.SUBCKT PWM TRI_O SIN_O OUT_A OUT_B OUTN_A OUTN_B GND PARAMS: V_OUT=10V FREQ_TRI=2kHz V_TRI=1V REQ_SINE=50Hz V_SINE=0.5V Phi_deg=0  
V1 TRI_O GND PULSE({-V_TRI} {V_TRI} 0s {0.5/FREQ_TRI} {0.5/FREQ_TRI} 0s {1/FREQ_TRI})  
V2 SIN_O GND SINE(0V {V_SINE} {FREQ_SINE} 0 0 {Phi_deg})  
V3 V+ GND 15V  
V4 V- GND -15V  
XU1 TRI_O SIN_O V+ V- N001 LT1007  
E1 OUTN_A OUTN_B N001 0 TABLE=(-1mV,{-V_OUT},1mV,{V_OUT})  
XU2 SIN_2 TRI_O V+ V- N004 LT1007  
E2 OUT_A OUT_B N004 0 TABLE=(-1mV,{-V_OUT},1mV,{V_OUT})  
V5 SIN_2 0 SINE(0V {V_SINE} {FREQ_SINE} 0 0 {Phi_deg})  
.lib LTC.lib  
.ENDS PWM
```





Librería de Kurt Moerman (<http://home.scarlet.be/nap0/ltspace/>)

The screenshot displays a comprehensive library of control components for LTSpice, organized into several categories:

- Signal sources:** Constant (value=1), Unit step (slope=1, time=1m), Unit ramp (slope=1).
- Controller:** Add (limit=1), Subtract (limit=1), PID controller (parallel and series, with parameters like Kp, Ti, Td, damping, and limit), Linear gain (gain=1).
- Non-linear blocks:** Square (limit=1), Square root (limit=1), Multiply (limit=1), Softlimiter (scale=1, limit=1), Absolute value (limit=1), Comparator with linear zone (linear zone=1m, view=0, vhigh=1), Comparator with hysteresis (hysteresis=100m, view=0, vhigh=1), Asymmetrical limiter (limit_low=-1, limit_high=1), Gain with asymmetrical limits (gain=1, limit_low=-1, limit_high=1).
- Linear blocks:** Linear 1st order phase lag (K=1, T=1, limit=1), Linear 2nd order phase lag (K=1, Damping=1, wo=1, limit=1), Transporting (delay), Differentiator with damping (Td, damping=0.01), Integrator (Ti=1).
- Other blocks:** PWM modulator (range=1, vhigh=5, view=0), PWM modulator with complementary outputs and dead time (range=1, vhigh=5, view=0, deadtime=1u), Bilateral switch SPDT (threshold=0.5), Tool to measure stability (OPL=1, OPL=1, LPF, AC), Relative timer (Rvalue=100, position=0.5), Simple R-2R DAC (D0-D7, DAC, OUT).

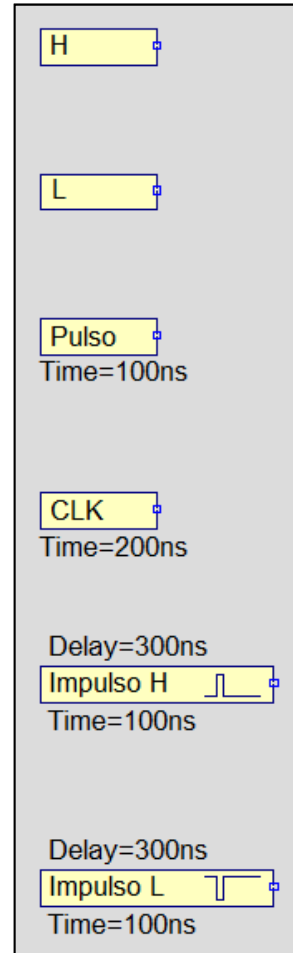
Additional text in the screenshot includes:

- LINE UP**
- Control library for LTSpice** (NM2008)
- A disclaimer: "The models and results are believed to be accurate, but the author cannot take any responsibility for possible damage caused by mistakes or inaccuracies. The content of this file is distributed in the hope that it will be useful, but WITHOUT ANY WARRANTY; without even the implied warranty of MERCHANTABILITY or FITNESS FOR A PARTICULAR PURPOSE."
- Usage instructions: "Use with SwitcherCAD III program, be sure to turn 'Skip initial operating point solution' option ON when doing transient simulation."
- Website: "See <http://home.scarlet.be/pm/>"



Librería de modelos y símbolos nuevos para circuitos digitales

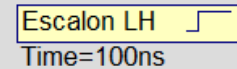
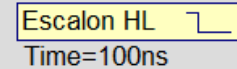
```
* ---- Nivel alto digital
.SUBCKT HIGH OUT
V1 OUT 0 5V Rser=1m
.ENDS HIGH
*
* ---- Nivel bajo digital
.SUBCKT LOW OUT
V1 OUT 0 0V Rser=1m
.ENDS LOW
*
* ---- Pulso digital, inicialmente bajo
* Pulso digital de anchura "Time", inicialmente parte de nivel digital bajo.
* Con un retraso inicial (Delay) de "Time".
* Se repite cíclicamente cada "2 x Time".
.SUBCKT PULSO_D OUT PARAMS: TIME=100ns
V1 OUT 0 PULSE(0V 4.5V {Time} 1ns 1ns {Time} {2*Time}) Rser=1m
.ENDS PULSO_D
*
* ---- Reloj digital, inicialmente alto
* Reloj digital de anchura "Time/2", inicialmente parte de nivel digital alto.
* Se repite cíclicamente cada "Time".
.SUBCKT RELOJ_D OUT PARAMS: TIME=200ns
V1 OUT 0 PULSE(0V 4.5V 0s 1ns 1ns {Time/2} {Time}) Rser=1m
.ENDS RELOJ_D
*
* ---- Impulso digital, inicialmente bajo
* Pasado un "Delay" ofrece un único pulso alto de "Time"
.SUBCKT IMPULSO_H OUT PARAMS: DELAY=300ns TIME=100ns
V1 OUT 0 PULSE(0V 4.5V {Delay} 1ns 1ns {Time} {2*Time} 1) Rser=1m
.ENDS IMPULSO_H
*
* ---- Impulso digital, inicialmente alto
* Pasado un "Delay" ofrece un único pulso bajo de "Time"
.SUBCKT IMPULSO_L OUT PARAMS: DELAY=300ns TIME=100ns
V1 OUT 0 PULSE(4.5V 0V {Delay} 1ns 1ns {Time} {2*Time} 1) Rser=1m
.ENDS IMPULSO_L
```



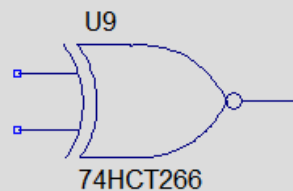
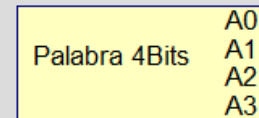


Librería de modelos y símbolos nuevos para circuitos digitales

```
* ---- Escalón digital (Step Down), inicialmente alto
* Pasa de alto a bajo transcurrido "Time".
.SUBCKT ESCALON_HL OUT PARAMS: TIME=100ns
V2 OUT 0 PWL(0 4.5 {Time} 4.5 {Time+1ns} 0) Rser=1m
.ENDS ESCALON_HL
*
* ---- Escalón digital (Step Up), inicialmente bajo
* Pasa de bajo a alto transcurrido "Time".
.SUBCKT ESCALON_LH OUT PARAMS: TIME=200ns
V2 OUT 0 PWL(0 0 {Time} 0 {Time+1ns} 4.5) Rser=1m
.ENDS ESCALON_LH
*
* ---- Palabra digital de 4 bits
.SUBCKT PALABRA_4B A0 A1 A2 A3 PARAMS: BIT3=0 BIT2=0 BIT1=0 BIT0=0
V1 A0 0 {4.5*Bit0} Rser=1m
V2 A1 0 {4.5*Bit1} Rser=1m
V3 A2 0 {4.5*Bit2} Rser=1m
V4 A3 0 {4.5*Bit3} Rser=1m
.ENDS PALABRA_4B
*
* ---- Puerta NOR Exclusiva de 2 entradas
.SUBCKT 74HCT266 A B Y
XU1 A B salida VCC 0 74HCT86 VCC=5 SPEED=1.0 TRIPDT=1e-9
XU2 salida Y VCC 0 74HCT04 VCC=5 SPEED=1.0 TRIPDT=1e-9
.lib PDH\74HCT.LIB
.ENDS 74HCT266
```



Bit3=0 Bit2=1
Bit1=0 Bit0=1





BIBLIOGRAFÍA

- LTspice IV (SwitcherCAD III). www.linear.com/software
- Kurt Moerman, *Librería de componentes de control (PID, PWM, Soft Limiter, etc.)*, <http://home.scarlet.be/nap0/ltspice/>
- Gary Hecht, *Librería de componentes digitales 74HCTXXX*, <http://www.spot.pcc.edu/~ghecht/LTspice.html>
- Texas Instruments, *SN54/74HCT CMOS Logic Family Applications and Restrictions*, SCLA011 May 1996.
- LTspice World Tour 2009, Arrow Nu Horizons Electronics, <http://www.nuhorizons.com/LTspice>
- Texas Instruments, *Data Sheet SN74LS74A*, <http://www.ti.com>
- NXP, *74HCT283 4-bit binary full adder with fast carry*, <http://www.nxp.com>